

32 位 MCU
ES32H0564
ES32H0584
ES32M0504

参 考 手 册

- ☐ 产品简介
- ☐ 数据手册
- ☒ 参考手册

上海东软载波微电子有限公司

2025-11-20

目 录

第 1 章	文档约定	32
1.1	寄存器读写权限的设定	32
第 2 章	系统概述	33
2.1	概述	33
2.2	系统框图	33
2.3	模块功能类别	34
2.3.1	ARM 32 位 Cortex-M0 内核模块	35
2.3.2	存储器及存储器接口	36
2.3.3	系统模块	36
2.3.4	时钟管理	37
2.3.5	外部接口	37
2.3.6	安全管理及运算加速	37
2.3.7	定时器	38
2.3.8	通信模块	40
2.3.9	模拟模块	41
第 3 章	芯片配置指引	42
3.1	概述	42
3.2	ARM Cortex-M0 内核配置	42
3.2.1	ARM Cortex-M0 内核	42
3.2.2	总线	42
3.2.3	系统节拍定时器	42
3.2.4	调试器件	42
3.3	嵌套向量中断控制器	43
3.3.1	中断优先级	43
3.3.2	中断向量分配	43
3.4	低功耗模式唤醒事件	45
3.5	存储器及存储器接口	46
3.5.1	系统总线和存储器	46
3.6	系统模块配置	48
3.6.1	DMA 控制器配置	48
3.6.2	独立看门狗定时器配置	50
3.6.2.1	独立看门狗定时器的时钟	50
3.6.2.2	独立看门狗定时器的低功耗动作模式	50
3.6.3	窗口看门狗定时器配置	50
3.6.3.1	窗口看门狗定时器的时钟	50
3.6.3.2	窗口看门狗定时器的低功耗动作模式	50
3.6.4	时钟管理配置	50
3.6.4.1	HOSC 的低功耗动作模式	50
3.6.4.2	HRC48M 的低功耗动作模式	51
3.6.4.3	PLL 的低功耗动作模式	51
3.6.4.4	LRC 的低功耗动作模式	51
3.7	外部接口配置	51

3.7.1	通用 IO 及端口控制配置	51
3.7.1.1	端口特殊配置说明	51
3.8	定时器配置	52
3.8.1	通用定时器	52
3.8.1.1	通用定时器例化说明	52
3.8.1.2	通用定时器的时钟	52
3.8.1.3	通用定时器的低功耗动作模式	52
3.8.2	基本定时器配置	52
3.8.2.1	基本定时器例化说明	52
3.8.2.2	基本定时器的时钟	52
3.8.2.3	基本定时器的低功耗动作模式	52
3.8.3	低功耗定时器配置	53
3.8.3.1	低功耗定时器例化说明	53
3.8.3.2	低功耗定时器的时钟	53
3.8.3.3	低功耗定时器的低功耗动作模式	53
3.9	通信配置	54
3.9.1.1	I2C 接口的时钟	54
3.9.1.2	I2C 接口的低功耗动作模式	54
3.9.2	串行外设接口 (SPI) 配置	54
3.9.2.1	串行外设接口 (SPI) 的时钟	54
3.9.2.2	串行外设接口 (SPI) 的低功耗动作模式	54
3.9.3	通用异步收发器 (UART)	54
3.9.3.1	通用异步收发器 (UART) 的时钟	54
3.9.3.2	通用异步收发器 (UART) 的低功耗动作模式	54
3.10	模拟配置	55
3.10.1	ADC 控制配置	55
3.10.1.1	ADC 模块例化	55
3.10.1.2	ADC 转换通道配置	55
3.10.1.3	ADC 电源及参考电压	56
3.10.1.4	ADC 的时钟	56
3.10.1.5	ADC 的低功耗动作模式	56
3.10.2	ACMP 控制配置	56
3.10.2.1	ACMP 模块例化	56
3.10.2.2	ACMP 比较通道配置	56
3.10.2.3	ACMP 电源	57
3.10.2.4	ACMP 的时钟	57
3.10.2.5	ACMP 的低功耗动作模式	57
3.10.3	OPA 控制配置	57
3.10.3.1	OPA 模块例化	57
3.10.3.2	OPA 输入通道配置	57
3.10.3.3	OPA 电源	57
3.10.3.4	OPA 的时钟	57
3.10.3.5	OPA 的低功耗动作模式	58
第 4 章	系统总线和存储器	59

4.1	概述	59
4.2	系统总线	60
4.2.1	S0: DMA 总线	60
4.2.2	S1: M0 总线	60
4.2.3	总线矩阵	60
4.2.4	AHB/APB 总线桥	60
4.3	存储器的组织结构	60
4.3.1	系统存储器映射	60
4.3.2	FLASH 存储器映射	61
4.3.3	SRAM 存储器映射	61
4.3.4	外设存储映射	61
4.4	启动引导	61
第5章	存储器系统控制 (MSC)	62
5.1	概述	62
5.2	特性	62
5.3	结构框图	62
5.4	功能描述	63
5.4.1	Flash 保护	63
5.4.1.1	IAP 操作保护 KEY	63
5.4.1.2	Flash 写保护区	63
5.4.1.3	Flash 私有读保护区	63
5.4.1.4	数据 Flash 区	63
5.4.1.5	Flash 全局读保护	64
5.4.1.6	Flash ECC 纠错功能	65
5.4.2	Flash 页擦除	65
5.4.3	Flash 字编程	66
5.4.4	Flash 编程数据 FIFO	66
5.4.5	IAP 自编程硬件固化模块	66
5.4.5.1	CODE 区单页擦函数	66
5.4.5.2	CODE 区单字编程函数	66
5.4.5.3	CODE 区多字编程	67
5.4.5.4	DATA 区单页擦函数	67
5.4.5.5	DATA 区单字编程函数	67
5.4.5.6	DATA 区多字编程	67
5.4.6	SRAM ECC 纠错功能	67
5.5	特殊功能寄存器	69
5.5.1	寄存器列表	69
5.5.2	寄存器描述	70
5.5.2.1	FLASH 程序区关键码寄存器 (MSC_FLASHKEY)	70
5.5.2.2	FLASH 擦除编程地址寄存器 (MSC_FLASHADDR)	70
5.5.2.3	FLASH 编程 FIFO 寄存器 (MSC_FLASHFIFO)	70
5.5.2.4	FLASH 编程数据寄存器 (MSC_FLASHDR)	71
5.5.2.5	FLASH 命令寄存器 (MSC_FLASHCMD)	71
5.5.2.6	FLASH 控制寄存器 (MSC_FLASHCR)	72

5.5.2.7	FLASH 状态寄存器 (MSC_FLASHSR)	73
5.5.2.8	存储器访问控制寄存器 (MSC_FLASHACC)	74
5.5.2.9	FLASH 擦除编程地址反码寄存器 (MSC_FLASHADDINV)	75
第 6 章	系统配置控制器 (SYSCFG)	76
6.1	概述	76
6.2	特性	76
6.3	功能描述	76
6.3.1	系统寄存器写保护	76
6.3.2	存储器重映射	76
6.4	特殊功能寄存器	77
6.4.1	寄存器列表	77
6.4.2	寄存器描述	78
6.4.2.1	系统写保护寄存器 (SYSCFG_PROT)	78
6.4.2.2	存储器重映射寄存器 (SYSCFG_MEMRMP)	78
6.4.2.3	中断向量偏移寄存器 (SYSCFG_VTOR)	79
6.4.2.4	TIM 刹车源配置寄存器 (SYSCFG_TBKCFG)	79
6.4.2.5	PIS 生产端 GPIO 配置寄存器 (SYSCFG_PISIOCFG)	79
第 7 章	电源管理 (PMU) 及低功耗模式	82
7.1	概述	82
7.2	特性	82
7.3	结构框图	83
7.4	功能描述	84
7.4.1	芯片电源	84
7.4.1.1	主系统电源域	84
7.4.1.2	独立的模拟模块电源和参考电压	84
7.4.2	电源监视	84
7.4.2.1	上电复位 (POR)	84
7.4.2.2	欠压复位 (BOR)	84
7.4.2.3	低电压检测 (LVD)	85
7.4.3	低功耗模式	86
7.4.3.1	低功耗模式转换	86
7.4.3.2	系统时钟速度	87
7.4.3.3	外设时钟门控	87
7.4.3.4	RUN 模式	87
7.4.3.5	SLEEP 模式	87
7.4.3.6	STOP 模式	87
7.4.3.7	低功耗模式下各模块操作	88
7.5	特殊功能寄存器	89
7.5.1	寄存器列表	89
7.5.2	寄存器描述	90
7.5.2.1	PMU 控制寄存器 (PMU_CR)	90
7.5.2.2	PMU 状态寄存器 (PMU_SR)	91
7.5.2.3	LVD 控制寄存器 (PMU_LVDCR)	92
7.5.2.4	唤醒延时寄存器 (PMU_TWUR)	93

第 8 章	复位管理 (RMU)	94
8.1	概述	94
8.2	特性	94
8.3	结构框图	94
8.4	功能描述	95
8.4.1	硬件复位	95
8.4.1.1	上电复位	95
8.4.1.2	欠压复位	95
8.4.1.3	端口复位	96
8.4.1.4	看门狗复位	96
8.4.1.5	LOCKUP 复位	96
8.4.1.6	读取配置字错误复位	96
8.4.2	软件复位	96
8.4.2.1	芯片复位 (CHIPRST)	96
8.4.2.2	CPU 复位 (CPURST)	96
8.4.2.3	内核复位请求 (SYSRSTREQ)	96
8.4.2.4	外设软件复位	96
8.5	特殊功能寄存器	97
8.5.1	寄存器列表	97
8.5.2	寄存器描述	98
8.5.2.1	RMU 控制寄存器 (RMU_CR)	98
8.5.2.2	RMU 复位状态寄存器 (RMU_RSTSR)	98
8.5.2.3	RMU 清复位状态寄存器 (RMU_CRSTSR)	100
8.5.2.4	AHB1 外设复位寄存器 (RMU_AHB1RSTR)	101
8.5.2.5	AHB2 外设复位寄存器 (RMU_AHB2RSTR)	101
8.5.2.6	APB 外设复位寄存器 (RMU_APBSTR)	102
第 9 章	时钟管理 (CMU)	104
9.1	概述	104
9.2	特性	104
9.3	结构框图	105
9.4	功能描述	106
9.4.1	外部振荡器时钟 (HOSC)	106
9.4.2	内部高速 RC 振荡器时钟 (HRC48M)	107
9.4.3	内部低速 RC 振荡器时钟 (LRC)	107
9.4.4	内部倍频时钟 (PLL)	107
9.4.5	系统时钟选择	107
9.4.6	时钟安全管理	107
9.5	特殊功能寄存器	109
9.5.1	寄存器列表	109
9.5.2	寄存器描述	110
9.5.2.1	CMU 控制状态寄存器 (CMU_CSR)	110
9.5.2.2	CMU 配置寄存器 (CMU_CFGR)	112
9.5.2.3	CMU 时钟使能寄存器 (CMU_CLKENR)	113
9.5.2.4	CMU 时钟状态寄存器 (CMU_CLKSR)	113

9.5.2.5	PLL 配置寄存器 (CMU_PLLCFG)	114
9.5.2.6	HOSC 安全管理控制寄存器 (CMU_HOSMCR)	115
9.5.2.7	PLL 失锁管理控制寄存器 (CMU_PULMCR)	116
9.5.2.8	CMU 时钟输出控制寄存器 (CMU_CLKOCR)	117
9.5.2.9	BUZZ 控制寄存器 (CMU_BUZZCR)	118
9.5.2.10	AHB 外设时钟使能寄存器 (CMU_AHBENR)	119
9.5.2.11	APB 外设时钟使能寄存器 (CMU_APBENR)	120
9.5.2.12	外设时钟低功耗模式使能寄存器 (CMU_LPENR)	122
第 10 章	DMA 控制器 (DMA)	123
10.1	概述	123
10.2	特性	123
10.3	请求映射	123
10.4	结构图	124
10.5	功能描述	124
10.5.1	传输事务	124
10.5.2	仲裁率	126
10.5.3	优先级	126
10.5.4	传输模式	127
10.5.4.1	存储器到存储器模式 (Memory-to-memory)	127
10.5.4.2	存储器到外设模式 (Memory-to-peripheral)	127
10.5.4.3	外设到存储器模式 (Peripheral-to-memory)	128
10.5.4.4	外设到外设模式 (Peripheral-to-peripheral)	128
10.5.5	地址递增	129
10.5.6	循环模式 (仅用于存储器和外设之间传输)	129
10.5.7	数据宽度、对齐和字节序	129
10.5.7.1	DMA 对外设进行字节或半字写传输	131
10.5.8	通道配置流程	131
10.5.9	传输完成	132
10.5.10	传输暂停	132
10.5.11	中断事件	132
10.6	特殊功能寄存器	133
10.6.1	寄存器列表	133
10.6.2	寄存器描述	135
10.6.2.1	DMA 中断使能寄存器 (DMA_IER)	135
10.6.2.2	DMA 中断禁止寄存器 (DMA_IDR)	137
10.6.2.3	DMA 中断使能状态寄存器 (DMA_IVS)	139
10.6.2.4	DMA 原始中断标志寄存器 (DMA_RIF)	141
10.6.2.5	DMA 中断标志屏蔽状态寄存器 (DMA_IFM)	143
10.6.2.6	DMA 中断清除寄存器 (DMA_ICR)	145
10.6.2.7	DMA 通道 0 控制寄存器 (DMA_CON0)	147
10.6.2.8	DMA 通道 0 源地址寄存器 (DMA_SAR0)	149
10.6.2.9	DMA 通道 0 目的地址寄存器 (DMA_DAR0)	149
10.6.2.10	DMA 通道 0 数据传输数量寄存器 (DMA_NDT0)	150
10.6.2.11	DMA 通道 1 控制寄存器 (DMA_CON1)	151

10. 6. 2. 12	DMA 通道 1 源地址寄存器 (DMA_SAR1)	153
10. 6. 2. 13	DMA 通道 1 目的地址寄存器 (DMA_DAR1)	153
10. 6. 2. 14	DMA 通道 1 数据传输数量寄存器 (DMA_NDT1)	154
10. 6. 2. 15	DMA 通道 2 控制寄存器 (DMA_CON2)	155
10. 6. 2. 16	DMA 通道 2 源地址寄存器 (DMA_SAR2)	157
10. 6. 2. 17	DMA 通道 2 目的地址寄存器 (DMA_DAR2)	157
10. 6. 2. 18	DMA 通道 2 数据传输数量寄存器 (DMA_NDT2)	158
10. 6. 2. 19	DMA 通道 3 控制寄存器 (DMA_CON3)	159
10. 6. 2. 20	DMA 通道 3 源地址寄存器 (DMA_SAR3)	161
10. 6. 2. 21	DMA 通道 3 目的地址寄存器 (DMA_DAR3)	161
10. 6. 2. 22	DMA 通道 3 数据传输数量寄存器 (DMA_NDT3)	162
10. 6. 2. 23	DMA 通道 4 控制寄存器 (DMA_CON4)	163
10. 6. 2. 24	DMA 通道 4 源地址寄存器 (DMA_SAR4)	165
10. 6. 2. 25	DMA 通道 4 目的地址寄存器 (DMA_DAR4)	165
10. 6. 2. 26	DMA 通道 4 数据传输数量寄存器 (DMA_NDT4)	166
10. 6. 2. 27	DMA 通道 5 控制寄存器 (DMA_CON5)	167
10. 6. 2. 28	DMA 通道 5 源地址寄存器 (DMA_SAR5)	169
10. 6. 2. 29	DMA 通道 5 目的地址寄存器 (DMA_DAR5)	169
10. 6. 2. 30	DMA 通道 5 数据传输数量寄存器 (DMA_NDT5)	170
10. 6. 2. 31	DMA 通道 6 控制寄存器 (DMA_CON6)	171
10. 6. 2. 32	DMA 通道 6 源地址寄存器 (DMA_SAR6)	173
10. 6. 2. 33	DMA 通道 6 目的地址寄存器 (DMA_DAR6)	173
10. 6. 2. 34	DMA 通道 6 数据传输数量寄存器 (DMA_NDT6)	174
10. 6. 2. 35	DMA 通道 x 复用选择寄存器 (DMA_CHx_SELCON) (x=0..6)	174
第 11 章	外设互联 (PIS)	177
11. 1	概述	177
11. 2	特性	177
11. 3	结构框图	178
11. 4	功能描述	179
11. 4. 1	生产端信号	179
11. 4. 2	消费端信号	179
11. 4. 3	PIS 通道选择	182
11. 4. 3. 1	同一时钟域互联	182
11. 4. 3. 2	AHB 和 APB 外设之间互联	182
11. 4. 3. 3	生产端信号为异步信号	182
11. 4. 4	UART 输出调制	183
11. 5	特殊功能寄存器	184
11. 5. 1	寄存器列表	184
11. 5. 2	寄存器描述	185
11. 5. 2. 1	PIS 通道 x 控制寄存器 (PIS_CHx_CON) (x=0..7)	185
11. 5. 2. 2	PIS 通道端口输出使能寄存器 (PIS_CH_OER)	189
11. 5. 2. 3	PIS 消费端通道控制寄存器 0 (PIS_TAR_CON0)	190
11. 5. 2. 4	PIS 消费端通道控制寄存器 1 (PIS_TAR_CON1)	192

	11. 5. 2. 5	UARTx 输出调制控制寄存器 (UARTx_TXMCR) (x=0..4)	193
第 12 章		独立看门狗 (IWDG)	194
12. 1		概述	194
12. 2		特性	194
12. 3		功能描述	194
	12. 3. 1	硬件看门狗	195
	12. 3. 2	软件看门狗	195
	12. 3. 3	调试模式	196
	12. 3. 4	寄存器访问保护	196
12. 4		特殊功能寄存器	197
	12. 4. 1	寄存器列表	197
	12. 4. 2	寄存器描述	198
	12. 4. 2. 1	IWDG 计数器装载值寄存器 (IWDG_LOAD)	198
	12. 4. 2. 2	IWDG 计数器当前值寄存器 (IWDG_VALUE)	198
	12. 4. 2. 3	IWDG 控制寄存器 (IWDG_CON)	199
	12. 4. 2. 4	IWDG 中断标志清除寄存器 (IWDG_INTCLR)	199
	12. 4. 2. 5	IWDG 中断标志寄存器 (IWDG_RIS)	200
	12. 4. 2. 6	IWDG 锁定寄存器 (IWDG_LOCK)	200
第 13 章		窗口看门狗 (WWDG)	201
13. 1		概述	201
13. 2		特性	201
13. 3		功能描述	201
	13. 3. 1	窗口看门狗	201
	13. 3. 2	调试模式	203
	13. 3. 3	寄存器访问保护	203
13. 4		特殊功能寄存器	204
	13. 4. 1	寄存器列表	204
	13. 4. 2	寄存器描述	205
	13. 4. 2. 1	WWDG 计数器装载值寄存器 (WWDG_LOAD)	205
	13. 4. 2. 2	WWDG 计数器当前值寄存器 (WWDG_VALUE)	205
	13. 4. 2. 3	WWDG 控制寄存器 (WWDG_CON)	206
	13. 4. 2. 4	WWDG 中断标志清除寄存器 (WWDG_INTCLR)	207
	13. 4. 2. 5	WWDG 中断标志寄存器 (WWDG_RIS)	207
	13. 4. 2. 6	WWDG 锁定寄存器 (WWDG_LOCK)	208
第 14 章		通用 IO 及端口控制 (GPIO)	209
14. 1		概述	209
14. 2		特性	209
14. 3		结构框图	210
14. 4		功能描述	210
	14. 4. 1	端口控制寄存器	210
	14. 4. 2	端口数据寄存器	211
	14. 4. 3	外部端口中断	211
	14. 4. 4	通用 GPIO 配置	212
	14. 4. 5	外部中断与唤醒	212

14.4.6	外设功能端口复用	213
14.4.7	GPIO 锁定	213
14.4.8	GPIO 输入配置	213
14.4.9	GPIO 输出配置	214
14.4.10	模拟输入配置	214
14.5	特殊功能寄存器	215
14.5.1	寄存器列表	215
14.5.2	寄存器描述	216
14.5.2.1	GPIO 端口输入数据寄存器 (GPIO_DIN)	216
14.5.2.2	GPIO 端口输出数据寄存器 (GPIO_DOUT)	216
14.5.2.3	GPIO 端口置位和复位寄存器 (GPIO_BSRR)	217
14.5.2.4	GPIO 端口翻转寄存器 (GPIO_BIR)	217
14.5.2.5	GPIO 端口模式寄存器 (GPIO_MODE)	218
14.5.2.6	GPIO 端口开漏寄存器 (GPIO_OD)	218
14.5.2.7	GPIO 端口上拉和下拉寄存器 (GPIO_PUPD)	219
14.5.2.8	GPIO 端口输出驱动寄存器 (GPIO_ODRV)	219
14.5.2.9	GPIO 端口滤波寄存器 (GPIO_FLT)	220
14.5.2.10	GPIO 端口类型寄存器 (GPIO_TYPE)	220
14.5.2.11	GPIO 端口复用功能寄存器 0 (GPIO_FUNC0)	221
14.5.2.12	GPIO 端口复用功能寄存器 1 (GPIO_FUNC1)	222
14.5.2.13	GPIO 端口锁定寄存器 (GPIO_LOCK)	223
14.5.2.14	外部中断上升沿触发使能寄存器 (GPIO_EXTIRER)	224
14.5.2.15	外部中断下降沿触发使能寄存器 (GPIO_EXTIFER)	224
14.5.2.16	外部中断使能寄存器 (GPIO_EXTIEN)	225
14.5.2.17	外部中断标志寄存器 (GPIO_EXTIFLAG)	225
14.5.2.18	外部中断标志置位寄存器 (GPIO_EXTISFR)	226
14.5.2.19	外部中断标志清零寄存器 (GPIO_EXTICFR)	226
14.5.2.20	外部中断端口选择寄存器 0 (GPIO_EXTIPSR0)	227
14.5.2.21	外部中断端口选择寄存器 1 (GPIO_EXTIPSR1)	229
14.5.2.22	外部中断滤波控制寄存器 (GPIO_EXTIFLTCR)	231
第 15 章	循环冗余校验 (CRC)	232
15.1	概述	232
15.2	特性	232
15.3	结构框图	232
15.4	功能描述	233
15.4.1	常规操作	233
15.4.2	DMA 请求	233
15.5	特殊功能寄存器	235
15.5.1	寄存器列表	235
15.5.2	寄存器描述	236
15.5.2.1	CRC 控制寄存器 (CRC_CR)	236
15.5.2.2	CRC 写数据寄存器 (CRC_DATA)	237
15.5.2.3	CRC 种子寄存器 (CRC_SEED)	238
15.5.2.4	CRC 校验值寄存器 (CRC_CHECKSUM)	238

第 16 章	高级定时器(AD16C6T).....	239
16.1	概述	239
16.2	特性	239
16.3	结构图.....	240
16.4	引脚选择与内部连接表	241
16.4.1	引脚选择.....	241
16.4.2	引脚输入源	242
16.4.3	内部触发连接表.....	243
16.5	功能描述	244
16.5.1	定时单位.....	244
16.5.2	重复计数器	245
16.5.3	时钟源	246
16.5.3.1	内部时钟源(INT_CLK).....	246
16.5.3.2	外部时钟源 1	247
16.5.3.3	外部时钟源 2	248
16.5.4	计数模式.....	249
16.5.4.1	递增计数模式.....	249
16.5.4.2	递减计数模式.....	251
16.5.4.3	中心对齐模式.....	251
16.5.5	外部触发输入	253
16.5.6	捕获或比较通道.....	253
16.5.6.1	输入捕获电路.....	254
16.5.6.2	输出比较电路.....	254
16.5.7	输入捕获模式	255
16.5.8	PWM 输入模式	256
16.5.9	PWM 输出模式.....	257
16.5.9.1	PWM 边沿对齐模式.....	258
16.5.9.2	PWM 中心对齐模式.....	260
16.5.9.3	抖动模式.....	261
16.5.10	输出比较模式	264
16.5.11	强制输出模式	265
16.5.12	非对称 PWM 模式	266
16.5.13	组合 PWM 模式	267
16.5.14	组合三相 PWM 模式.....	268
16.5.15	组合三相非对称 PWM 模式.....	269
16.5.16	外部事件清除比较输出	270
16.5.17	单脉冲模式	270
16.5.18	多次触发单脉冲模式.....	272
16.5.19	比较脉冲模式	273
16.5.20	互补输出与死区时间.....	274
16.5.21	刹车功能.....	277
16.5.22	双向刹车输入	281
16.5.23	输出引脚控制	283
16.5.24	生成 6 步 PWM.....	284

16. 5. 25 编码器接口	285
16. 5. 25. 1 正交编码器模式	285
16. 5. 25. 2 时钟加方向编码器模式	289
16. 5. 25. 3 定向时钟编码器模式	289
16. 5. 25. 4 正交编码器模式下的索引(Index)输入	290
16. 5. 25. 5 非正交编码器模式下的索引输入	295
16. 5. 25. 6 运行模式下切换从模式选择	296
16. 5. 25. 7 编码器时钟输出	297
16. 5. 26 方向位输出	297
16. 5. 27 UPD 位重映射	298
16. 5. 28 输入 XOR 异或功能	298
16. 5. 29 霍尔传感器界面	299
16. 5. 30 外部触发的同步	300
16. 5. 30. 1 复位模式	300
16. 5. 30. 2 门控模式	301
16. 5. 30. 3 触发模式	302
16. 5. 30. 4 选择外部时钟源 2 的触发模式	303
16. 5. 30. 5 组合复位模式 + 触发模式	304
16. 5. 30. 6 组合门控模式 + 复位模式	304
16. 5. 31 定时器同步	304
16. 5. 31. 1 使用一个定时器去开启其他定时器	304
16. 5. 31. 2 将一个定时器做为其他定时器的预分频器	305
16. 5. 31. 3 使用外部触发同步开始两个定时器	306
16. 5. 32 ADC 触发事件	307
16. 5. 33 影子寄存器	308
16. 5. 34 调试模式	309
16. 6 特殊功能寄存器	310
16. 6. 1 寄存器列表	310
16. 6. 2 寄存器描述	312
16. 6. 2. 1 控制寄存器 1(AD16C6T_CON1)	312
16. 6. 2. 2 控制寄存器 2(AD16C6T_CON2)	314
16. 6. 2. 3 从模式控制寄存器(AD16C6T_SMCON)	319
16. 6. 2. 4 中断开启寄存器(AD16C6T_IER)	323
16. 6. 2. 5 中断关闭寄存器(AD16C6T_IDR)	325
16. 6. 2. 6 中断功能有效状态寄存器(AD16C6T_IVS)	327
16. 6. 2. 7 原始中断标志寄存器(AD16C6T_RIF)	329
16. 6. 2. 8 中断标志屏蔽状态寄存器(AD16C6T_IFM)	331
16. 6. 2. 9 中断清除寄存器(AD16C6T_ICR)	333
16. 6. 2. 10 软件生成事件寄存器(AD16C6T_SGE)	335
16. 6. 2. 11 捕获或比较模式寄存器 1(AD16C6T_CHMR1)	337
16. 6. 2. 12 捕获或比较模式寄存器 2(AD16C6T_CHMR2)	342
16. 6. 2. 13 捕获或比较开启极性寄存器(AD16C6T_CCEP)	345
16. 6. 2. 14 计数寄存器(AD16C6T_COUNT)	348
16. 6. 2. 15 预分频寄存器(AD16C6T_PRES)	348

16. 6. 2. 16	自动重载寄存器(AD16C6T_AR)	349
16. 6. 2. 17	重复计数寄存器(AD16C6T_REPAR)	349
16. 6. 2. 18	通道捕获或比较寄存器 1(AD16C6T_CCVAL1).....	350
16. 6. 2. 19	通道捕获或比较寄存器 2(AD16C6T_CCVAL2).....	351
16. 6. 2. 20	通道捕获或比较寄存器 3(AD16C6T_CCVAL3).....	351
16. 6. 2. 21	通道捕获或比较寄存器 4(AD16C6T_CCVAL4).....	352
16. 6. 2. 22	刹车和死区配置寄存器 (AD16C6T_BDCFG).....	352
16. 6. 2. 23	DMA 事件开启寄存器 (AD16C6T_DMAEN).....	357
16. 6. 2. 24	通道比较寄存器 5 (AD16C6T_CCVAL5).....	358
16. 6. 2. 25	通道比较寄存器 6 (AD16C6T_CCVAL6).....	359
16. 6. 2. 26	比较模式寄存器 3 (AD16C6T_CHMR3).....	359
16. 6. 2. 27	死区配置寄存器 2 (AD16C6T_DCFG2)	360
16. 6. 2. 28	编码控制寄存器 (AD16C6T_ENCR)	361
16. 6. 2. 29	通道输入来源选择寄存器 (AD16C6T_CHISEL).....	362
16. 6. 2. 30	复用功能寄存器 1 (AD16C6T_AFR1)	363
16. 6. 2. 31	复用功能寄存器 2 (AD16C6T_AFR2)	365
16. 6. 2. 32	触发信号选择寄存器 (AD16C6T_TGOSEL).....	367
16. 6. 2. 33	通道映射寄存器 (AD16C6T_CHRMP)	369
16. 6. 2. 34	递减比较寄存器 1(AD16C6T_CCRF1)	370
16. 6. 2. 35	递减比较寄存器 2(AD16C6T_CCRF2)	370
16. 6. 2. 36	递减比较寄存器 3(AD16C6T_CCRF3)	371
第 17 章	通用定时器 (GP16C4T0~2)	372
17. 1	概述	372
17. 2	特性	372
17. 3	结构框图	373
17. 4	功能描述	374
17. 4. 1	预分频器	374
17. 4. 2	时钟源	375
17. 4. 2. 1	内部时钟源 (INT_CLK)	375
17. 4. 2. 2	外部时钟源 1	375
17. 4. 2. 3	外部时钟源 2	376
17. 4. 2. 4	内部触发输入 (ITn)	377
17. 4. 3	计数器模式	378
17. 4. 3. 1	递增计数模式.....	378
17. 4. 3. 2	递减计数模式.....	381
17. 4. 3. 3	中心对齐模式.....	382
17. 4. 4	捕获/比较通道	383
17. 4. 5	输入捕获模式	384
17. 4. 5. 1	PWM 输入模式	385
17. 4. 6	PWM 模式	386
17. 4. 6. 1	PWM 边沿对齐模式.....	386
17. 4. 6. 2	PWM 中心对齐模式.....	387
17. 4. 7	输出比较模式	388
17. 4. 7. 1	外部事件清除比较输出	388

17.4.8	单脉冲模式	389
17.4.9	编码器接口模式	390
17.4.10	输入异或功能	392
17.4.11	定时器和外部触发的同步	392
17.4.11.1	复位模式	392
17.4.11.2	门控模式	393
17.4.11.3	触发模式	393
17.4.11.4	选择外部时钟源 2 的触发模式	394
17.4.12	调试模式	395
17.5	特殊功能寄存器	396
17.5.1	寄存器列表	396
17.5.2	寄存器描述	397
17.5.2.1	控制寄存器 1 (GP16C4T_CON1)	397
17.5.2.2	控制寄存器 2 (GP16C4T_CON2)	400
17.5.2.3	从模式控制寄存器 (GP16C4T_SMCON)	402
17.5.2.4	中断使能寄存器 (GP16C4T_IER)	405
17.5.2.5	中断禁止寄存器 (GP16C4T_IDR)	406
17.5.2.6	中断有效状态寄存器 (GP16C4T_IVS)	407
17.5.2.7	原始中断标志寄存器 (GP16C4T_RIF)	408
17.5.2.8	中断标志屏蔽状态寄存器 (GP16C4T_IFM)	410
17.5.2.9	中断清零寄存器 (GP16C4T_ICR)	412
17.5.2.10	软件生成事件寄存器 (GP16C4T_SGE)	413
17.5.2.11	捕获/比较模式寄存器 1 (GP16C4T_CHMR1)	414
17.5.2.12	捕获/比较模式寄存器 2 (GP16C4T_CHMR2)	419
17.5.2.13	捕获/比较使能寄存器 (GP16C4T_CCEP)	422
17.5.2.14	计数器寄存器 (GP16C4T_COUNT)	423
17.5.2.15	预分频寄存器 (GP16C4T_PRES)	423
17.5.2.16	自动重载寄存器 (GP16C4T_AR)	424
17.5.2.17	捕获/比较寄存器 1 (GP16C4T_CCVAL1)	424
17.5.2.18	捕获/比较寄存器 2 (GP16C4T_CCVAL2)	425
17.5.2.19	捕获/比较寄存器 3 (GP16C4T_CCVAL3)	425
17.5.2.20	捕获/比较寄存器 4 (GP16C4T_CCVAL4)	425
17.5.2.21	DMA 使能寄存器 (GP16C4T_DMAEN)	426
第 18 章	基本定时器 (BS16T0~1)	427
18.1	概述	427
18.2	特性	427
18.3	结构框图	427
18.4	功能描述	427
18.4.1	预分频器	427
18.4.2	时钟源	428
18.4.3	递增计数模式	428
18.4.4	调试模式	428
18.5	特殊功能寄存器	429
18.5.1	寄存器列表	429

18. 5. 2	寄存器描述	430
18. 5. 2. 1	控制寄存器 1 (BS16T_CON1)	430
18. 5. 2. 2	控制寄存器 2 (BS16T_CON2)	431
18. 5. 2. 3	中断使能寄存器 (BS16T_IER)	432
18. 5. 2. 4	中断禁止寄存器 (BS16T_IDR)	432
18. 5. 2. 5	中断有效状态寄存器 (BS16T_IVS)	433
18. 5. 2. 6	原始中断标志寄存器 (BS16T_RIF)	434
18. 5. 2. 7	中断标志屏蔽状态寄存器 (BS16T_IFM)	435
18. 5. 2. 8	中断清零寄存器 (BS16T_ICR)	436
18. 5. 2. 9	事件生成寄存器 (BS16T_SGE)	436
18. 5. 2. 10	计数器 (BS16T_COUNT)	437
18. 5. 2. 11	预分频器 (BS16T_PRES)	437
18. 5. 2. 12	自动重载寄存器 (BS16T_AR)	438
18. 5. 2. 13	DMA 使能寄存器 (BS16T_DMAEN)	438
第 19 章	低功耗定时器 (LP16T)	439
19. 1	概述	439
19. 2	特性	439
19. 3	结构框图	440
19. 4	功能描述	441
19. 4. 1	时钟源	441
19. 4. 2	数字滤波器	441
19. 4. 3	预分频器	441
19. 4. 4	触发源选择	441
19. 4. 5	计数模式	442
19. 4. 6	输出波形	443
19. 4. 7	寄存器更新	443
19. 4. 8	中断	444
19. 5	特殊功能寄存器	445
19. 5. 1	寄存器列表	445
19. 5. 2	寄存器描述	446
19. 5. 2. 1	控制寄存器 0 (LP16T_CON0)	446
19. 5. 2. 2	控制寄存器 1 (LP16T_CON1)	448
19. 5. 2. 3	自动加载寄存器 (LP16T_ARR)	449
19. 5. 2. 4	计数寄存器 (LP16T_CNT)	449
19. 5. 2. 5	比较值寄存器 (LP16T_CMP)	450
19. 5. 2. 6	中断使能寄存器 (LP16T_IER)	450
19. 5. 2. 7	中断状态寄存器 (LP16T_ISR)	451
19. 5. 2. 8	中断标志清零寄存器 (LP16T_IFC)	451
19. 5. 2. 9	更新控制寄存器 (LP16T_UPDATE)	452
19. 5. 2. 10	写同步状态寄存器 (LP16T_SYNCSTAT)	452
第 20 章	串行总线 (I2C0~1)	453
20. 1	概述	453
20. 2	特性	453
20. 3	结构图	454

20.4	功能描述	455
20.4.1	I2C 总线协议	455
20.4.1.1	START 和 STOP 条件协议	455
20.4.1.2	应答位	456
20.4.1.3	I2C 寻址从协议	456
20.4.1.4	I2C 发送和接收协议	457
20.4.2	I2C 时钟要求	458
20.4.3	数据传输	459
20.4.4	I2C 从机模式	460
20.4.5	I2C 主机模式	465
20.4.6	I2C_TIMINGR 寄存器的配置的例子	469
20.4.7	SMBus 具体功能	471
20.4.8	SMBus 初始化	472
20.4.9	SMBus: I2C_TIMEOUTR 寄存器配置的例子	474
20.4.10	DMA 请求	475
20.4.11	通信错误类型	475
20.4.12	I2C 中断	476
20.4.13	调试模式	476
20.5	特殊功能寄存器	477
20.5.1	寄存器列表	477
20.5.2	寄存器描述	478
20.5.2.1	I2C 控制寄存器 1 (I2C_CON1)	478
20.5.2.2	I2C 控制寄存器 2 (I2C_CON2)	480
20.5.2.3	I2C 本机地址寄存器 1 (I2C_ADDR1)	483
20.5.2.4	I2C 本机地址寄存器 2 (I2C_ADDR2)	484
20.5.2.5	I2C 时钟寄存器 (I2C_TIMINGR)	485
20.5.2.6	I2C 超时寄存器 (I2C_TIMEOUTR)	486
20.5.2.7	I2C 状态寄存器 (I2C_STAT)	487
20.5.2.8	I2C PEC 寄存器 (I2C_PECR)	488
20.5.2.9	I2C 接收器数据寄存器 (I2C_RXDATA)	489
20.5.2.10	I2C 发送器数据寄存器 (I2C_TXDATA)	489
20.5.2.11	I2C 中断开启寄存器 (I2C_IER)	490
20.5.2.12	I2C 中断关闭寄存器 (I2C_IDR)	492
20.5.2.13	I2C 中断功能有效状态寄存器 (I2C_IVS)	493
20.5.2.14	I2C 原始中断标志寄存器 (I2C_RIF)	495
20.5.2.15	I2C 中断标志屏蔽寄存器 (I2C_IFM)	497
20.5.2.16	I2C 中断清除寄存器 (I2C_ICR)	499
第 21 章	串行外设接口 (SPI0~1)	501
21.1	概述	501
21.2	特性	501
21.3	SPI 结构图	502
21.4	SPI 功能描述	503
21.4.1	时钟相位和极性控制	503
21.4.2	数据帧格式	504

21. 4. 3	从机片选 (NSS) 引脚管理	504
21. 4. 4	主机与从机的单对单通讯应用	505
21. 4. 4. 1	全双工通信	505
21. 4. 4. 2	半双工通信	506
21. 4. 4. 3	单工通信	507
21. 4. 5	标准多从机通讯应用	508
21. 4. 6	多主机通讯应用	509
21. 4. 7	SPI 从机模式	510
21. 4. 8	SPI 主机模式	511
21. 4. 9	数据发送和接收	512
21. 4. 9. 1	接收和发送 FIFO 缓存	512
21. 4. 9. 2	在主机模式下启动通信序列	512
21. 4. 9. 3	在从机模式下启动通信序列	513
21. 4. 9. 4	处理数据发送与接收	513
21. 4. 10	SPI 关闭流程	521
21. 4. 11	DMA 请求	522
21. 4. 12	CRC 计算	524
21. 4. 13	SPI 状态标志	526
21. 4. 13. 1	发送 FIFO 缓存为空 (TXE)	526
21. 4. 13. 2	发送 FIFO 缓存为满 (TXF)	526
21. 4. 13. 3	发送 FIFO 缓存上溢 (TXOV)	526
21. 4. 13. 4	发送 FIFO 缓存下溢 (TXUD)	526
21. 4. 13. 5	发送 FIFO 缓存阈值 (TXTH)	526
21. 4. 13. 6	接收 FIFO 缓存为非空 (RXNE)	526
21. 4. 13. 7	接收 FIFO 缓存为满 (RXF)	526
21. 4. 13. 8	接收 FIFO 缓存上溢 (RXOV)	526
21. 4. 13. 9	接收 FIFO 缓存下溢 (RXUD)	526
21. 4. 13. 10	接收 FIFO 缓存阈值 (RXTH)	527
21. 4. 13. 11	通信忙 (BUSY)	527
21. 4. 14	SPI 中断事件	528
21. 4. 14. 1	发送 FIFO 缓存为空 (TXE)	528
21. 4. 14. 2	发送 FIFO 缓存上溢 (TXOV)	528
21. 4. 14. 3	发送 FIFO 缓存下溢 (TXUD)	528
21. 4. 14. 4	发送 FIFO 缓存阈值 (TXTH)	528
21. 4. 14. 5	接收 FIFO 缓存为非空 (RXNE)	528
21. 4. 14. 6	接收 FIFO 缓存为满 (RXF)	529
21. 4. 14. 7	接收 FIFO 缓存上溢 (RXOV)	529
21. 4. 14. 8	接收 FIFO 缓存下溢 (RXUD)	529
21. 4. 14. 9	接收 FIFO 缓存阈值 (RXTH)	529
21. 4. 14. 10	CRC 错误 (CRCERR)	529
21. 4. 14. 11	模式故障 (MODF)	530
21. 4. 14. 12	TI 模式帧格式错误 (FRE)	530
21. 4. 15	SPI TI 模式	530
21. 5	特殊功能寄存器	531

21. 5. 1	寄存器列表	531
21. 5. 2	寄存器描述	532
21. 5. 2. 1	SPI 控制寄存器 1 (SPI_CON1)	532
21. 5. 2. 2	SPI 控制寄存器 2 (SPI_CON2)	535
21. 5. 2. 3	SPI 状态寄存器 (SPI_STAT)	537
21. 5. 2. 4	SPI 数据寄存器 (SPI_DATA)	539
21. 5. 2. 5	SPI CRC 多项式寄存器 (SPI_CRCPOLY)	540
21. 5. 2. 6	SPI RX CRC 寄存器 (SPI_RXCRC)	541
21. 5. 2. 7	SPI TX CRC 寄存器 (SPI_TXCRC)	542
21. 5. 2. 8	SPI 中断使能寄存器 (SPI_IER)	543
21. 5. 2. 9	SPI 中断禁用寄存器 (SPI_IDR)	545
21. 5. 2. 10	SPI 中断有效状态寄存器 (SPI_IVS)	547
21. 5. 2. 11	SPI 原始中断标志寄存器 (SPI_RIF)	549
21. 5. 2. 12	SPI 中断标志屏蔽状态寄存器 (SPI_IFM)	551
21. 5. 2. 13	SPI 中断清除寄存器 (SPI_ICR)	553
第 22 章	通用异步收发器 (UART0~4)	555
22. 1	概述	555
22. 2	特性	555
22. 3	结构图	557
22. 4	功能描述	558
22. 4. 1	具体功能配置	559
22. 4. 2	功能描述	559
22. 4. 3	发送器	561
22. 4. 4	接收器	562
22. 4. 4. 1	防抖电路	562
22. 4. 4. 2	起始位侦测	563
22. 4. 5	状态寄存器	566
22. 4. 6	波特率产生器	567
22. 4. 7	自动波特率侦测	568
22. 4. 8	自动流量控制	570
22. 4. 8. 1	RTS 流量控制	571
22. 4. 8. 2	CTSn 流量控制	571
22. 4. 8. 3	RS485 驱动使能 (DE)	571
22. 4. 9	Modbus 通信	572
22. 4. 10	校验控制	572
22. 4. 11	多处理器通信	573
22. 4. 12	LIN 模式 (仅 EUART 支持)	574
22. 4. 13	单线半双工通讯 (仅 EUART 支持)	576
22. 4. 14	智能卡模式 (仅 EUART 支持)	577
22. 4. 15	IrDA SIR 模式 (仅 EUART 支持)	578
22. 4. 16	使用 DMA 连续通讯	580
22. 4. 17	中断配置	581
22. 5	特殊功能寄存器	583
22. 5. 1	寄存器列表	583

22. 5. 2	寄存器描述	584
22. 5. 2. 1	接收缓冲寄存器 (UART_RXBUF)	584
22. 5. 2. 2	发送缓冲寄存器 (UART_TXBUF)	584
22. 5. 2. 3	波特率寄存器 (UART_BRR)	585
22. 5. 2. 4	格式控制寄存器 (UART_LCON)	586
22. 5. 2. 5	模式控制寄存器 (UART_MCON)	589
22. 5. 2. 6	RS485 控制寄存器 (UART_RS485)	591
22. 5. 2. 7	智能卡控制寄存器 (UART_SCARD)	593
22. 5. 2. 8	LIN 控制寄存器 (UART_LIN)	595
22. 5. 2. 9	接收超时寄存器 (UART_RTOR)	596
22. 5. 2. 10	状态寄存器 (UART_STAT)	597
22. 5. 2. 11	中断开启寄存器 (UART_IER)	599
22. 5. 2. 12	中断关闭寄存器 (UART_IDR)	601
22. 5. 2. 13	中断功能有效状态寄存器 (UART_IVS)	603
22. 5. 2. 14	原始中断标志寄存器 (UART_RIF)	605
22. 5. 2. 15	中断标志屏蔽状态寄存器 (UART_IFM)	607
22. 5. 2. 16	中断清除寄存器 (UART_ICR)	609
第 23 章	电机控制加速器 (MCA)	611
23. 1	概述	611
23. 2	特性	611
23. 3	功能描述	611
23. 4	特殊功能寄存器	612
23. 4. 1	寄存器列表	612
23. 4. 2	寄存器描述	613
23. 4. 2. 1	MCA 控制寄存器 (MCA_CTRL)	613
23. 4. 2. 2	MCA 输出数据寄存器 0 (MCA_DOUT0)	613
23. 4. 2. 3	MCA 输出数据寄存器 1 (MCA_DOUT1)	614
23. 4. 2. 4	MCA 输出数据寄存器 2 (MCA_DOUT2)	614
23. 4. 2. 5	MCA 输出数据寄存器 3 (MCA_DOUT3)	614
23. 4. 2. 6	MCA 限幅数据寄存器 (MCA_VSL)	615
23. 4. 2. 7	MCA 输入数据寄存器 1 (MCA_DIN1)	615
23. 4. 2. 8	MCA 输入数据寄存器 2 (MCA_DIN2)	615
23. 4. 2. 9	MCA 输入数据寄存器 3 (MCA_DIN3)	616
23. 4. 2. 10	MCA 输入数据寄存器 4 (MCA_DIN4)	616
23. 4. 2. 11	MCA 输入数据寄存器 5 (MCA_DIN5)	616
23. 4. 2. 12	MCA 输入数据寄存器 6 (MCA_DIN6)	617
23. 4. 2. 13	MCA 输入数据寄存器 7 (MCA_DIN7)	617
23. 4. 2. 14	MCA 输入数据寄存器 8 (MCA_DIN8)	617
23. 4. 2. 15	MCA 指令寄存器 (MCA_INST)	618
第 24 章	运算加速器 (CALC)	619
24. 1	概述	619
24. 2	特性	619
24. 3	功能描述	619
24. 3. 1	平方根运算	619

24. 3. 1. 1	算法概述	619
24. 3. 1. 2	使用说明	619
24. 3. 1. 3	完成时间	620
24. 3. 2	除法运算	621
24. 3. 2. 1	算法概述	621
24. 3. 2. 2	特例说明	621
24. 3. 2. 3	使用说明	622
24. 3. 2. 4	完成时间	623
24. 3. 3	反正切运算	624
24. 4	特殊功能寄存器	625
24. 4. 1	寄存器列表	625
24. 4. 2	寄存器描述	626
24. 4. 2. 1	CALC 被除数寄存器 (CALC_DIVDR)	626
24. 4. 2. 2	CALC 除数寄存器(CALC_DIVSR)	626
24. 4. 2. 3	CALC 商寄存器(CALC_DIVQR)	627
24. 4. 2. 4	CALC 余数寄存器(CALC_DIVRR)	627
24. 4. 2. 5	CALC 除法运算控制寄存器(CALC_DIVCON)	628
24. 4. 2. 6	CALC 被开方数寄存器(CALC_RDCND)	628
24. 4. 2. 7	CALC 平方根运算结果寄存器(CALC_SQRTRES)	629
24. 4. 2. 8	CALC 运算状态寄存器(CALC_STAT)	629
24. 4. 2. 9	CALC 反正切数据寄存器(CALC_ATAND)	630
24. 4. 2. 10	CALC 反正切结果寄存器(CALC_ATANRES)	630
第 25 章	空间矢量加速器(SVA)	631
25. 1	概述	631
25. 2	特性	631
25. 3	结构图	631
25. 4	功能描述	632
25. 4. 1	基本运算	632
25. 4. 1. 1	Clarke 转换	632
25. 4. 1. 2	Clarke 逆转换	632
25. 4. 1. 3	Park 转换	632
25. 4. 1. 4	Park 逆转换	632
25. 4. 1. 5	SVPWM	633
25. 4. 1. 6	角度换算	634
25. 4. 2	执行模式	635
25. 4. 3	控制流程	636
25. 4. 3. 1	Pulling Status	636
25. 4. 3. 2	使用中断	636
25. 4. 3. 3	使用 DMA	636
25. 4. 3. 4	使用 DMA 启动	636
25. 4. 4	其他功能	637
25. 4. 4. 1	PWM 输出倍率	637
25. 4. 4. 2	扇区变更标志位	637
25. 5	特殊功能寄存器	638

25. 5. 1	寄存器列表	638
25. 5. 2	寄存器描述	639
25. 5. 2. 1	SVA 中断开启寄存器(SVA_IER)	639
25. 5. 2. 2	SVA 中断关闭寄存器(SVA_IDR)	639
25. 5. 2. 3	SVA 中断功能有效状态寄存器(SVA_IVS)	640
25. 5. 2. 4	SVA 原始中断标志寄存器(SVA_RIF)	640
25. 5. 2. 5	SVA 中断标志屏蔽状态寄存器(SVA_IFM)	641
25. 5. 2. 6	SVA 中断清除寄存器(SVA_ICR)	641
25. 5. 2. 7	SVA 输入数据 0 (SVA_INDATA0)	642
25. 5. 2. 8	SVA 输入数据 1 (SVA_INDATA1)	642
25. 5. 2. 9	SVA 输入角度(SVA_INANGLE)	643
25. 5. 2. 10	SVA 控制寄存器(SVA_CTRL)	644
25. 5. 2. 11	SVA 输出数据 0(SVA_OTDATA0)	645
25. 5. 2. 12	SVA 输出数据 1(SVA_OTDATA1)	645
25. 5. 2. 13	SVA 输出数据 2(SVA_OTDATA2)	645
25. 5. 2. 14	SVA 状态寄存器(SVA_STATUS)	646
25. 5. 2. 15	SVA 输出倍率因数(SVA_OUTMUL)	647
25. 5. 2. 16	SVA PWM 宽度检测门限值(SVA_PWMTH)	647
第 26 章	比例-积分器(PI)	648
26. 1	概述	648
26. 2	特性	648
26. 3	功能描述	648
26. 3. 1	比例-积分器 (Proportional-Integral Controller)	648
26. 3. 1. 1	数值范围	648
26. 3. 1. 2	使用方式	649
26. 4	特殊功能寄存器	650
26. 4. 1	寄存器列表	650
26. 4. 2	寄存器描述	651
26. 4. 2. 1	PI 控制寄存器(PI_CTRL)	651
26. 4. 2. 2	PI 状态寄存器(PI_STATUS)	652
26. 4. 2. 3	PI 输入数据(第 1 组) (PI_1_INDATA)	652
26. 4. 2. 4	PI 系数 Kp(第 1 组) (PI_1_KP)	653
26. 4. 2. 5	PI 系数 Ki(第 1 组) (PI_1_KI)	653
26. 4. 2. 6	PI 积分器输出上限值(第 1 组) (PI_1_ULIMIT)	654
26. 4. 2. 7	PI 积分器输出下限值(第 1 组) (PI_1_LLIMIT)	654
26. 4. 2. 8	PI 输出数据(第 1 组) (PI_1_OUTDATA)	655
26. 4. 2. 9	PI 积分器数值(第 1 组) (PI_1_ACCOUT)	655
26. 4. 2. 10	PI 输入数据(第 2 组) (PI_2_INDATA)	656
26. 4. 2. 11	PI 系数 Kp(第 2 组) (PI_2_KP)	656
26. 4. 2. 12	PI 系数 Ki(第 2 组) (PI_2_KI)	657
26. 4. 2. 13	PI 积分器输出上限值(第 2 组) (PI_2_ULIMIT)	657
26. 4. 2. 14	PI 积分器输出下限值(第 2 组) (PI_2_LLIMIT)	658
26. 4. 2. 15	PI 输出数据(第 2 组) (PI_2_OUTDATA)	658
26. 4. 2. 16	PI 积分器数值(第 2 组) (PI_2_ACCOUT)	659

第 27 章	模数转换器 (ADC)	660
27.1	概述	660
27.2	特性	660
27.3	结构框图	661
27.4	功能描述	662
27.4.1	ADC 控制	662
27.4.2	ADC 时钟	662
27.4.3	通道控制	662
27.4.4	单次工作模式	663
27.4.5	连续工作模式	663
27.4.6	时序图	664
27.4.7	模拟看门狗	664
27.4.8	通道扫描	665
27.4.9	插入通道控制	665
27.4.10	不连续采样控制	665
27.4.11	数据对齐	667
27.4.12	可独自设置各通道采样时间	667
27.4.13	外部触发转换和触发极性	667
27.4.14	快速转换模式	668
27.4.15	数据管理	668
27.4.15.1	使用 DMA	668
27.4.15.2	在不使用 DMA 的情况下管理转换序列	668
27.4.15.3	在不使用 DMA 和溢出检测情况下进行转换	668
27.4.16	ADC 中断	669
27.5	特殊功能寄存器	670
27.5.1	寄存器列表	670
27.5.2	寄存器描述	671
27.5.2.1	ADC 状态寄存器 (ADC_STAT)	671
27.5.2.2	ADC 清零寄存器 (ADC_CLR)	672
27.5.2.3	ADC 控制寄存器 0 (ADC_CON0)	673
27.5.2.4	ADC 控制寄存器 1 (ADC_CON1)	675
27.5.2.5	ADC 采样时间寄存器 1 (ADC_SMPT1)	676
27.5.2.6	ADC 采样时间寄存器 2 (ADC_SMPT2)	676
27.5.2.7	ADC 采样时间寄存器 3 (ADC_SMPT3)	677
27.5.2.8	ADC 通用控制寄存器 2 (ADC_CCR2)	677
27.5.2.9	ADC 标准通道序列寄存器 1 (ADC_NCHS1)	678
27.5.2.10	ADC 标准通道序列寄存器 2 (ADC_NCHS2)	679
27.5.2.11	ADC 标准通道序列寄存器 3 (ADC_NCHS3)	680
27.5.2.12	ADC 标准通道序列寄存器 4 (ADC_NCHS4)	681
27.5.2.13	ADC 插入通道序列寄存器 (ADC_ICHS)	682
27.5.2.14	ADC 通道序列长度寄存器 (ADC_CHSL)	683
27.5.2.15	ADC 看门狗高阈值寄存器 (ADC_WDTH)	683
27.5.2.16	ADC 看门狗低阈值寄存器 (ADC_WDTL)	684
27.5.2.17	ADC 插入通道数据寄存器 1 (ADC_ICHDR1)	684

	27. 5. 2. 18	ADC 插入通道数据寄存器 2 (ADC_ICHDR2)	684
	27. 5. 2. 19	ADC 插入通道数据寄存器 3 (ADC_ICHDR3)	685
	27. 5. 2. 20	ADC 插入通道数据寄存器 4 (ADC_ICHDR4)	685
	27. 5. 2. 21	ADC 标准通道数据寄存器 (ADC_NCHDR)	685
	27. 5. 2. 22	ADC 通用控制寄存器 (ADC_CCR)	686
第 28 章	运算放大器 OPA		688
28. 1	概述		688
28. 2	特性		688
28. 3	结构框图		688
28. 4	功能描述		689
	28. 4. 1 OPA 控制		689
	28. 4. 2 OPA 端口信号连接		689
	28. 4. 3 OPA 工作模式		690
	28. 4. 4 OPA 内部增益		693
	28. 4. 5 OPA 多通道连续转换		693
28. 5	特殊功能寄存器		694
	28. 5. 1 寄存器列表		694
	28. 5. 2 寄存器描述		695
	28. 5. 2. 1 OPA 控制寄存器 (OPA_CON)		695
第 29 章	模拟比较器 (ACMP0~2)		698
29. 1	概述		698
29. 2	特性		698
29. 3	结构框图		699
29. 4	功能描述		700
	29. 4. 1 ACMP 控制		700
	29. 4. 1. 1 稳定时间		700
	29. 4. 1. 2 响应		700
	29. 4. 1. 3 迟滞		700
	29. 4. 1. 4 消隐功能		701
	29. 4. 2 通道选择		701
	29. 4. 3 数据管理		701
	29. 4. 4 中断与 PIS 触发		701
29. 5	特殊功能寄存器		702
	29. 5. 1 寄存器列表		702
	29. 5. 2 寄存器描述		703
	29. 5. 2. 1 ACMP0 控制寄存器 (ACMP0_CON)		703
	29. 5. 2. 2 ACMP1 控制寄存器 (ACMP1_CON)		705
	29. 5. 2. 3 ACMP2 控制寄存器 (ACMP2_CON)		707
	29. 5. 2. 4 ACMP 输入选择寄存器 (ACMP_INPUTSEL)		709
	29. 5. 2. 5 ACMP 状态寄存器 (ACMP_STAT)		710
	29. 5. 2. 6 ACMP 中断使能设置寄存器 (ACMP_IES)		711
	29. 5. 2. 7 ACMP 中断使能清除寄存器 (ACMP_IEC)		712
	29. 5. 2. 8 ACMP 中断使能有效寄存器 (ACMP_IEV)		713
	29. 5. 2. 9 ACMP 原始中断标志寄存器 (ACMP_RIF)		714

	29. 5. 2. 10	ACMP 中断标志屏蔽状态寄存器 (ACMP_IFM)	715
	29. 5. 2. 11	ACMP 中断标志清除寄存器 (ACMP_IFC)	716
	29. 5. 2. 12	ACMP 端口输出控制寄存器 (ACMP_PORT)	717
	29. 5. 2. 13	VDD 分压器控制寄存器 (VDD_SCAL)	717
第 30 章	调试控制 (DBGC)		719
30. 1	概述		719
30. 2	特性		719
30. 3	结构框图		719
30. 4	功能描述		720
	30. 4. 1 调试端口		720
	30. 4. 2 调试冻结		720
	30. 4. 3 调试复位		720
	30. 4. 4 MEM-AP 访问端口		721
30. 5	特殊功能寄存器		722
	30. 5. 1 寄存器列表		722
	30. 5. 2 寄存器描述		722
	30. 5. 2. 1 DBG 器件识别码 (DBG_IDCODE)		722
	30. 5. 2. 2 APB1 外设调试冻结寄存器 (DBG_APB1FZ)		723
	30. 5. 2. 3 APB2 外设调试冻结寄存器 (DBG_APB2FZ)		724
第 31 章	FLASH 信息区		725
31. 1	概述		725
31. 2	特性		725
31. 3	功能描述		726
	31. 3. 1 FLASH 信息区只读信息		726
	31. 3. 1. 1 芯片唯一码 UID		726
	31. 3. 1. 2 芯片产品识别码 CHIPID		726
	31. 3. 2 FLASH 信息区配置信息		727
	31. 3. 2. 1 芯片配置字 CFG_WORD		727
	31. 3. 2. 2 写保护区域配置字 CFG_WRP		728
	31. 3. 2. 3 数据区配置字 CFG_DAFLS		729
	31. 3. 2. 4 用户程序校验码 CHKSUM		730
	31. 3. 2. 5 全局读保护配置字 CFG_GBRDP		730
	31. 3. 2. 6 私有读保护配置字 CFG_PCROP		730
第 32 章	修订历史		732

图目录

图 2-1 系统框图.....	33
图 3-1 DMA 多路复用器与 DMA 连接图	48
图 3-2 独立看门狗计数时钟	50
图 3-3 窗口看门狗计数时钟	50
图 3-4 低功耗定时器计数时钟.....	53
图 4-1 系统总线矩阵	59
图 5-1 存储器控制结构图	62
图 7-1 电源结构框图	83
图 7-2 POR/PDR 示意图.....	84
图 7-3 BOR 示意图	85
图 7-4 LVD 示意图	85
图 7-5 低功耗模式转换图.....	86
图 8-1 复位结构图.....	94
图 9-1 时钟管理结构图.....	105
图 9-2 HOSC 振荡器电路结构示意图	106
图 9-3 晶体振荡器效电路示意图	106
图 10-1 直接存储器访问控制器框图	124
图 11-1 PIS 结构框图	178
图 11-2 高电平调制输出波形图	183
图 11-3 低电平调制输出波形图	183
图 12-1 独立看门狗时序图	194
图 13-1 窗口看门狗中断和溢出复位产生时序图 (WWDTWIN 设定为 25%)	202
图 13-2 错误的喂狗时序图 (WWDTWIN 设定为 25%)	203
图 14-1 GPIO 结构框图	210
图 14-2 外部中断 GPIO 映射	213
图 15-1 CRC 结构框图.....	232
图 16-1 AD16C6T 定时器结构框图.....	240
图 16-2 从 1 分频变为 3 分频时的计数时序图	244
图 16-3 重复计数器工作模式	245
图 16-4 采用内部时钟计数.....	246
图 16-5 外部时钟连接	247
图 16-6 外部触发输入模块.....	248
图 16-7 计数器递增计数时序图.....	249
图 16-8 设置 ARPEN 位为 0 时计数器时序图.....	250
图 16-9 设置 ARPEN 位为 1 时计数器时序图.....	250
图 16-10 计数器递减计数时序图.....	251
图 16-11 计数器递增减计数时序图	252
图 16-12 外部触发输入结构图	253
图 16-13 捕获或比较通道结构图(通道 1 为例).....	253
图 16-14 输入捕获电路(通道 1 为例)	254
图 16-15 输出比较电路(通道 1 为例, 通道 2/3/4 架构相同).....	254
图 16-16 输出比较电路(通道 5 为例, 通道 6 架构相同).....	255
图 16-17 PWM 输入模式时序	256

图 16-18	边沿对齐递增计数 PWM 波形(AR=8)	258
图 16-19	边沿对齐递减计数 PWM 波形(AR=8)	259
图 16-20	中心对齐 PWM 波形(AR=0x08)	260
图 16-21	抖动模式原理	261
图 16-22	抖动模式下寄存器格式(以 AR 为例)	261
图 16-23	抖动模式下不同 LSB 的寄存器值	262
图 16-24	抖动模式下 PWM 输出影响(中心对齐)	263
图 16-25	输出比较模式, 触发 CHn	265
图 16-26	非对称 PWM 模式输出波形	266
图 16-27	组合 PWM 模式输出波形	267
图 16-28	组合三相 PWM 模式输出波形	268
图 16-29	组合三相非对称 PWM 模式输出波形	269
图 16-30	清除比较输出源 OCLR_INT	270
图 16-31	清除比较输出 CHn	270
图 16-32	通道 1 触发模式下, 基于 PWM 模式 2 单脉冲输出波形	271
图 16-33	多次触发单脉冲模式	272
图 16-34	比较脉冲模式结构图	273
图 16-35	边沿对齐模式下的比较脉冲波形	273
图 16-36	再触发延长脉冲宽度的比较脉冲波形	274
图 16-37	双通道延长脉冲宽度的比较脉冲波形	274
图 16-38	互补输出含死区时间插入	275
图 16-39	死区延迟时间大于 CHnN 脉冲	275
图 16-40	死区延迟时间大于 CHn 脉冲	276
图 16-41	刹车与刹车 2 通道电路	278
图 16-42	非互补输出模式下的刹车事件(OFFSSI=1, CCnEN = 1, CCnNEN = 0)	279
图 16-43	互补输出模式下的刹车事件(OFFSSI=1, CCnEN = 1, CCnNEN = 1)	280
图 16-44	响应 BRK 与 BRK2 刹车事件后的 PWM 输出波形(OFFSSI=1)	281
图 16-45	刹车输入通道(以 BKIN 为例)	281
图 16-46	有效双向刹车输入模式(以 BKIN 为例)	282
图 16-47	COM 事件生成 6 步 PWM(OFFSSR=1)	285
图 16-48	编码器接口模式下的计数操作	287
图 16-49	滤波后极性反相时编码器接口例子	288
图 16-50	不同正交编码器模式下的计数方式	288
图 16-51	时钟加方向编码器模式(CC1POL = 0, CC2POL = 0)	289
图 16-52	定向时钟编码器模式(CC1POL = 0, CC2POL = 0)	290
图 16-53	定向时钟编码器模式(CC1POL = 1, CC2POL = 1)	290
图 16-54	索引脉冲宽度	291
图 16-55	有效索引与 IDXPOS 位之关系图	291
图 16-56	计数器数值与 AB 相门限索引(IDXPOS = 11b)	292
图 16-57	计数器数值与非门限索引(IDXPOS = 00b)	292
图 16-58	索引脉冲宽度小于 AB 相门限(IDXPOS = 11b)	293
图 16-59	计数器数值与 B 相门限索引(IDXPOS = 01b)	294
图 16-60	特定计数方向下检测索引有效事件	294
图 16-61	首次索引事件检测	295

图 16-62	时钟加方向编码器模式下检测索引有效事件(IDXPOS<0> = 1)	295
图 16-63	定向时钟编码器模式下检测索引有效事件(IDXPOS<0> = 1)	296
图 16-64	运行模式下切换从模式选择(SMODPS = 0)	297
图 16-65	霍尔传感器接口范例	299
图 16-66	复位模式控制电路	301
图 16-67	门控模式控制电路	302
图 16-68	触发模式控制电路	302
图 16-69	外部时钟源 2+触发模式下的控制电路	303
图 16-70	主/从定时器范例	304
图 16-71	门控从定时器使用主定时器通道 1 比较输出信号 CH1REF	305
图 16-72	使用主定时器更新事件触发从定时器计数	306
图 16-73	使用定时器 1 的 I1 输入触发定时器 1 和定时器 2	307
图 16-74	ADC 触发事件生成	308
图 16-75	ADC 多点触发事件生成	308
图 17-1	通用定时器结构框图	373
图 17-2	预分频值计数时序图	374
图 17-3	采用内部时钟计数	375
图 17-4	I1 外部时钟连接	375
图 17-5	外部触发输入模块	376
图 17-6	ITn 外部时钟连接	377
图 17-7	计数器递增计数时序图	378
图 17-8	当 ARPEN=0 时计数器时序图	379
图 17-9	当 ARPEN=1 时计数器时序图	380
图 17-10	计数器递减计数时序图	381
图 17-11	增减计数器时序图	382
图 17-12	捕获/比较通道	383
图 17-13	捕获/比较通道 1 主电路	383
图 17-14	捕获/比较通道的输出阶段	384
图 17-15	PWM 输入模式时序	385
图 17-16	边沿对齐 PWM 波形 (AR=8)	386
图 17-17	中心对齐 PWM 波形 (AR=0x3F)	387
图 17-18	单脉冲模式	389
图 17-19	编码器接口模式下的计数操作	391
图 17-20	滤波后极性反相时编码器接口	391
图 17-21	复位模式控制电路	392
图 17-22	门控模式控制电路	393
图 17-23	触发模式控制电路	394
图 17-24	外部时钟源 2+触发模式下的控制电路	395
图 18-1	基本定时器电路结构框图	427
图 19-1	LP16T 结构框图	440
图 19-2	单发计数示意图	442
图 19-3	连续计数示意图	443
图 20-1	I2C 结构图	454
图 20-2	START 和 STOP 信号	455

图 20-3	I2C 总线上的应答位	456
图 20-4	7 位地址格式	457
图 20-5	10 位地址格式	457
图 20-6	主机发送数据	458
图 20-7	主机接收数据	458
图 20-8	I2C 总线上的数据传输	459
图 20-9	从机初始化流程图	462
图 20-10	从机发送的传输序列图	463
图 20-11	从机接收的传输序列图	464
图 20-12	主机时钟产生	465
图 20-13	SCL 主机时钟同步	466
图 20-14	主机发送的传输序列图	467
图 20-15	主机接收的传输序列图	468
图 21-1	SPI 电路结构框图	502
图 21-2	SPI 通信时序格式	504
图 21-3	全双工通信	505
图 21-4	半双工通信	506
图 21-5	单工通信（主机模式下的只发送与从机模式下的只接收）	507
图 21-6	多从机通讯（一个主机和三个从机）	508
图 21-7	多主机通讯应用	509
图 21-8	全双工通信时序（直接存取操作模式，连续传输）	514
图 21-9	全双工通信时序（FIFO 缓存操作模式，连续传输）	515
图 21-10	单工通信-只发送模式时序（直接存取操作模式，连续传输）	516
图 21-11	单工通信-只发送模式时序（FIFO 缓存操作模式，连续传输）	517
图 21-12	单工通信-只接收模式时序（直接存取操作模式，连续传输）	518
图 21-13	单工通信-只接收模式时序（FIFO 缓存操作模式，连续传输）	519
图 21-14	发送时（BIDEN=0 且 RXO=0）的时序（间断传输）	520
图 21-15	使用 DMA 进行发送	522
图 21-16	使用 DMA 进行接收	523
图 21-17	TI 格式的 SPI 通信时序	530
图 22-1	UART 框图	557
图 22-2	数据宽度设置	560
图 22-3	停止位配置	561
图 22-4	输入防抖动波形	562
图 22-5	防抖动电路模块输出	563
图 22-6	起始位侦测	563
图 22-7	数值采样	564
图 22-8	自动波特率侦测模式 0	569
图 22-9	自动波特率侦测模式 1	569
图 22-10	自动波特率侦测模式 2	570
图 22-11	自动流量控制框图	570
图 22-12	自动 RTSn 控制	571
图 22-13	自动 CTSn 控制	571
图 22-14	驱动开启，AADINV=0	571

图 22-15	使用地址标示侦测模式.....	573
图 22-16	LIN 模式侦测断路信号（11 位断路长度–LBDL 位为 1）	575
图 22-17	LIN 模式侦测断路信号与帧错误信号	576
图 22-18	ISO 7816-3 异步协定	577
图 22-19	1.5 位停止位时检测校验错误	578
图 22-20	红外收发框图	579
图 22-21	IrDA 数据调制（3/16）–正常模式	579
图 25-1	SVA 结构图	631
图 25-2	SVA 输入角度和角度换算的关系图.....	634
图 27-1	ADC 结构框图	661
图 27-2	ADC 转换时序图	664
图 27-3	右对齐数据示意图	667
图 27-4	左对齐数据示意图	667
图 28-1	OPA 结构框图	688
图 28-2	OPA 独立模式（外部增益模式，正相闭环放大）	690
图 28-3	OPA 跟随模式	691
图 28-5	内部增益放大模式（单端输入）	693
图 29-1	ACMP 结构框图	699
图 29-2	迟滞原理图	700
图 29-3	消隐功能示意图.....	701
图 30-1	SWD 调试结构图	719
图 30-2	MEM-AP 地址映射	721

表目录

表 2-1	系统功能模块	35
表 2-2	ARM 32 位 Cortex-M0 内核模块	35
表 2-3	存储器及存储接口	36
表 2-4	系统模块	36
表 2-5	时钟管理	37
表 2-6	外部接口	37
表 2-7	系统模块	37
表 2-8	定时器	39
表 2-9	通信模块	40
表 2-10	模拟模块	41
表 3-1	中断向量分配	44
表 3-2	STOP 低功耗模式的唤醒源	45
表 3-3	外设存储映射	47
表 3-4	DMA 请求列表	49
表 3-5	独立看门狗定时器的低功耗动作模式	50
表 3-6	窗口看门狗定时器的低功耗动作模式	50
表 3-7	HOSC 的低功耗动作模式	51
表 3-8	HRC48M 的低功耗动作模式	51
表 3-9	PLL 的低功耗动作模式	51
表 3-10	LRC 的低功耗动作模式	51
表 3-11	通用定时器的低功耗动作模式	52
表 3-12	基本定时器的低功耗动作模式	52
表 3-13	低功耗定时器的低功耗动作模式	53
表 3-14	I2C 接口的低功耗动作模式	54
表 3-15	SPI 接口的低功耗动作模式	54
表 3-16	UART 的低功耗动作模式	54
表 3-17	ADC 转换通道配置	55
表 3-18	ADC 的低功耗动作模式	56
表 3-19	ACMP0/1 正端通道选择	56
表 3-20	ACMP2 正端通道选择	56
表 3-21	ACMP0/1/2 负端通道选择	56
表 3-22	ACMP 的低功耗动作模式	57
表 3-23	OPA 正端通道选择	57
表 3-24	OPA 负端通道选择	57
表 3-25	OPA 的低功耗动作模式	58
表 4-1	系统存储器映射	61
表 5-1	写保护区配置字对应表	63
表 5-2	私有读保护区配置字对应表	63
表 5-3	数据 Flash 配置字对应表	63
表 5-4	不同全局保护级别下的访问限制表	64
表 7-1	低功耗模式说明	87
表 7-2	低功耗模式下各模块操作	88
表 8-1	系统复位与寄存器关系	95

表 11-1	生产端信号	179
表 11-2	消费端信号	180
表 11-3	消费端的 PIS 通道分配	181
表 14-1	端口配置表	212
表 14-2	端口驱动表	212
表 16-1	AD16C6T 引脚输出选择表	241
表 16-2	通道 1 引脚输入来源	242
表 16-3	通道 2 引脚输入来源	242
表 16-4	通道 3 引脚输入来源	243
表 16-5	通道 4 引脚输入来源	243
表 16-6	ETR 引脚输入来源	243
表 16-7	AD16C6T 内部触发连接表	243
表 16-8	CCRVn 与 AR 值在抖动模式下的所有变化(边沿对齐)	263
表 16-9	CCRVn 与 AR 值在抖动模式下的所有变化(中心对齐)	263
表 16-10	输出引脚状态表	284
表 16-11	计数方向与编码器输入信号的关系(CC1POL = CC2POL = 0)	286
表 16-12	计数方向与极性及 I1 电平之间的关系	289
表 16-13	计数时钟与极性及 I2 边沿之间的关系	289
表 16-14	计数方向与编码器输入信号的关系	290
表 17-1	计数方向与编码器信号的关系	390
表 20-1	第一个字节中的位定义	457
表 20-2	$F_{I2CCLK} = 8 \text{ MHz}$ 的时序设置示例	469
表 20-3	$F_{I2CCLK} = 16 \text{ MHz}$ 的时序设置示例	469
表 20-4	$F_{I2CCLK} = 48 \text{ MHz}$ 的时序设置示例	470
表 20-5	$F_{I2CCLK} = 72 \text{ MHz}$ 的时序设置示例	470
表 20-6	SMBus 超时规格	472
表 20-7	各种 I2CCLK 频率的 TIMEOUTA 设置示例 ($T_{TIMEOUT} = 25 \text{ ms}$)	474
表 20-8	各种 I2CCLK 频率的 TIMEOUTB 设置示例	474
表 20-9	各种 I2CCLK 频率的 TIMEOUTA 设置示例 ($T_{IDLE} = 50 \mu\text{s}$)	474
表 22-1	UART0~4 具体功能配置	559
表 22-2	采样数据的噪音检测数值	565
表 22-3	系统时钟为 48MHz, 设置波特率时的误差计算	568
表 22-4	帧格式	572
表 22-5	中断配置表	582
表 24-1	平方根运算误差示例	620
表 24-2	平方根运算时间表(CALC_DIVCON.FIXED_SPEED=0)	621
表 24-3	除法运算时间表	623
表 24-4	CORDIC 方块图	624
表 27-1	模拟看门狗通道选择	664
表 27-2	ADC 中断	669
表 28-1	OPA 信号和芯片管脚的对应关系	689
表 30-1	SWD 端口描述	720

第1章 文档约定

1.1 寄存器读写权限的设定

缩写词	说明	描述
R/W	读/写 (__IO)	软件可以读写这些位
R	只读 (__I)	软件只能读取这些位
W	只写 (__O)	软件只能写入该位，读取该位时将返回复位值
W1	只写 (写 1)	软件只能写入该位，写 1 有效，写 0 无作用。
R/C_W1	读取/清零 (写 1)	软件可以读取该位，也可以通过写入 1 将该位清零。写入 “0” 对该位的值无影响
R/C_W0	读取/清零 (写 0)	软件可以读取该位，也可以通过写入 0 将该位清零。写入 “1” 对该位的值无影响
R/C_R	读取/清零 (读取)	软件可以读取该位。读取该位时，将自动清零。写入 “0” 对该位的值无影响
C_W1	清零 (写 1)	通过写入 1 将该位清零。写入 “0” 对该位的值无影响
S_W1	置位 (写 1)	通过写入 1 将该位置位。写入 “0” 对该位的值无影响
C_W0	清零 (写 0)	通过写入 0 将该位清零。写入 “1” 对该位的值无影响
T_W1	触发 (写 1)	通过写入 1 将触发硬件动作。写入 “0” 对该位的值无影响
Reserved	保留	保留位，必须保持复位值。

第2章 系统概述

2.1 概述

本章节从系统层介绍 ES32H05x4/M0504 系列 MCU 所涵盖的功能模块。

2.2 系统框图

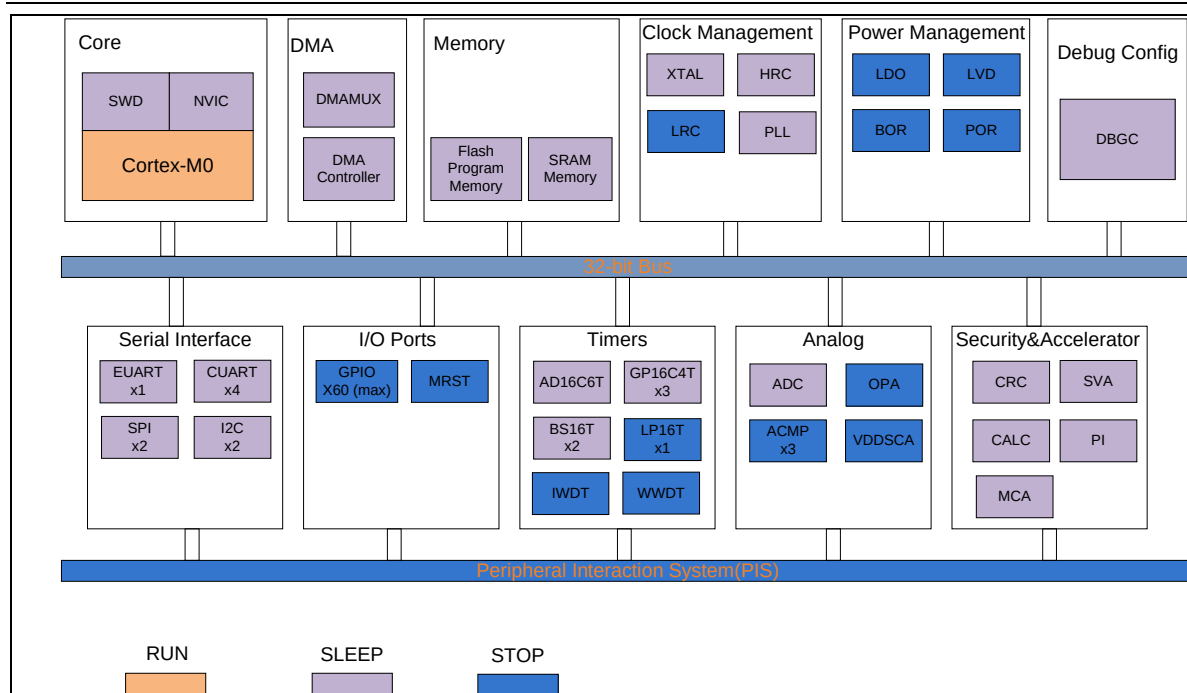


图 2-1 系统框图

2.3 模块功能类别

类别	描述
ARM 32 位 Cortex-M0 CPU	◆ ARM Cortex M 系列 32 位 MCU 内核，最高系统时钟频率可达 72MHz (w/i ECC) 或 80MHz (w/o ECC) ◆ 调试 ◆ 中断和事件
存储	◆ 内部存储： ◇ FLASH 存储器 ◇ SRAM 存储器 ◆ 系统总线和存储器 ◆ 存储器系统控制
系统管理	◆ 系统配置控制器 ◆ 电源管理及低功耗模式 ◇ 可支持多种低功耗模式： - SLEEP 模式 - STOP 模式 ◆ 复位控制 ◆ DMA ◇ 支持多个 DMA 请求通道，DMAMUX 为每个 DMA 通道提供片上 DMA 请求源选择 ◆ 外设互联 (PIS) ◆ 看门狗定时器 ◇ 独立看门狗定时器 ◇ 窗口看门狗定时器 ◆ 调试配置控制器 (DBGMC)
时钟管理	◆ 提供外部和内部多种时钟源选择 ◇ HOSC ◇ HRC48M ◇ PLL48M~80M ◇ LRC ◆ 外部时钟停振检测 ◆ PLL 倍频满足高速应用 ◆ 可灵活选择内核，系统及外设时钟 ◆ 可灵活设置外设时钟门控及时钟分频，以满足低功耗应用需求
外部接口	◆ 通用 IO (GPIO)
安全管理及运算加速	◆ 循环冗余校验模块 (CRC)
定时器	◆ 高级定时器 (AD16C6T) ◆ 通用定时器 (GP16C4T0~2) ◆ 基本定时器 (BS16T) ◆ 低功耗定时器 (LP16T)
通信	◆ I2C 总线接口 (I2C)

类别	描述
	◆ 串行外设接口（SPI） ◆ 通用异步收发器（UART）
模拟	◆ 模数转换器（ADC） ◆ 模拟比较器（ACMP） ◆ 运算放大器（OPA）

表 2-1 系统功能模块

2.3.1 ARM 32 位Cortex-M0 内核模块

ES32H05x4/M0504 微控制器内核模块包含以下功能：

模块	描述
ARM 32 位 Cortex-M0 内核	◆ 支持 Thumb 指令集； ◆ 32 位硬件乘法器； ◆ 高效可靠的中断响应； ◆ 支持使用 WFI，WFE 进入低功耗模式
NVIC	◆ 中断使能控制； ◆ 中断优先级设置； ◆ 支持末尾连锁和迟来； ◆ 支持 32 个外部中断向量
调试接口	◆ SWD 协议调试接口

表 2-2 ARM 32 位 Cortex-M0 内核模块

2.3.2 存储器及存储器接口

ES32H05x4/M0504 微控制器包含以下存储器及存储器接口模块：

模块	描述
系统总线 and 存储器	◆ 系统总线架构，存储器地址空间映射
存储器系统控制	◆ FLASH 存储器的访问控制
FLASH	◆ FLASH 存储器
SRAM	◆ SRAM 存储器

表 2-3 存储器及存储接口

2.3.3 系统模块

ES32H05x4/M0504 微控制器包含以下系统模块：

模块	描述
系统配置控制器 (SYSCFG)	◆ 系统的相关配置
电源管理及低功耗模式 (PMU)	◆ 系统电源的管理及低功耗模式控制
复位控制 (RMU)	◆ 系统所有复位的管理
DMA 多路复用 (DMAMUX)	◆ DMA 请求源的多路复用选择器
DMA 控制器 (DMAC)	◆ DMA 控制器可减少 CPU 负荷，提高系统效率 ◆ 在低功耗场合也可代替 CPU 的部分工作而不必唤醒整个系统，节省功耗
外设互联 (PIS)	◆ 外设互联系统为外设提供互联接口，可减少软件负担，提高了系统响应的及时性，同时为扩展应用场景提供了便利和灵活性
看门狗定时器 (IWDG, WWDG)	◆ 包含了独立看门狗和窗口看门狗
调试配置控制器 (DBGMC)	◆ 系统调试相关的配置控制 ◆ 产生断点时，定时器/WDT 是否继续计数可以配置 ◆ 产生断点时，PWM 端口是否为高阻态可以配置

表 2-4 系统模块

2.3.4 时钟管理

ES32H05x4/M0504 微控制器包含以下时钟管理模块：

模块	描述
时钟管理 (CMU)	◆ 时钟源配置 ◆ 系统和外设时钟的选择及切换 ◆ 外部时钟停振检测 (时钟安全机制) ◆ 外设时钟门控 ◆ 系统和外设时钟分频 ◆ PLL 倍频

表 2-5 时钟管理

2.3.5 外部接口

ES32H05x4/M0504 微控制器包含以下外部接口模块：

模块	描述
通用 IO 及端口控制	◆ 通用 IO 的输入输出功能 ◆ 对 IO 的控制还包括：上、下拉电阻选择，开漏选择，驱动能力选择，端口 CMOS/TTL 输入功能选择，端口模拟滤波器使能控制等 ◆ 通用 IO 端口支持 16 个中断源 (分为 4 组，对应 4 个中断向量号) 和 DMA 请求

表 2-6 外部接口

2.3.6 安全管理及运算加速

ES32H05x4/M0504 微控制器包含以下安全管理模块：

模块	描述
循环冗余校验模块 (CRC)	◆ 支持四个常用的多项式： ◇ CRC-CCITT ◇ CRC-8 ◇ CRC-16 ◇ CRC-32

表 2-7 系统模块

2.3.7 定时器

ES32H05x4/M0504 微控制器包含以下定时器模块：

模块	描述
高级定时器 (AD16C6T)	◆ 16 位递增，递减，递增/递减自动加载计数器 ◆ 16 位可编程预分频器，可在定时器运行中对计数器工作时钟进行 1 到 65536 间的任意分频 ◆ 带有 4 个独立通道，每个通道支持以下功能 ◇ 输入捕获 ◇ 输出比较 ◇ PWM 产生（边沿与中央对齐模式） ◇ 单脉冲输出 ◆ 通道 1~4 支持互补输出，可设置死区时间 ◆ 同步电路用于外部信号控制定时器及内部互联多个定时器 ◆ 重复计数器，用于在给定数目的计数周期后更新定时器寄存器 ◆ 支持刹车输入功能，并可设置刹车后定时器输出状态 ◆ 支持中断/DMA： ◇ 更新事件：计数器上溢/下溢，计数器初始化（通过软件或内/外部触发） ◇ 触发事件（计数器启动、停止、初始化或内/外触发计数） ◇ 换向事件（COM） ◇ 输入捕获 ◇ 输出比较 ◇ 刹车输入 ◆ 支持增量（正交）编码及霍尔电路进行定位 ◆ 外部时钟输入触发计数器 ◆ 在调试模式下，定时器可被冻结。
通用定时器 (GP16C4T)	◆ 16 位递增、递减、递增/递减自动重载计数器 ◆ 16 位可编程预分频器，用于对计数器时钟频率进行分频（即运行时修改），分频系数介于 1 到 65536 之间 ◆ 多达 4 个独立通道，可用于： ◇ 输入捕获 ◇ 输出比较

模块	描述
	◇ PWM 生成（边沿和中心对齐模式） ◇ 单脉冲模式输出 ◆ 使用外部信号控制定时器且可实现多个定时器互联的同步电路 ◆ 重复计数器，用于仅在给定数目的计数器周期后更新定时器寄存器 ◆ 发生如下事件时生成中断/DMA 请求： ◇ 更新：计数器上溢/下溢、计数器初始化（通过软件或内部/外部触发） ◇ 触发事件（计数器启动、停止、初始化或通过内部/外部触发计数） ◇ 输入捕获 ◇ 输出比较 ◆ 支持定位用增量（正交）编码器和霍尔传感器电路 ◆ 外部时钟触发输入 ◆ 在调试模式下，定时器可被冻结
基本定时器（BS16T）	◆ 16 位递增自动重载计数器 ◆ 16 位可编程预分频器，用于对计数器时钟频率进行分频（即运行时修改），分频系数 介于 1 到 65536 之间 ◆ 发生如下事件时生成中断/DMA 请求： ◇ 更新：计数器上溢 ◆ 在调试模式下，定时器可被冻结
低功耗定时器（LP16T）	◆ 16 位递增计数器 ◆ 3 位可编程预分频器，用于对计数器时钟频率进行分频，分频系数 介于 1 到 128 之间 ◆ 发生如下事件时生成中断请求： ◇ 触发事件（外部触发计数） ◇ 匹配：自动加载值匹配，比较值匹配 ◆ 在调试模式下，定时器可被冻结

表 2-8 定时器

2.3.8 通信模块

ES32H05x4/M0504 微控制器包含以下通信模块：

模块	描述
I2C 总线接口 (I2C)	◆ 支持多主模式和总线仲裁 ◆ 可编程 I2C 地址检测 ◆ 最高通信速率为 400 KHz ◆ 可配置时钟延长 ◆ 兼容 SMBus2.0 协议 ◆ 兼容 PMBus 协议
串行外设接口 (SPI)	◆ 支持半双工/全双工的同步串行通信 ◆ 主模式或从模式操作 ◆ 8 位或 16 位传输帧格式选择
通用异步收发器 (UART)	◆ 支持与外部设备进行全双工数据通信和半双工单线通信 ◆ 提供小数波特率发生器可灵活配置多种波特率 ◆ 智能卡协议 (ISO 7816) ◆ 支持多点通信 ◆ 红外通信协议 ◆ 硬件自动流控制 (CTS/RTS)

表 2-9 通信模块

2.3.9 模拟模块

ES32H05x4/M0504 微控制器包含以下模拟模块：

模块	描述
模数转换器（ADC）	◆ 12 位逐次逼近型模数转换器 ◆ 可配置的转换分辨率（6/8/10/12 位） ◆ 在标准转换、插入转换结束后以及发生模拟看门狗或溢出事件时产生中断 ◆ 支持单次或连续转换模式 ◆ 用于自动将通道 0 转换为通道“n”的扫描模式 ◆ 可配置的数据对齐方式 ◆ 可独立设置各通道采样时间 ◆ 可配置外部触发器选项，可为标准转换和插入转换配置极性 ◆ 支持不连续采样模式 ◆ 可配置的参考源选择 ◆ 可配置的转换时钟分频 ◆ 标准通道转换期间或插入通道转换结束可产生 DMA 请求
模拟比较器（ACMP）	◆ 可配置的迟滞选择，0 ~ ±60mv 之间可选 8 个等级 ◆ 可配置多种低功耗工作模式 ◆ 在芯片 STOP 模式下可工作
运算放大器（OPA）	◆ 支持 1 个高带宽运算放大器（OPA） ◆ 支持 PGA 模式 ◆ 支持 3 个通道切换分时复用 ◆ 运算放大器输出电压连接到 ADC 转换通道 16
电源分压器（VDDSCALAR）	◆ 支持 8 位 256 档 VDD 分压，可用作模拟比较器 ACMP 的负参考电压 ◆ VDD 分压可接到 OPA 正端，通过 OPA 输出强驱电压信号

表 2-10 模拟模块

第3章 芯片配置指引

3.1 概述

本章节主要说明以下内容：

- ◆ 芯片顶层相关模块的连接及信号路径
- ◆ 阅读各模块时可参考的相关信息链接
- ◆ 芯片顶层连接资源的相关配置
- ◆ 模块之间特殊的交互

3.2 ARM Cortex-M0 内核配置

ARM Cortex-M0 提供了高性能，低功耗，低成本的平台来满足 MCU 的实现要求。具备出色的计算性能，并能够快速响应中断。

3.2.1 ARM Cortex-M0 内核

关于 ARM Cortex-M0 内核技术细节可参考 ARM 官网 <http://www.arm.com>。

3.2.2 总线

支持 32 位 AMBA3 AHB 协议总线。Cortex-M0 内核提供一条 System 总线。

3.2.3 系统节拍定时器

系统节拍定时器为递减计数器，计数时钟为内核时钟。具体配置可参考系统节拍控制和状态寄存器（SysTick Control and Status Register）相关说明。

3.2.4 调试器件

支持标准 SWD 协议的调试接口。

3.3 嵌套向量中断控制器

ES32H05x4/M0504 系列 MCU 的嵌套向量中断控制器可支持 4 个优先级设定。并具备以下特性：

- ◇ NVIC 与内核紧密配合支持快速中断响应时间
- ◇ 中断向量表直接传递至内核
- ◇ 支持中断嵌套，咬尾和迟来

3.3.1 中断优先级

中断优先级寄存器（Interrupt Priority Register）每个 byte 的高 2 位为有效位，支持 4 个中断优先级设置。

3.3.2 中断向量分配

中断向量分配如下表所示：

向量号	优先级	名称	说明	地址
0	—	—	保留	0x0000_0000
1	-3	Reset	复位	0x0000_0004
2	-2	NMI	时钟安全事件	0x0000_0008
3	-1	HardFault	所有类型的错误	0x0000_000C
4~10	—	—	保留	0x0000_0010 ~ 0x0000_002B
11	—	SVCall	通过 SWI 指令调用的系统服务	0x0000_002C
12-13	—	—	保留	0x0000_0030 0x0000_0034
14	—	PendSV	可挂起的系统服务	0x0000_0038
15	可设置	Systick	系统定时器	0x0000_003C
16	可配置	WWDT	WWDT 全局	0x0000_0040
17	可配置	IWDT	IWDT 全局	0x0000_0044
18	可配置	LVD	LVD 全局	0x0000_0048
19	可配置	SRAMECC	SRAM ECC 中断	0x0000_004C
20	可配置	CMU	CMU 全局	0x0000_0050
21	可配置	EXTI0_3	外部端口中断 0~3	0x0000_0054
22	可配置	EXTI4_7	外部端口中断 4~7	0x0000_0058
23	可配置	EXTI8_11	外部端口中断 8~11	0x0000_005C
24	可配置	EXTI12_15	外部端口中断 12~15	0x0000_0060
25	可配置	DMA	DMA 全局	0x0000_0064
26	可配置	MCA	MCA/SVA 全局	0x0000_0068
27	可配置	ACMP0_2	ACMP0/1/2 全局	0x0000_006C
28	可配置	ADC	ADC 全局	0x0000_0070
29	可配置	FLASHECC	FLASH ECC 中断	0x0000_0074
30	可配置	—	保留	0x0000_0078

31	可配置	BS16T0	BS16T0 全局	0x0000_007C
32	可配置	BS16T1	BS16T1 全局	0x0000_0080
33	可配置	GP16C4T0	GP16C4T0 全局	0x0000_0084
34	可配置	GP16C4T1	GP16C4T1 全局	0x0000_0088
35	可配置	GP16C4T2	GP16C4T2 全局	0x0000_008C
36	可配置	LP16T0	LP16T0 全局	0x0000_0090
37	可配置	AD16C6T	AD16C6T 全局	0x0000_0094
38	可配置	—	保留	0x0000_0098
39	可配置	I2C0	I2C0 全局	0x0000_009C
40	可配置	I2C1	I2C1 全局	0x0000_00A0
41	可配置	SPI0	SPI0 全局	0x0000_00A4
42	可配置	SPI1	SPI1 全局	0x0000_00A8
43	可配置	EUART0	UART0 全局	0x0000_00AC
44	可配置	CUART3	UART4 全局	0x0000_00B0
45	可配置	CUART0	UART1 全局	0x0000_00B4
46	可配置	CUART1	UART2 全局	0x0000_00B8
47	可配置	CUART2	UART3 全局	0x0000_00BC

表 3-1 中断向量分配

3.4 低功耗模式唤醒事件

ES32H05x4/M0504 微控制器支持事件唤醒机制。芯片唤醒后，软件需要清除相应外设的中断标志位和外设在 NVIC 中断通道上的挂起位。芯片 STOP 模式下的事件唤醒源如下表所示：

唤醒源	描述
EXTI0	选择 PA0,PB0, PC0, PD0 之一作为唤醒源，产生外部端口中断唤醒
EXTI1	选择 PA1,PB1, PC1, PD1 之一作为唤醒源，产生外部端口中断唤醒
EXTI2	选择 PA2,PB2, PC2, PD2 之一作为唤醒源，产生外部端口中断唤醒
EXTI3	选择 PA3,PB3, PC3, PD3 之一作为唤醒源，产生外部端口中断唤醒
EXTI4	选择 PA4,PB4, PC4, PD4 之一作为唤醒源，产生外部端口中断唤醒
EXTI5	选择 PA5,PB5, PC5, PD5 之一作为唤醒源，产生外部端口中断唤醒
EXTI6	选择 PA6,PB6, PC6, PD6 之一作为唤醒源，产生外部端口中断唤醒
EXTI7	选择 PA7,PB7, PC7, PD7 之一作为唤醒源，产生外部端口中断唤醒
EXTI8	选择 PA8,PB8, PC8, PD8 之一作为唤醒源，产生外部端口中断唤醒
EXTI9	选择 PA9,PB9, PC9, PD9 之一作为唤醒源，产生外部端口中断唤醒
EXTI10	选择 PA10,PB10, PC10, PD10 之一作为唤醒源，产生外部端口中断唤醒
EXTI11	选择 PA11,PB11, PC11, PD11 之一作为唤醒源，产生外部端口中断唤醒
EXTI12	选择 PA12,PB12, PC12 之一作为唤醒源，产生外部端口中断唤醒
EXTI13	选择 PA13,PB13, PC13 之一作为唤醒源，产生外部端口中断唤醒
EXTI14	选择 PA14,PB14, PC14 之一作为唤醒源，产生外部端口中断唤醒
EXTI15	选择 PA15,PB15, PC15 之一作为唤醒源，产生外部端口中断唤醒
IWDG	独立看门狗中断事件，使用 LRC 计数时，中断可唤醒芯片
WWDG	窗口看门狗中断事件，使用 LRC 计数时，中断可唤醒芯片
LP16T	低功耗定时器中断事件，使用 LRC 或 HOSC 计数时，中断可唤醒芯片
ACMP	模拟比较器（仅 ACMP1）中断事件
LVD	LVD 中断事件
复位	系统复位（不包含软件复位）

表 3-2 STOP 低功耗模式的唤醒源

3.5 存储器及存储器接口

3.5.1 系统总线和存储器

ES32H05x4/M0504 系列产品外设存储映射如下表所示（SPI0~1、ADC 外设的高速 APB1 总线）：

总线	边界地址	外设
APB	0x4000 0000 - 0x4000 03FF	AD16C6T
	0x4000 0400 - 0x4000 07FF	LP16T0
	0x4000 0800 - 0x4000 0BFF	GP16C4T0
	0x4000 0C00 - 0x4000 0FFF	GP16C4T1
	0x4000 1000 - 0x4000 13FF	GP16C4T2
	0x4000 1400 - 0x4000 17FF	BS16T0
	0x4000 1800 - 0x4000 1BFF	BS16T1
	0x4000 1C00 - 0x4000 1FFF	—
	0x4000 2000 - 0x4000 3FFF	—
	0x4000 4000 - 0x4000 43FF	EUART0
	0x4000 4400 - 0x4000 47FF	—
	0x4000 4800 - 0x4000 4BFF	—
	0x4000 4C00 - 0x4000 4FFF	—
	0x4000 5000 - 0x4000 53FF	CUART0
	0x4000 5400 - 0x4000 57FF	CUART1
	0x4000 5800 - 0x4000 5FFF	CUART2
	0x4000 5C00 - 0x4000 5FFF	CUART3
	0x4004 6000 - 0x4004 63FF	SPI0（APB1）
	0x4004 6400 - 0x4004 67FF	SPI1（APB1）
	0x4000 6800 - 0x4000 6BFF	—
	0x4000 6C00 - 0x4000 7FFF	—
	0x4000 8000 - 0x4000 83FF	I2C0
	0x4000 8400 - 0x4000 87FF	I2C1
	0x4000 8800 - 0x4000 8BFF	WWDT
	0x4000 8C00 - 0x4000 8FFF	IWDT
	0x4000 9000 - 0x4000 93FF	DBGC
	0x4004 9400 - 0x4004 97FF	ADC/OPA（APB1）
	0x4000 9800 - 0x4000 9BFF	ACMP
	0x4000 9C00 - 0x4000 9FFF	—
	0x4000 A000 - 0x4000 A3FF	—
	0x4000 A400 - 0x4000 AFFF	—
	0x4000 B000 - 0x4000 B3FF	—
	0x4000 B400 - 0x4000 CFFF	—
	0x4000 D000 - 0x4000 D3FF	DMA_MUX
	0x4000 D400 - 0x4007 FFFF	—

总线	边界地址	外设
AHB	0x4008 0000 - 0x4008 03FF	SYSCFG
	0x4008 0400 - 0x4008 07FF	CMU
	0x4008 0800 - 0x4008 0BFF	RMU
	0x4008 0C00 - 0x4008 0FFF	PMU
	0x4008 1000 - 0x4008 13FF	MSC
	0x4008 1400 - 0x4008 17FF	—
	0x4008 1800 - 0x4008 3FFF	—
	0x4008 4000 - 0x4008 4FFF	GPIO
	0x4008 5000 - 0x4008 53FF	CRC
	0x4008 5400 - 0x4008 57FF	DMA
	0x4008 5800 - 0x4008 583F	SVA
	0x4008 5840 - 0x4008 587F	PI
	0x4008 5880 - 0x4008 58FF	CALC
	0x4008 5900 - 0x4008 5BFF	MCA
	0x4008 5C00 - 0x4008 5FFF	—
	0x4008 6000 - 0x4008 63FF	PIS
	0x4008 6400 - 0x4008 67FF	—
	0x4008 6800 - 0x4008 FFFF	—

表 3-3 外设存储映射

3.6 系统模块配置

3.6.1 DMA控制器配置

DMA 控制器包含 7 个通道，每个 DMA 通道对应一个 DMA 多路复用器，每个多路复用器包含了微控制器所有的 DMA 申请源，由 DMA_CHx_SELCON (x=0~6) 配置选择。多路复用器和 DMA 之间连接图如下：

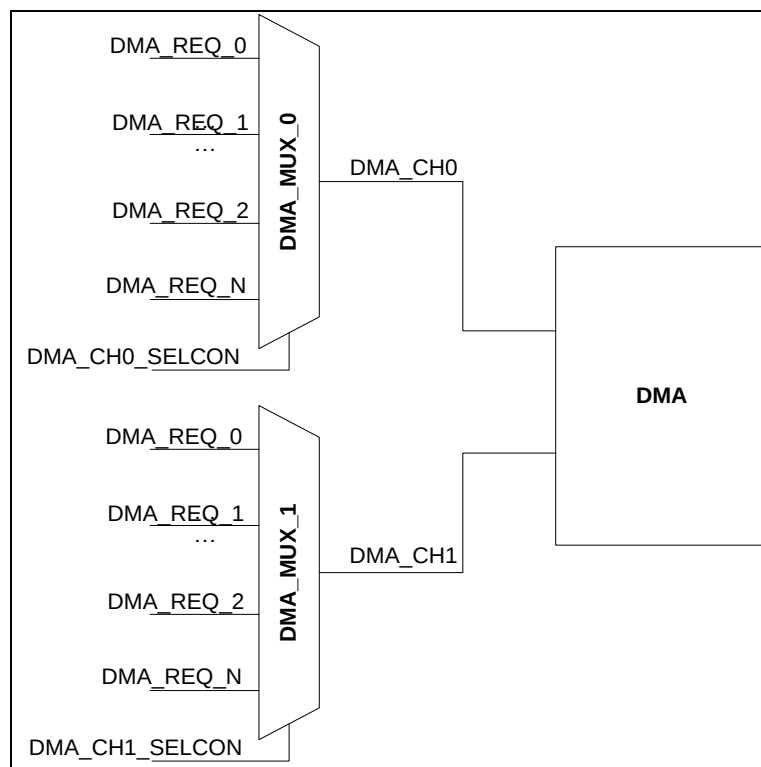


图 3-1 DMA 多路复用器与 DMA 连接图

每个 DMA 多路复用器可选择的 DMA 请求如下表所示：

模块名	DMA 请求源
GPIO	EXTI0~EXTI15
ADC	ADC 转换结束
AD16C6T	AD16C6T_CH1
	AD16C6T_CH2
	AD16C6T_CH3
	AD16C6T_CH4
	AD16C6T_TRIG
	AD16C6T_COM
	AD16C6T_UP
BS16T	BS16T_UP
GP16C4T0	GP16C4T0_CH1
	GP16C4T0_CH2

模块名	DMA 请求源
	GP16C4T0_CH3
	GP16C4T0_CH4
	GP16C4T0_TRIG
	GP16C4T0_UP
GP16C4T1	GP16C4T1_CH1
	GP16C4T1_CH2
	GP16C4T1_CH3
	GP16C4T1_CH4
	GP16C4T1_TRIG
	GP16C4T1_UP
GP16C4T2	GP16C4T2_CH1
	GP16C4T2_CH2
	GP16C4T2_CH3
	GP16C4T2_CH4
	GP16C4T2_TRIG
	GP16C4T2_UP
UART0	UART0_TX
	UART0_RX
UART1	UART1_TX
	UART1_RX
UART2	UART2_TX
	UART2_RX
UART3	UART3_TX
	UART3_RX
UART4	UART4_TX
	UART4_RX
SPI0	SPI0_TX
	SPI0_RX
SPI1	SPI1_TX
	SPI1_RX
I2C0	I2C0_TX
	I2C0_RX
I2C1	I2C1_TX
	I2C1_RX
CRC	CRC
MCA	MCA_TX
	MCA_RX

表 3-4 DMA 请求列表

3.6.2 独立看门狗定时器配置

3.6.2.1 独立看门狗定时器的时钟

下图为独立看门狗定时器的计数时钟源选择：

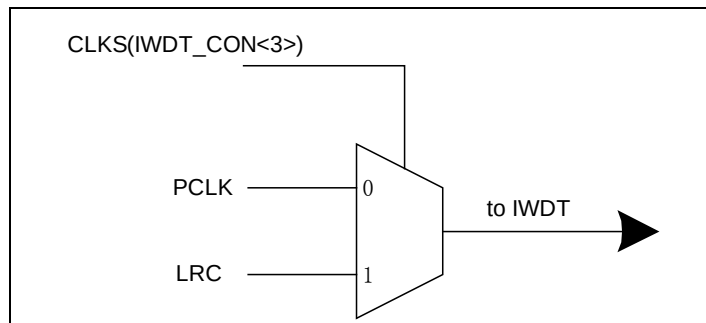


图 3-2 独立看门狗计数时钟

3.6.2.2 独立看门狗定时器的低功耗动作模式

低功耗模式	模块工作模式
STOP	可工作

表 3-5 独立看门狗定时器的低功耗动作模式

3.6.3 窗口看门狗定时器配置

3.6.3.1 窗口看门狗定时器的时钟

下图为窗口看门狗定时器的计数时钟源选择：

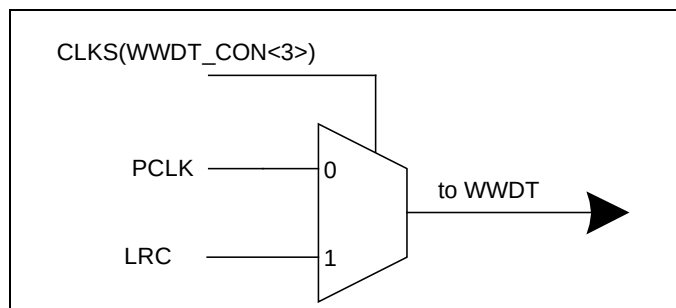


图 3-3 窗口看门狗计数时钟

3.6.3.2 窗口看门狗定时器的低功耗动作模式

低功耗模式	模块工作模式
STOP	可工作

表 3-6 窗口看门狗定时器的低功耗动作模式

3.6.4 时钟管理配置

3.6.4.1 HOSC的低功耗动作模式

低功耗模式	模块工作模式
-------	--------

低功耗模式	模块工作模式
RUN,SLEEP	可工作
STOP	可关闭

表 3-7 HOSC 的低功耗动作模式

3.6.4.2 HRC48M的低功耗动作模式

低功耗模式	模块工作模式
RUN,SLEEP	可工作
STOP	可关闭

表 3-8 HRC48M 的低功耗动作模式

3.6.4.3 PLL的低功耗动作模式

低功耗模式	模块工作模式
RUN,SLEEP	可工作
STOP	可关闭

表 3-9 PLL 的低功耗动作模式

3.6.4.4 LRC的低功耗动作模式

低功耗模式	模块工作模式
RUN,SLEEP	工作
STOP	工作

表 3-10 LRC 的低功耗动作模式

3.7 外部接口配置

3.7.1 通用IO及端口控制配置

3.7.1.1 端口特殊配置说明

SWDIO 和 SWCLK 默认使用 CMOS 输入，支持 3.3/5V 输入系统。正常量产时若不复用其他功能，请将调试口配置为 FUNC1（GPIO 模式），避免输入悬空。

3.8 定时器配置

3.8.1 通用定时器

3.8.1.1 通用定时器例化说明

ES32H05x4/M0504 系列 MCU 中, GP16C4T0,GP16C4T1,GP16C4T2 为 4 通道通用定时器。AD16C6T 为 6 通道高级定时器。

3.8.1.2 通用定时器的时钟

通用定时器的总线时钟和模块时钟源为 PCLK。

3.8.1.3 通用定时器的低功耗动作模式

低功耗模式	模块工作模式
SLEEP	可工作
STOP	不工作

表 3-11 通用定时器的低功耗动作模式

3.8.2 基本定时器配置

3.8.2.1 基本定时器例化说明

ES32H05x4/M0504 系列 MCU 中, BS16T0, BS16T1 为基本定时器。

3.8.2.2 基本定时器的时钟

基本定时器的总线时钟和模块时钟源为 PCLK。

3.8.2.3 基本定时器的低功耗动作模式

低功耗模式	模块工作模式
SLEEP	可工作
STOP	不工作

表 3-12 基本定时器的低功耗动作模式

3.8.3 低功耗定时器配置

3.8.3.1 低功耗定时器例化说明

ES32H05x4/M0504 系列 MCU 中，LP16T 为低功耗定时器。

3.8.3.2 低功耗定时器的时钟

下图为低功耗定时器的计数时钟源选择：

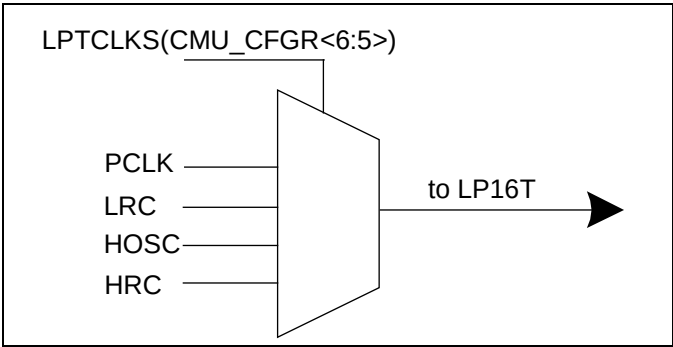


图 3-4 低功耗定时器计数时钟

3.8.3.3 低功耗定时器的低功耗动作模式

低功耗模式	模块工作模式
SLEEP	可工作
STOP	可工作（采用 LRC 或 HOSC）

表 3-13 低功耗定时器的低功耗动作模式

3.9 通信配置

3.9.1.1 I2C接口的时钟

I2C 的总线时钟和模块时钟源为 PCLK。

3.9.1.2 I2C接口的低功耗动作模式

低功耗模式	模块工作模式
SLEEP	可工作
STOP	不工作

表 3-14 I2C 接口的低功耗动作模式

3.9.2 串行外设接口（SPI）配置

3.9.2.1 串行外设接口（SPI）的时钟

SPI 的总线时钟和模块时钟源为 HCLK。

3.9.2.2 串行外设接口（SPI）的低功耗动作模式

低功耗模式	模块工作模式
SLEEP	可工作
STOP	不工作

表 3-15 SPI 接口的低功耗动作模式

3.9.3 通用异步收发器（UART）

3.9.3.1 通用异步收发器（UART）的时钟

UART 的总线时钟和模块时钟源为 PCLK。

3.9.3.2 通用异步收发器（UART）的低功耗动作模式

低功耗模式	模块工作模式
SLEEP	可工作
STOP	不工作

表 3-16 UART 的低功耗动作模式

3. 10 模拟配置

3. 10. 1 ADC控制配置

3. 10. 1. 1 ADC模块例化

ES32H05x4/M0504 包含 1 路 ADC。

3. 10. 1. 2 ADC转换通道配置

ADC 支持 28 个通道选择（其中包含 26 个外部通道），具体分配如下表所示，每个 ADC 通道与管脚的对应关系，请参考数据手册的管脚功能定义表格。

寄存器 ADC_CON0 的 AWDCH	ADC 通道	信号分配
00000	ADC 通道 0	AIN0
00001	ADC 通道 1	AIN1
00010	ADC 通道 2	AIN2
00011	ADC 通道 3	AIN3
00100	ADC 通道 4	AIN4
00101	ADC 通道 5	AIN5
00110	ADC 通道 6	AIN6
00111	ADC 通道 7	AIN7
01000	ADC 通道 8	AIN8
01001	ADC 通道 9	AIN9
01010	ADC 通道 10	AIN10
01011	ADC 通道 11	AIN11
01100	ADC 通道 12	AIN12
01101	ADC 通道 13	AIN13
01110	ADC 通道 14	AIN14
01111	ADC 通道 15	AIN15
10000	ADC 通道 16	OPA 输出电压
10001	ADC 通道 17	AIN17
10010	ADC 通道 18	VREF1.2V
10011	ADC 通道 19	AIN19
10100	ADC 通道 20	AIN20
10101	ADC 通道 21	AIN21
10110	ADC 通道 22	AIN22
10111	ADC 通道 23	AIN23
11000	ADC 通道 24	AIN24
11001	ADC 通道 25	AIN25
11010	ADC 通道 26	AIN26
11011	ADC 通道 27	AIN27
11100~11111	保留	—

表 3-17 ADC 转换通道配置

3.10.1.3 ADC电源及参考电压

ADC 电源由 VDD 提供。

ADC 的参考电压可选 VDD 或 VREFP (VREFP 由外部端口输入)。

3.10.1.4 ADC的时钟

ADC 的总线时钟和模块时钟源为 HCLK。

3.10.1.5 ADC的低功耗动作模式

低功耗模式	模块工作模式
SLEEP	可工作
STOP	关闭

表 3-18 ADC 的低功耗动作模式

3.10.2 ACMP控制配置**3.10.2.1 ACMP模块例化**

ES32H05x4/M0504 包含 3 路 ACMP 模块 (ACMP0, 1, 2)。

3.10.2.2 ACMP比较通道配置

ACMP0, 1 正端支持 4 个外部通道选择, ACMP2 正端支持 3 个外部通道和 1 个内部通道选择, ACMP0, 1, 2 负端支持 2 个外部通道和 2 个内部通道选择。具体分配如下表。

ACMP 通道与管脚的对应关系请参考数据手册。

寄存器 ACMP_INPUTSEL 的 PSEL0/1	ACMP0/1 通道	信号分配
00	ACMP 外部通道 0	CMPxP0
01	ACMP 外部通道 1	CMPxP1
10	ACMP 外部通道 2	CMPxP2
11	ACMP 外部通道 3	CMPxP3

表 3-19 ACMP0/1 正端通道选择

寄存器 ACMP_INPUTSEL 的 PSEL2	ACMP2 通道	信号分配
00	ACMP 外部通道 0	CMP2P0
01	ACMP 外部通道 1	CMP2P1
10	ACMP 外部通道 2	CMP2P2
11	ACMP 内部通道 3	OPA 输出电压

表 3-20 ACMP2 正端通道选择

寄存器 ACMP_INPUTSEL 的 NSEL0/1/2	ACMP0/1/2 通道	信号分配
00	ACMP 外部通道 0	CMPxN0
01	ACMP 外部通道 1	CMPxN1
10	ACMP 内部通道 2	参考电压 VREF (1.2V)
11	ACMP 内部通道 3	VDD 分压

表 3-21 ACMP0/1/2 负端通道选择

3.10.2.3 ACMP电源

ACMP 电源为 VDD。

3.10.2.4 ACMP的时钟

ACMP 的总线时钟和模块时钟源为 PCLK。

3.10.2.5 ACMP的低功耗动作模式

低功耗模式	模块工作模式
SLEEP	可工作
STOP	可工作（仅 ACMP1）

表 3-22 ACMP 的低功耗动作模式

3.10.3 OPA控制配置

3.10.3.1 OPA模块例化

ES32H05x4/M0504 包含 1 路运放 OPA 模块。

3.10.3.2 OPA输入通道配置

OPA 正端支持 4 个外部通道和 1 个内部通道选择，OPA 负端支持 4 个外部通道和 2 个内部通道选择。具体分配如下表。OPA 通道与管脚的对应关系请参考数据手册。

寄存器 OPA_CON 的 VP_SEL1/2/3	OPA 通道	信号分配
00	OPA 外部通道 0	VINP0
01	OPA 外部通道 1	VINP1
10	OPA 外部通道 2	VINP2
11	OPA 外部通道 3 或 VDD 分压器输出	VINP3 或 VDD 分压

表 3-23 OPA 正端通道选择

寄存器 OPA_CON 的 VN_SEL	OPA 通道	信号分配
000	OPA 外部通道 0	VINN0
001	OPA 外部通道 1	VINN1
010	OPA 外部通道 2	VINN2
011	OPA 外部通道 3	VINN3
100	放大器模式的负反馈信号	/
101	跟随模式的负反馈信号	/

表 3-24 OPA 负端通道选择

3.10.3.3 OPA电源

OPA 电源为 VDD。

3.10.3.4 OPA的时钟

OPA 的总线时钟和模块时钟源为 PCLK。

3. 10. 3. 5 OPA的低功耗动作模式

低功耗模式	模块工作模式
SLEEP	可工作
STOP	可工作

表 3-25 OPA 的低功耗动作模式

第4章 系统总线和存储器

4.1 概述

主系统由 32 位多层 AHB 总线矩阵构成，可实现以下部分的互连。

2 条主控总线：

- ◆ Cortex-M0 内核总线
- ◆ DMA 总线

6 条被控总线：

- ◆ 内部 Flash 总线
- ◆ 内部 SRAM0（16KB）总线
- ◆ 内部 SRAM1（8KB）总线
- ◆ APB0 外设（普通）
- ◆ APB1 外设（高速）
- ◆ AHB 外设

借助总线矩阵，可以实现主控总线到被控总线的访问，这样即使在多个高速外设同时运行期间，系统也可以实现并发访问和高效运行。

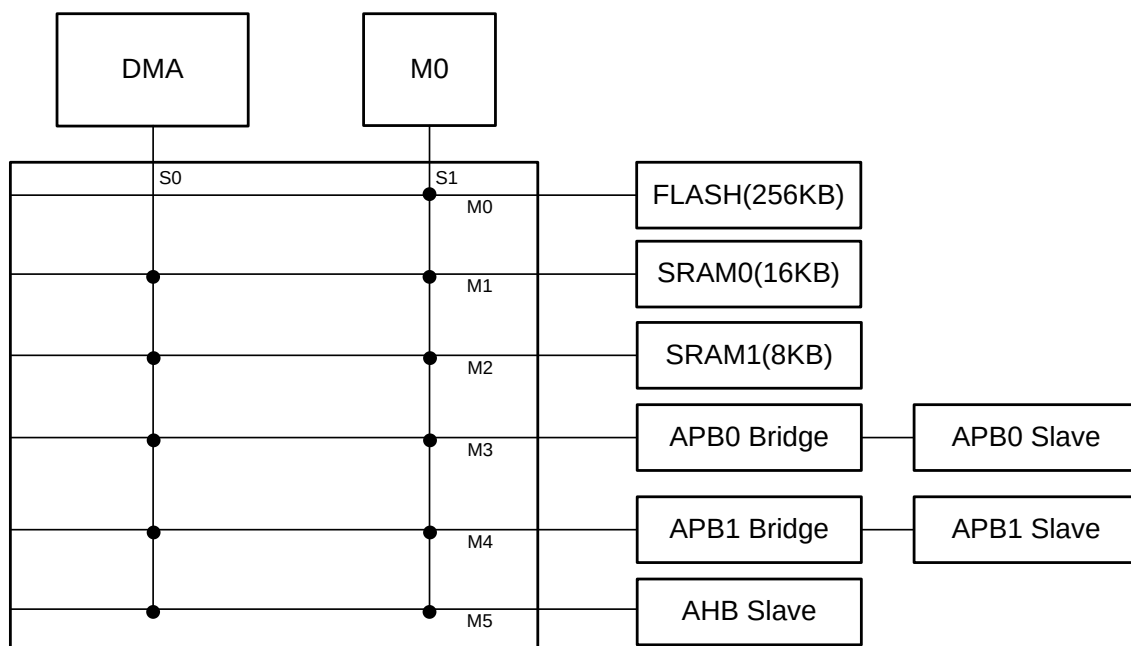


图 4-1 系统总线矩阵

4.2 系统总线

4.2.1 S0: DMA总线

此总线用于将 DMA 存储器总线主接口连接到总线矩阵。DMA 通过此总线访问外设或执行存储器间的数据传输。此总线访问的对象是 AHB 和 APB 外设以及内部 SRAM。

4.2.2 S1: M0 总线

此总线用于将 M0 内核的系统总线连接到总线矩阵。此总线用于访问位于存储器 SRAM 中的程序和数据，以及系统控制寄存器和其他外设寄存器空间。

4.2.3 总线矩阵

总线矩阵用于主控总线之间的访问仲裁管理。仲裁采用循环调度算法。

4.2.4 AHB/APB总线桥

借助两个 AHB/APB 总线桥可实现 AHB 总线与两个 APB 总线之间的桥接，从而可灵活配置外设频率。

4.3 存储器的组织结构

程序存储器、数据存储器、寄存器和 I/O 端口排列在同一个顺序的 4 GB 地址空间内。

各字节按小端格式在存储器中编码。字中编号最低的字节被视为该字的最低有效字节，而编号最高的字节被视为最高有效字节。

有关外设寄存器映射的详细信息，请参见相关章节。

可寻址的存储空间分为 8 个主要块，每个块为 512MB。

未分配给片上存储器和外设的所有存储区域均视为“保留区”。请参见产品数据手册中的存储器映射图。

4.3.1 系统存储器映射

系统存储器映射图如下表所示：

地址范围	存储	备注
0x0000_0000~0x0003_FFFF	FLASH 主存储区	256KB
0x0004_0000~0x0004_0400	FLASH 信息区	1KB
0x0005_0000~0x1FFF_FFFF	Reserved	
0x2000_0000~0x2000_3FFF	SRAM0	16KB
0x2000_4000~0x2000_5FFF	SRAM1	8KB
0x2000_6000~0x3FFF_FFFF	Reserved	
0x4000_0000~0x4003_FFFF	APB0 外设	
0x4004_0000~0x4007_FFFF	APB1 外设	
0x4008_0000~0x4008_FFFF	AHB 外设	
0x4009_0000~0x5FFF_FFFF	Reserved	
0x6000_0000~0x9FFF_FFFF	Reserved	

地址范围	存储	备注
0xA000_0000~0xDFFF_FFFF	Reserved	
0xE000_0000~0xE00F_FFFF	私有外设	
0xE010_0000~0xFFFF_FFFF	Reserved	

表 4-1 系统存储器映射

4.3.2 FLASH存储器映射

FLASH 存储器支持至少 10 万次擦写次数，10 年以上的数据保持时间。支持通过编程器或 IAP 方式进行 FLASH 擦除和编程，无论是否编写相同的数据，在 FLASH 编程前均必须先进行擦除。

Flash 接口管理 CPU 通过系统总线对 Flash 进行访问。该接口可针对 Flash 执行擦除和编程操作，并实施读写保护机制。

FLASH 存储器结构如下：

- ◇ 主存储区（基地址 0x0000_0000）共 256K Bytes，分为 512 页，每页 512 Bytes。
- ◇ 芯片配置字存放在信息区（基地址 0x0004_0000）中，用于配置读写保护、BOR 电压、软件/硬件看门狗、启动地址以及安全保护设置等。

4.3.3 SRAM存储器映射

SRAM 容量为 24K Bytes，地址为 0x2000_0000~0x2000_5FFF，非 ECC 模式下可单周期访问。

4.3.4 外设存储映射

ES32H05x4/M0504 产品外设存储映射请参考章节“芯片配置指引”的外设存储映射表。

4.4 启动引导

芯片发生上电或复位后（除内核软复位和 CPU 复位），CPU 从用户配置字指定的地址开始运行程序，在程序运行中可软件配置中断向量偏移寄存器（SYSCFG_VTOR），再执行内核软复位或 CPU 复位，程序将从 SYSCFG_VTOR 指定的地址运行。

第5章 存储器系统控制（MSC）

5.1 概述

存储器系统控制（MSC）主要用作控制与管理 Flash 各种操作，包括页擦除，写操作，读操作以及对应的访问权限管理等，并实时反馈各种控制操作中的状态，以便于系统对 Flash 编程进行控制。

存储器系统控制（MSC）支持 Flash 主程序区的全局读保护。

存储器系统控制（MSC）中可以划分独立数据 Flash 区域用于存放用户数据，用户可根据具体应用灵活选择。

5.2 特性

- ◆ 支持对 Flash 的编程和擦除控制
 - ◇ 非私有保护区全擦除
 - ◇ 页擦除
 - ◇ 字编程
- ◆ 支持对存储器等待时间控制
 - ◇ 支持 Flash 读取等待时间可根据系统时钟配置为 0~3 个系统时钟周期
 - ◇ 支持 Sram 读取等待时间可配置为 0~3 个系统时钟周期

5.3 结构框图

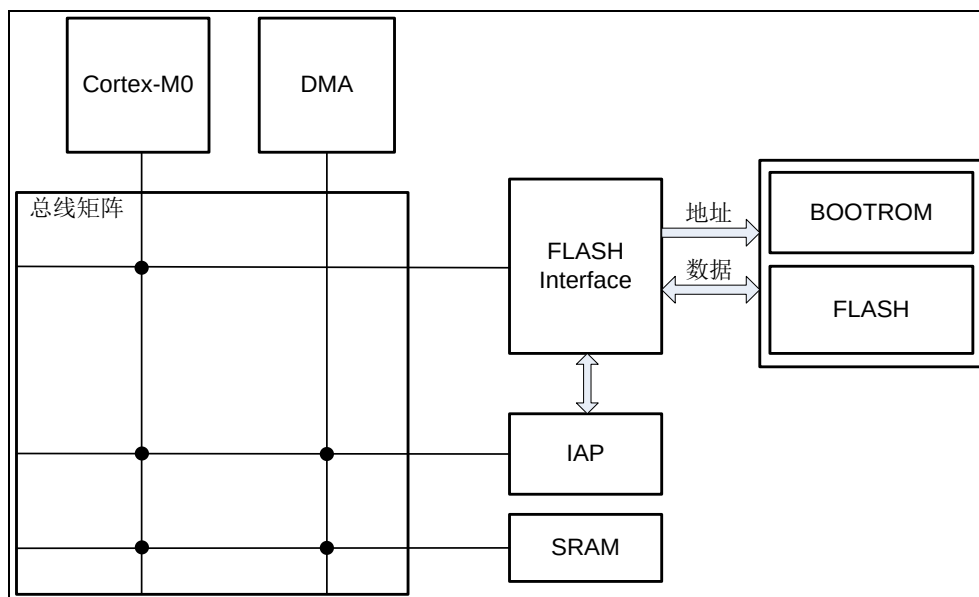


图 5-1 存储器控制结构图

在上电时，系统从 Flash 中加载配置字，配置字加载过程检查成功后，系统从用户配置字指定的启动地址开始运行。DMA 不能直接读取 Flash 中的数据。

5.4 功能描述

5.4.1 Flash保护

5.4.1.1 IAP操作保护KEY

软件通过写 MSC_FLASHKEY，可解除对程序区的保护，处于保护状态时，无法进行擦除和编程的操作。通过检查 MSC_FLASHKEY.STATUS 和 MSC_INFOKEY.STATUS 是否为 0，判断 Flash 是否处于保护状态。

5.4.1.2 Flash写保护区

Flash 存储器可以通过配置字 CFG_WRP0 和 CFG_WRP1 的 START、END 位设置两段写保护区；通过 ENB 位配置两段写保护区使能。

Flash 页擦除和字编程无法对写保护区擦除和写入。

写保护区域	使能	起始页号	结束页号
区域 1	CFG_WRP0.ENB	CFG_WRP0.START	CFG_WRP0.END
区域 2	CFG_WRP1.ENB	CFG_WRP1.START	CFG_WRP1.END

表 5-1 写保护区配置字对应表

5.4.1.3 Flash私有读保护区

Flash 存储器可以通过配置字 CFG_PCROP0 和 CFG_PCROP1 的 START、END 位配置两段私有读保护区；通过 ENB 位配置使能。

Flash 对私有读保护区进行任何非法的读取或擦写，均会置位对应的错误标识。

私有读保护区	使能	起始页号	结束页号
区域 1	CFG_PCROP0.ENB	CFG_PCROP0.START	CFG_PCROP0.END
区域 2	CFG_PCROP1.ENB	CFG_PCROP1.START	CFG_PCROP1.END

表 5-2 私有读保护区配置字对应表

5.4.1.4 数据Flash区

Flash 区域可以通过配置字 CFG_DAFLS 划分数据 Flash 区，通过 CFG_DAFLS 的 ENB 位配置数据 Flash 的使能。

Data Flash	使能	起始页号	结束页号
区域 1	CFG_DAFLS.ENB	CFG_DAFLS.START	CFG_DAFLS.END

表 5-3 数据 Flash 配置字对应表

5.4.1.5 Flash全局读保护

Flash 存储器可以进行全局读保护，保护等级分为 Level0，Level1，Level2。

当全局保护字为 32 位全 1 时，全局保护级别即为 Level0。

当全局保护字高 16 位为全 1 且低 16 位为非全 1 时，全局保护级别即为 Level1。

当全局保护字高 16 位为非全 1 且低 16 位也为非全 1 时，全局保护级别即为 Level2。

不同全局加密保护级别下的访问限制如下表：

存储区		全局保护级别	调试模式 运行程序			用户模式					
						在 FLASH 中运行			在 SRAM 中运行		
			擦	写	读	擦	写	读	擦	写	读
Flash Code 区	非私有读保护区	Level0	全擦/页擦	是	是	NA	NA	是	页擦	是	是
		Level1	全擦/页擦	否	否	NA	NA	是	页擦	是	否
		Level2	否	否	否	NA	NA	是	页擦	是	否
	私有区保护区	Level0	全擦	否	是	NA	NA	否	否	否	否
		Level1	全擦	否	否	NA	NA	否	否	否	否
		Level2	否	否	否	NA	NA	否	否	否	否
	写保护区	Level0	全擦	是	是	NA	NA	是	否	否	是
		Level1	全擦	是	是	NA	NA	是	否	否	是
		Level2	否	否	否	NA	NA	是	否	否	是

表 5-4 不同全局保护级别下的访问限制表

注 1：调试模式下，在 SRAM 中运行程序时，若全局读保护等级为 Level1 或 Level2 时，不能读取 Flash Code 区。

注 2：用户模式下，在 Flash 中运行程序时，只有私有读保护区不能被读出，其他均可以被读出。

注 3：在 Flash 中运行程序时，禁止对 Flash 本身进行擦写操作，见上表标识 NA。

注 4：用户模式下，在 SRAM 或 IAPROM 中运行程序时，可以擦写 Flash Code 区中的非私有读保护区。

注 5：用户模式下，不支持对 Flash 的非私有读保护区全擦命令。

注 6：info 区在所有全局读保护等级下都为只读。

5.4.1.6 Flash ECC纠错功能

芯片支持对 Flash 主存储空间的 ECC 纠错功能（不包括信息区），通过用户配置字位 CFG_FLSECC（CFG_WORD<4>）设置为 1 可使能 ECC 功能，ECC 算法为纠 1 检 2（SEC_DED），以 64 位数据为单位，能够自动纠正 1 位错误，检测并报警 2 位错误，可以有效提升 Flash 存储程序和数据的可靠性。

在使能 ECC 功能后，Flash 最后高 32KB 存储空间（0x38000~0x3FFFF）用作 ECC 码区，此时有效程序存储空间为 224KB（0x00000~0x37FFF），如果在使能 ECC 功能的同时也使用 Boot Flash，则因最后高 8KB 存储空间用于存储 Boot 代码，使得用于存储 ECC 码的空间减小为 24KB（0x38000~0x3DFFF），此时支持 ECC 功能的有效程序/数据存储空间为 192KB（0x00000~0x2FFFF）。

ECC 是每 64 位原始数据产生一组位纠错码，从 ECC 码区首地址（0x38000）开始依次存储主空间首地址（0x00000）起始的程序/数据的 ECC 码，ECC 码所在单元的地址是 ECC 码区首地址加上其偏移地址，ECC 码的偏移地址是其对应的 Flash 原始数据所在单元的地址除以 8。

芯片支持旁路 ECC 模式的偏置 Flash 地址空间，Flash 存储空间 0x00000~0x3FFFF 映射到偏置地址空间 0x100000~0x13FFFF，通过偏置地址空间访问 Flash 时将旁路 ECC 模块，可读取原始数据，并且可从寄存器 MSC_FLASHACC<11:4>获取该原始数据的 ECC 码，以方便 IAP 写入数据时能够自动获取其 ECC 码并写入 ECC 码区域，即在 IAP 编写数据时，将数据写入 Flash 数据区地址单元后，再通过偏置地址的方式读取一次该单元，则该地址单元数据的 ECC 码即可由硬件自动产生，并保存在寄存器 MSC_FLASHACCR<11:4>中，读取该寄存器可获得 Flash 该地址单元数据的 ECC 码。

ECC 模块若检测到 1 位或 2 位错误，会置起对应的异常状态标志位 FLSECIF，可通过使能中断使能位 FLSECIE 产生对应中断，方便程序实时处理。中断使能、错误标识、错误地址等描述可参考 FLASH 控制寄存器 MSC_FLASHCR，FLASH 状态寄存器 MSC_FLASHSR 和 FLASH 访问控制寄存器 MSC_FLASHACC。

在 ECC 模式下同样支持 DATA Flash 与 CODE Flash 操作区分，因一个 page（512B）的 ECC 码对应 4KB 原数据，故 DATA FLASH 空间定义应按 4KB 对齐（为保持统一，非 ECC 模式下也按 4KB 对齐）。IAP 模块将识别 Data 区的 ECC 码区，并按 Data Flash 操作对应的 ECC 码区；同样会识别 CODE 区，并按对等操作 ECC 码区；写保护区也会同步保护对应的 ECC 码区。

注：在使能 Flash ECC 功能的情况下，程序不能在 SRAM 中运行，否则可能发生运行异常。

5.4.2 Flash页擦除

页擦除可擦除固定一页空间，其中程序区一页大小可选择为 512Bytes，一次页擦除耗时约 2ms。具体步骤如下：

1. 检查 MSC_FLASHSR.BUSY 标志是否处于空闲状态；
2. 通过 MSC_FLASHKEY 解除 Flash 程序区保护状态；
3. 设置 Flash 操作请求使能；
4. 写入需擦除页的首地址；

5. 选择页大小;
6. 写入 MSC_FLASHCMD.CMD 命令触发页擦除;
7. 等待 MSC_FLASHSR.BUSY 标志再次变为空闲状态;
8. 判断 MSC_FLASHSR.SERA 标志位是否置起;
9. 设置 Flash 操作请求禁止。

注：数据 Flash 页擦除流程与普通 Flash 页擦除流程一致，仅触发命令不同。

5.4.3 Flash字编程

程序区字编程可一次编程 4 Bytes 空间，一次字编程耗时约 25us。具体步骤如下：

1. 检查 MSC_FLASHSR.BUSY 标志是否处于空闲状态;
2. 通过 MSC_FLASHKEY 解除 Flash 程序区保护状态;
3. 设置 Flash 操作请求使能;
4. 写入需编程地址;
5. 写入需编程数据 MSC_FLASHDR.DATA;
6. 写入 MSC_FLASHCMD.CMD 命令触发字编程;
7. 等待 MSC_FLASHSR.BUSY 标志再次变为空闲状态;
8. 判断 MSC_FLASHSR.PROG 标志位是否置起;
9. 设置 Flash 操作请求禁止。

注：数据 Flash 字编程流程与普通 Flash 字编程流程一致，仅触发命令不同。

5.4.4 Flash编程数据FIFO

FLASH 编程数据 FIFO 可通过 FIFOEN 使能，该 FIFO 为写入 FIFO，读取无效。当数据写入 FIFO 后，可在 MSC_FLASHDR 寄存器中体现。在 FIFO 中写入一次数据时，可触发一次编程。

5.4.5 IAP自编程硬件固化模块

芯片内置 IAP 自编程固化模块，由硬件电路实现，在 IAP 自编程操作程序中可以调用这些自编程固化模块，以减少 SRAM 中的 IAP 操作代码量。

IAP 自编程硬件固化模块支持页擦，单字编程，双字编程和多字编程，每次调用 IAP 操作函数之前，需要进行解锁操作，分别由如下 IAP 操作函数来实现：

5.4.5.1 CODE区单页擦函数

- ◆ 函数功能：擦除 CODE 区指定的页
- ◆ 入口地址：0x10000004
- ◆ 输入参数：R0-擦除页的首地址，R1-擦除页首地址的反码，R2-固定设为 0
- ◆ 返回值：R0-函数执行状态（R0=1 为成功，R0=0 为失败）

5.4.5.2 CODE区单字编程函数

- ◆ 函数功能：向 FLASH CODE 区指定地址写入一个字（32-bits）

- ◆ 入口地址：0x10000008
- ◆ 输入参数：R0-待编程的 FLASH 地址，R1-待编程的 FLASH 地址的反码，R2-待编程数据
- ◆ 返回值： R0-函数执行状态（R0=1 为成功，R0=0 为失败）

5.4.5.3 CODE区多字编程

- ◆ 函数功能：向 FLASH CODE 区指定地址写入多个字
- ◆ 入口地址：0x10000000
- ◆ 输入参数：R0-待编程的 FLASH 首地址，R1-待编程的 FLASH 首地址的反码，R2-放在 SRAM 空间的编程数据首地址，R3-编程数据长度（以字节为单位，必须为 4 的整数倍），R4-当编程到页首时是否先进行页擦除（R4≠0 为擦除，R4=0 为不擦除）
- ◆ 返回值： R0-函数执行状态（R0=1 为成功，R0=0 为失败）

5.4.5.4 DATA区单页擦函数

- ◆ 函数功能：擦除 DATA 区指定的页
- ◆ 入口地址：0x10000014
- ◆ 输入参数：R0-擦除页的首地址，R1-擦除页首地址的反码，R2-固定设为 0
- ◆ 返回值： R0-函数执行状态（R0=1 为成功，R0=0 为失败）

5.4.5.5 DATA区单字编程函数

- ◆ 函数功能：向 FLASH DATA 区指定地址写入一个字（32-bits）
- ◆ 入口地址：0x10000018
- ◆ 输入参数：R0-待编程的 FLASH 地址，R1-待编程的 FLASH 地址的反码，R2-待编程数据
- ◆ 返回值： R0-函数执行状态（R0=1 为成功，R0=0 为失败）

5.4.5.6 DATA区多字编程

- ◆ 函数功能：向 FLASH DATA 区指定地址写入多个字
- ◆ 入口地址：0x10000010
- ◆ 输入参数：R0-待编程的 FLASH 首地址，R1-待编程的 FLASH 首地址的反码，R2-放在 SRAM 空间的编程数据首地址，R3-编程数据长度（以字节为单位，必须为 4 的整数倍），R4-当编程到页首时是否先进行页擦除（R4≠0 为擦除，R4=0 为不擦除）
- ◆ 返回值： R0-函数执行状态（R0=1 为成功，R0=0 为失败）

注：在进行页擦时传递的输入参数 R0 必须为 512 的整数倍，否则会导致操作失败。

5.4.6 SRAM ECC纠错功能

支持对 SRAM 空间的 ECC 纠错功能,通过用户配置字位 SRAMECC (CFG_WORD<5>) 设置为 1 可启用 ECC 功能,此时前面 16KB 用于存储正常数据,后面 8KB 用于存储 ECC 码。ECC 算法为纠 1, 以 8 位数据为单位,能够自动检测并纠正 1 位错误,可以有效提升 SRAM 存储数据的可靠性。此时,系统主频最高为 64MHz,且在 48MHz 及以上时,

需设置 SRAM_W 为 1，其他情况没有限制。

SRAM ECC 模块不支持错误中断标志，仅支持错误中断使能位，可通过 MSC_FLASHCR 寄存器的 SRAECIE 位使能，在错误中断使能时，若检测到 1 位错误，程序指针会跳转到 SRAM ECC 中断向量地址，执行对应的中断服务程序。

5.5 特殊功能寄存器

5.5.1 寄存器列表

MSC 寄存器列表		
名称	偏移地址	描述
MSC_FLASHKEY	000 _H	FLASH 程序区操作关键码寄存器
—	004 _H	保留
MSC_FLASHADDR	008 _H	FLASH 擦除编程地址寄存器
MSC_FLASHFIFO	00C _H	FLASH 编程数据写缓存寄存器
MSC_FLASHDR	010 _H	FLASH 编程数据寄存器
—	014 _H	保留
MSC_FLASHCMD	018 _H	FLASH 操作命令寄存器
MSC_FLASHCR	01C _H	FLASH 控制寄存器
MSC_FLASHSR	020 _H	FLASH 状态寄存器
—	024 _H	保留
MSC_FLASHACC	028 _H	存储器访问控制寄存器
MSC_FLASHADDINV	02C _H	FLASH 擦除编程地址反码寄存器

5.5.2 寄存器描述

5.5.2.1 FLASH程序区关键码寄存器（MSC_FLASHKEY）

FLASH 程序区关键码寄存器（MSC_FLASHKEY）																																
偏移地址：00 _H																																
复位值：00000000_00000000_00000000_00000011 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																																STATUS

Reserved	Bit 31-2	—	保留
STATUS	Bit 1-0	R	FLASH 程序区状态位 00：可擦除或编程 其他：被保护，不可擦除或编程 IAP复位可将该寄存器复位

注：对上述该寄存器连续写入 0x8ACE0246 和 0x9BDF1357 可去除保护，写入其他值或中间插入其他操作将失效。

5.5.2.2 FLASH擦除编程地址寄存器（MSC_FLASHADDR）

FLASH 擦除编程地址寄存器（MSC_FLASHADDR）																																
偏移地址：08 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved														ADDR																		

Reserved	Bit 31-18	—	保留，需固定设置为0
ADDR	Bit 17-0	R/W	FLASH 地址

关于上述寄存器中的 ADDR 位：

注 1：低 2 位写入无效，读出始终为 0。

注 2：页擦除完成后，地址自动加 0x200。

注 3：字编程完成后，地址自动加 4。

5.5.2.3 FLASH编程FIFO寄存器（MSC_FLASHFIFO）

FLASH 编程 FIFO 寄存器（MSC_FLASHFIFO）																																		
偏移地址：0C _H																																		
复位值：00000000_00000000_00000000_00000000 _B																																		

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FIFO																															

FIFO	Bit 31-0	W	FLASH编程FIFO
------	----------	---	-------------

注 1: 需通过 FIFOEN 使能 FIFO, 写入编程数据, 可适用于 DMA 传输数据, 先写入低位数据, 再写入高位数据。
 注 2: 当写入相应个数数据后, 将自动触发字编程。

5.5.2.4 FLASH编程数据寄存器 (MSC_FLASHDR)

FLASH 编程数据寄存器 (MSC_FLASHDR)																															
偏移地址: 10 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA																															

DATA	Bit 31-0	R/W	FLASH编程数据
------	----------	-----	-----------

5.5.2.5 FLASH命令寄存器 (MSC_FLASHCMD)

FLASH 命令寄存器 (MSC_FLASHCMD)																															
偏移地址: 18 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMD																															

CMD	Bit 31-0	W	FLASH编程命令
			0x00005EA1: 普通Flash页擦除
			0x00005DA2: 普通Flash字编程
			0x00005BA4: 数据Flash页擦除
			0x00005AA5: 数据Flash字编程
			0x000050AF: 非私有读保护区全擦除
			其他: 保留

注 1: 若待编程地址上数据非全 F, 无论是否编写相同的数据或代码, 在 FLASH 编程前均必须先对需编程的页进行擦除。

5.5.2.6 FLASH控制寄存器 (MSC_FLASHCR)

FLASH 控制寄存器（MSC_FLASHCR）																																
偏移地址：1C _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved							FLSECICLR	Reserved							SRAECIE	FLSECIFS	FLSECIE	Reserved							FIFODF	Reserved	FIFOEN	FLASHREQ	Reserved	IAPRST	IAPEN	

Reserved	Bit 31-25	—	保留，需固定设置为0
FLSECICLR	Bit24	W1	写 1 清零 FLSECIF，写 0 无效（清除 Flash ECC 中断）
Reserved	Bit 23-19	—	保留，需固定设置为0
SRAECIE	Bit18	R/W	SRAM ECC错误中断使能位 0: 禁止 1: 使能 注：SRAM ECC不支持错误中断标志位
FLSECIFS	Bit17	R/W	FLASH ECC 错误中断发生条件选择位 0: 1 位及 2 位数据异常 1: 2 位数据异常 注：当出现 3 位及以上数据异常时，也有可能触发中断。
FLSECIE	Bit16	R/W	FLASH ECC错误中断使能位 0: 禁止 1: 使能
Reserved	Bit 15-8	—	保留，需固定设置为0
FIFODF	Bit 7	R/W	FIFO 编程数据 Flash 使能 位 0: 禁止 1: 使能
Reserved	Bit 6	—	保留，需固定设置为 0
FIFOEN	Bit 5	R/W	FIFO 使能位 0: 禁止 1: 使能
FLASHREQ	Bit 4	R/W	FLASH 操作请求使能位 0: 禁止 1: 使能
Reserved	Bit 3-2	—	保留，需固定设置为0
IAPRST	Bit 1	W1	自编程复位 0: 无操作 1: 自编程复位
IAPEN	Bit 0	R/W	自编程使能位 0: 禁止

			1: 使能
--	--	--	-------

5.5.2.7 FLASH状态寄存器 (MSC_FLASHSR)

FLASH 状态寄存器 (MSC_FLASHSR)																																
偏移地址: 20 _H																																
复位值: 00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved						UPCEUL	Reserved	ADDERR	Reserved						UPCEDONE	UPCEBUSY	Reserved						FLSECIF		TIMEOUT	PROG	SERA	Reserved	WAE	WPE	BUSY	FLASHACK

Reserved	Bit 31-26	—	保留
UPCEUL	Bit 25	R	非私有读保护区全擦保护解除位 0: 未解除 1: 已解除 解除保护后, 允许对私有读保护配置区进行擦除
Reserved	Bit 24	—	保留
ADDERR	Bit 23	R	地址反码错误标识位 0: 反码正确 1: 反码错误
Reserved	Bit 22-18	—	保留
UPCEDONE	Bit 17	R	非私有读保护区全擦完成标志 0: 未进行或正在进行中 1: 已完成 重新启动新的擦除或编程操作时自动清除
UPCEBUSY	Bit 16	R	非私有读保护区全擦状态位 0: 空闲 1: 正在进行
Reserved	Bit 15-10	—	保留
FLSECIF	bit 9-8	R	FLASH ECC状态位 00: 正常 01: 1位异常 1x: 2位异常 注: 当出现3位及以上异常时, 该状态位数值不确定。
TIMEOUT	Bit 7	R	超时错误标志 0: 无错误 1: 发生错误 未在规定时间内完成相应擦除或编程动作时产生错误标志, 可能硬件发生了故障, 需软件触发一次IAP复位
PROG	Bit 6	R	字编程完成标志 0: 未进行或正在进行中

			1: 已完成 重新启动新的擦除或编程操作时自动清除
SERA	Bit 5	R	页擦除完成标志 0: 未进行或正在进行中 1: 已完成 重新启动新的擦除或编程操作时自动清除
Reserved	Bit 4	—	保留
WAE	Bit 3	R	擦写地址错误标志 0: 无错误 1: 发生错误 可能是在IAP操作在非法的FLASH地址，或是在擦除和编程时使用了错误的命令，需软件触发一次IAP复位
WPE	Bit 2	R	擦写保护错误标志 0: 无错误 1: 发生错误 触发了保护区的擦除或编程，操作失败，需软件触发一次IAP复位
BUSY	Bit 1	R	自编程状态标志 0: 空闲 1: 正在进行
FLASHACK	Bit 0	R	FLASH 操作许可状态 0: 禁止操作 1: 允许操作

5.5.2.8 存储器访问控制寄存器（MSC_FLASHACC）

存储器访问控制寄存器（MSC_FLASHACC）																																			
偏移地址：28 _H																																			
复位值：00000000_00000000_00000000_00000010 _B																																			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8		7	6	5	4		3	2	1	0		
Reserved																						SRAM_W		Reserved										FLASH_W	

FLSEC_ADDR	Bit31-12	R	FLASH ECC异常的单元地址位
FLSEC_CODE	Bit11-4	R	FLASH ECC编码值（通过读取Flash偏置地址空间获取）
FLS_FA	Bit 3	R/W	FLASH 偏置地址空间读取快速模式使能位 0: 禁止 1: 使能（无 ECC 编码值读取等待时间） 注：该位仅在 FLASH ECC 模式下有效
SRAM_W	Bit 2	R/W	SRAM 读取等待时间选择位

			0: 无等待 1: 1 个 SYSCLK 周期 注: 使能 SRAM ECC 功能且系统主频为 48MHz 及以上时, 需设置为 1, 其他情况没有限制
FLASH_W	Bit 1-0	R/W	FLASH 读取等待时间选择位 00: 无等待 (系统时钟不超过 24MHz) 01: 1 个 SYSCLK 周期 (系统时钟不超过 48MHz) 10: 2 个 SYSCLK 周期 (系统时钟频率无限制) 11: 3 个 SYSCLK 周期 (系统时钟频率无限制) 注 1: FLASH 读取时间为 FLASH_W + 1; 注 2: 使能 FLASH ECC 功能时, FLASH 读取访问等待时间会加长, 变为 2* FLASH_W + 1。

注 1: 进行系统时钟切换时, 需注意对寄存器位 FLASH_W 的设置, 要满足系统时钟切换前后不同频率条件下的 FLASH 读取访问等待时间, 以免系统时钟切换时 FLASH 读取访问错误。

注 2: FLASH ECC 模式使能时, 因要读取对应的 ECC 编码值, FLASH 读取访问等待时间会加长, 使得完成 FLASH 读取的时间变为原来的 2 倍, 即 $2 * (FLASH_W < 1:0 > + 1)$ 。

注 3: SRAM ECC 模式使能, 系统主频为 48MHz 及以上时, 需设置 SRAM_W 为 1, 其他情况没有限制。

5.5.2.9 FLASH 擦除编程地址反码寄存器 (MSC_FLASHADDINV)

FLASH 擦除编程地址反码寄存器 (MSC_FLASHADDINV)																															
偏移地址: 2C _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														ADDRINV																	

Reserved	Bit 31-18	—	保留
ADDRINV	Bit 17-0	R/W	FLASH 地址反码

第6章 系统配置控制器（SYSCFG）

6.1 概述

系统配置模块（SYSCFG）用于芯片的系统级功能配置。

6.2 特性

- ◆ 支持寄存器写保护功能
- ◆ 支持存储器重映射功能
- ◆ 支持中断向量重映射功能（仅 SRAM 运行模式可用）

6.3 功能描述

6.3.1 系统寄存器写保护

为避免程序的异常运行对系统级模块的误操作，系统写保护寄存器 SYSCFG_PROT 用于阻止程序对系统级模块其它寄存器的误写入。该寄存器保护范围为除 SYSCFG_PROT 寄存器外的 SYSCFG、PMU、CMU、RMU 模块所有寄存器。

SYSCFG_PROT 寄存器为虚拟寄存器。要对系统级模块其它寄存器进行写操作时，需先对 SYSCFG_PROT 寄存器写 0x55AA6996，之后可对系统级模块其它寄存器进行写操作。对 SYSCFG_PROT 寄存器写入其他值重新进入写保护状态，写保护状态下对系统寄存器进行的写操作将被忽略。

可以通过读取 SYSCFG_PROT 寄存器确认系统级模块是否处于写保护状态，读出值为 0x00000000，表示当前可对系统级模块寄存器进行写操作；读出值为 0x00000001 表示系统级模块处于写保护状态。SYSCFG_PROT 寄存器无其它读出值。

6.3.2 存储器重映射

存储器重映射应用于系统的 2 种启动模式：

- ◇ 从用户程序启动（地址为 0x00000000）
- ◇ 从用户 Boot 启动（地址为 0x0003E000）

系统在发生上电复位、低电压复位或外部端口复位时，会固定从 Flash 中运行。通过配置芯片配置字中的 Flash 启动地址选择位来决定跳转至 BootFlash 还是用户 Flash。用户根据实际需要编写 BootFlash 的程序内容，启动完成并清除 SYSCFG_MEMRMP.BFRMPEN，再跳转至用户 Flash 区域。

注：从用户 Boot 启动时，Boot 程序运行的主频需在 48MHz 以内，即不能超过 48MHz。

6.4 特殊功能寄存器

6.4.1 寄存器列表

SYSCFG 寄存器列表		
名称	偏移地址	描述
SYSCFG_PROT	000 _H	系统写保护寄存器
SYSCFG_MEMRMP	004 _H	存储器重映射寄存器
SYSCFG_VTOR	008 _H	中断向量偏移寄存器
SYSCFG_TBKCFG	00C _H	TIM 刹车源配置寄存器
SYSCFG_PISIOCFG	010 _H	PIS 生产端 GPIO 配置寄存器

6.4.2 寄存器描述

6.4.2.1 系统写保护寄存器 (SYSCFG_PROT)

系统写保护寄存器（SYSCFG_PROT）																																
偏移地址：000 _H																																
复位值：00000000_00000000_00000000_00000001 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	PROT
KEY																																

KEY	Bit 31-1	W	保护关键码 0x55AA6996: 去除写保护 其他: 开启写保护
PROT	Bit 0	R/W	保护状态位 0: 无写保护 1: 写保护

6.4.2.2 存储器重映射寄存器 (SYSCFG_MEMRMP)

存储器重映射寄存器（SYSCFG_MEMRMP）																																	
偏移地址：004 _H																																	
复位值：00000000_00000000_00000001_00000001 _B																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved															VTOEN	Reserved						BFRMPEN	Reserved										

Reserved	Bit 31-17	—	保留
VTOEN	Bit 16	R/W	中断向量偏移使能位 0: 禁止 1: 使能 注: 偏移量为 VTOR 所设置的值, 仅在 SRAM 运行程序支持该功能。
Reserved	Bits 15-9	—	保留
BFRMPEN	Bit 8	R/W	Boot Flash 映射使能位 0: 禁止 1: 使能 注: Boot 程序运行时的主频需不超过 48MHz
Reserved	Bit 7-0	—	保留

注: 在使能 Flash ECC 功能的情况下, 不能使能 VTOEN。在未使能 Flash ECC 功能的情况下, 需在 SRAM 运行

时使能 VTOEN，且使能后程序只能运行在 SRAM，在禁止 VTOEN 后程序才能切回 Flash 运行。

6.4.2.3 中断向量偏移寄存器 (SYSCFG_VTOR)

中断向量偏移寄存器（SYSCFG_VTOR）																																
偏移地址：008 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved		VTO																														

Reserved	Bit 31-30	—	保留
VTO	Bit 29-0	R/W	中断向量偏移量 注: 最低 8 位固定为 0, 使用该功能需将中断服务程序编译到 SRAM。

6.4.2.4 TIM刹车源配置寄存器 (SYSCFG_TBKCFG)

TIM 刹车源配置寄存器（SYSCFG_TBKCFG）																																				
偏移地址：00C _H																																				
复位值：00000000_00000000_00000000_00000000 _B																																				
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Reserved																																		CLUBKE	LVDBKE	CCSBKE

Reserved	Bit 31-3	—	保留
CLUBKE	Bit 2	R/W	CPU 锁死作为 TIM 刹车源使能位 0: 禁止 1: 使能
LVDBKE	Bit 1	R/W	LVD 事件作为 TIM 刹车源使能位 0: 禁止 1: 使能
CCSBKE	Bit 0	R/W	时钟安全事件作为 TIM 刹车源使能位 0: 禁止 1: 使能

6.4.2.5 PIS生产端GPIO配置寄存器 (SYSCFG_PISIOCFG)

PIS 生产端 GPIO 配置寄存器 (SYSCFG_PISIOCFG)																																		
偏移地址: 010 _H																																		
复位值: 01010101_01010101_01010101_01010101 _B																																		

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IO15SEL	IO14SEL	IO13SEL	IO12SEL	IO11SEL	IO10SEL	IO19SEL	IO8SEL	IO7SEL	IO6SEL	IO5SEL	IO4SEL	IO3SEL	IO2SEL	IO1SEL	IO0SEL																

IO15SEL	Bit 31-30	R/W	PIS 生产端 GPIO15 选择位 00: PA 01: PB 10: PC 11: PD
IO14SEL	Bit 29-28	R/W	PIS 生产端 GPIO14 选择位 00: PA 01: PB 10: PC 11: PD
IO13SEL	Bit 27-26	R/W	PIS 生产端 GPIO13 选择位 00: PA 01: PB 10: PC 11: PD
IO12SEL	Bit 25-24	R/W	PIS 生产端 GPIO12 选择位 00: PA 01: PB 10: PC 11: PD
IO11SEL	Bit 23-22	R/W	PIS 生产端 GPIO11 选择位 00: PA 01: PB 10: PC 11: PD
IO10SEL	Bit 21-20	R/W	PIS 生产端 GPIO10 选择位 00: PA 01: PB 10: PC 11: PD
IO9SEL	Bit 19-18	R/W	PIS 生产端 GPIO9 选择位 00: PA 01: PB 10: PC 11: PD
IO8SEL	Bit 17-16	R/W	PIS 生产端 GPIO8 选择位 00: PA 01: PB

			10: PC 11: PD
IO7SEL	Bit 15-14	R/W	PIS 生产端 GPIO7 选择位 00: PA 01: PB 10: PC 11: PD
IO6SEL	Bit13-12	R/W	PIS 生产端 GPIO6 选择位 00: PA 01: PB 10: PC 11: PD
IO5SEL	Bit11-10	R/W	PIS 生产端 GPIO5 选择位 00: PA 01: PB 10: PC 11: PD
IO4SEL	Bit9-8	R/W	PIS 生产端 GPIO4 选择位 00: PA 01: PB 10: PC 11: PD
IO3SEL	Bit7-6	R/W	PIS 生产端 GPIO3 选择位 00: PA 01: PB 10: PC 11: PD
IO2SEL	Bit 5-4	R/W	PIS 生产端 GPIO2 选择位 00: PA 01: PB 10: PC 11: PD
IO1SEL	Bit 3-2	R/W	PIS 生产端 GPIO1 选择位 00: PA 01: PB 10: PC 11: PD
IO0SEL	Bit 1-0	R/W	PIS 生产端 GPIO0 选择位 00: PA 01: PB 10: PC 11: PD

第7章 电源管理（PMU）及低功耗模式

7.1 概述

电源管理单元（PMU）管理芯片的电源以及低功耗模式。在每个低功耗模式下，都有其对应的单元模块状态（使能、中止或掉电）。芯片可支持各种功耗模式：RUN，SLEEP，STOP。其中 RUN 为芯片正常运行模式，所有的外设模块均可被使能，SLEEP 和 STOP 为低功耗模式。在 STOP 模式时，CPU 暂停，大部分外设被中止，SRAM 和寄存器中数据保持，唤醒之后外设继续运行，CPU 从暂停处继续运行。

低功耗模式通过软件操作使能，SLEEP，STOP 模式可通过一系列中断或事件唤醒回到 RUN 模式。

7.2 特性

- ◆ 支持多种低功耗模式配置
- ◆ 支持多种唤醒源灵活配置
- ◆ 快速的唤醒时间

7.3 结构框图

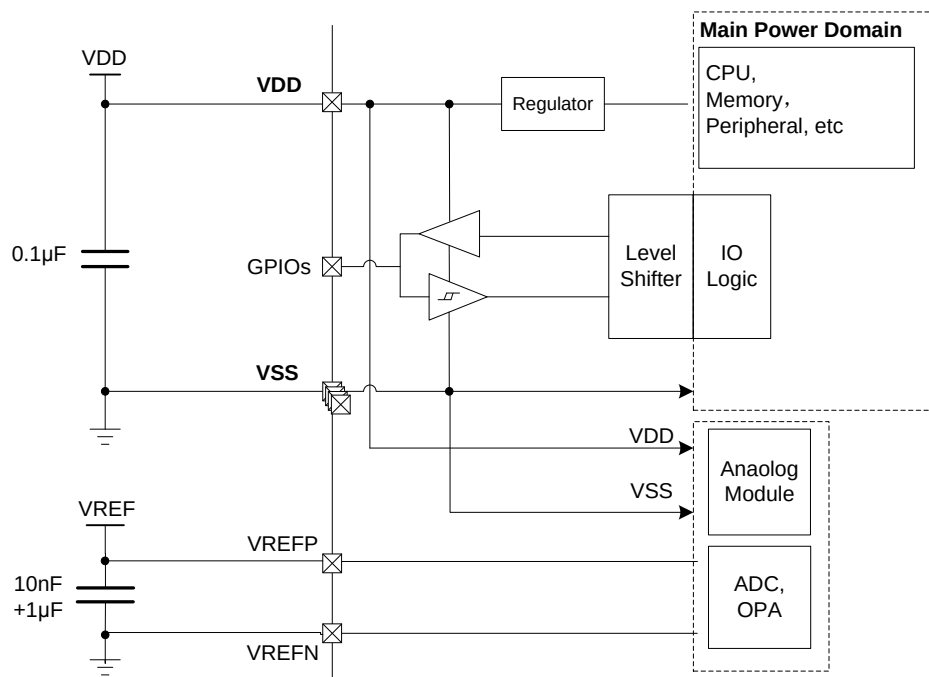


图 7-1 电源结构框图

7.4 功能描述

7.4.1 芯片电源

7.4.1.1 主系统电源域

芯片工作电压 VDD 要求介于 2.2V 到 5.5V 之间。嵌入式 LDO 用于提供内部数字电源。

7.4.1.2 独立的模拟模块电源和参考电压

ADC 电源由 VDD 提供。

ADC 参考电压可选 VDD 和 VREFP 端口。

为了确保测量低电压时具有更高的精度，用户可以在 VREFP 上连接单独的 ADC 外部参考电压输入。VREFP 电压应介于 2.2 V 到 VDD 之间。

7.4.2 电源监视

7.4.2.1 上电复位 (POR)

芯片内部集成 POR 产生电路。当 VDD 低于指定阈值 VPOR/VPDR 时，器件无需外部复位电路便会保持复位状态。

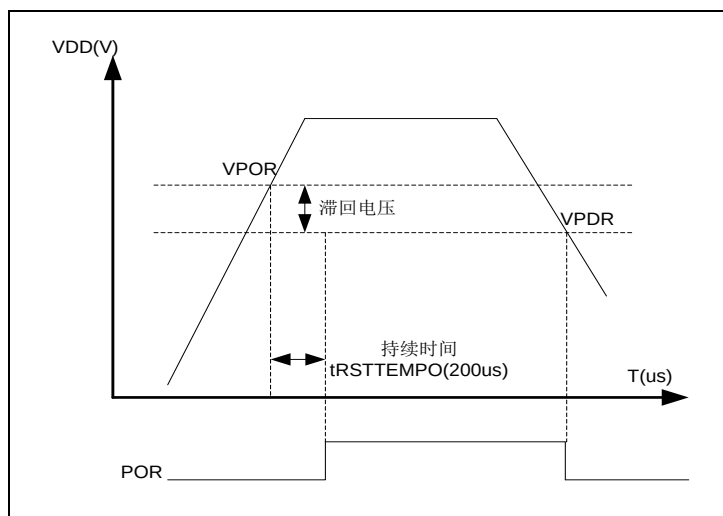


图 7-2 POR/PDR 示意图

7.4.2.2 欠压复位 (BOR)

上电期间，欠压复位 (BOR) 将使器件保持复位状态，直到电源电压达到由配置字设定的 VBOR 阈值。芯片支持 7 个 VBOR 阈值可配。

当电源电压 (VDD) 降至所选 VBOR 阈值以下时，将使器件复位。

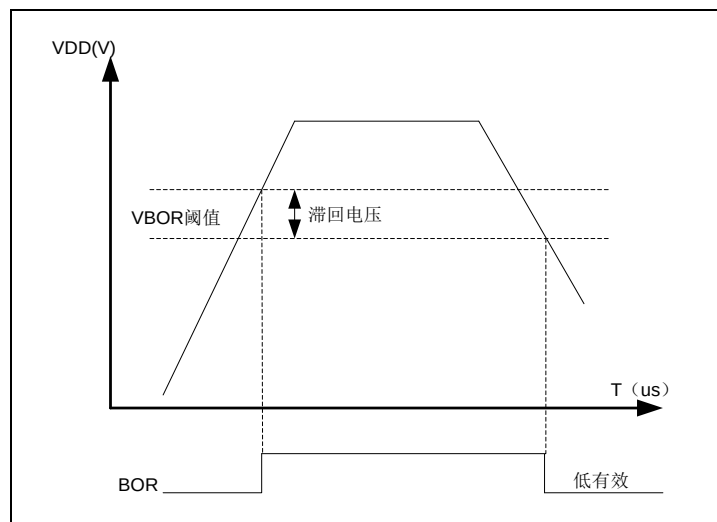


图 7-3 BOR 示意图

7.4.2.3 低电压检测 (LVD)

LVD 可用于监视 V_{DD} 电源，通过设置 LV_{DEN} 使能 LVD，将 V_{DD} 电压和 LV_{DS} 所选择的电压值进行比较，可粗略判断当前电源 V_{DD} 的电压值。

LVD 提供了一个状态标志位 LV_{DO} ，用于指示 V_{DD} 是大于还是小于 LVD 阈值。通过使能 LV_{DIE} 可使能 LVD 中断，通过选择 LV_{DIS} 可选择 LVD 中断类型。当 V_{DD} 降至 LVD 阈值以下，以及/或者当 V_{DD} 升至 LVD 阈值以上时，可以产生 LVD 中断，具体取决于 LV_{DIS} 的中断类型配置。该功能的用处之一就是可以在 V_{DD} 发生跌落时，立即进入中断服务程序中执行紧急关闭系统的任务。

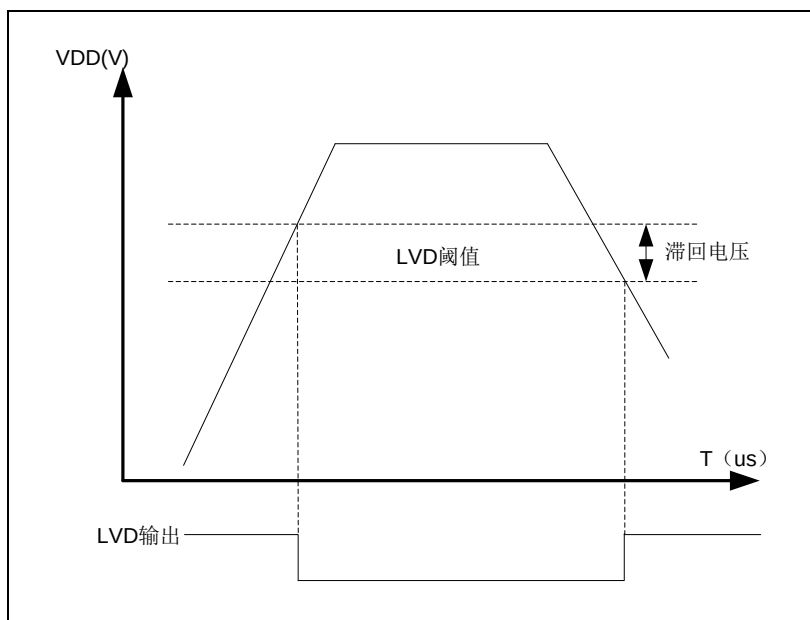


图 7-4 LVD 示意图

7.4.3 低功耗模式

7.4.3.1 低功耗模式转换

默认情况下，系统复位或上电复位后，微控制器进入运行模式。在运行模式下，CPU 通过 HCLK 提供时钟，并执行程序代码。系统提供了多个低功耗模式，可在 CPU 不需要运行时（例如等待外部事件时）节省功耗。由用户根据应用选择具体的低功耗模式，以在低功耗、短启动时间和可用唤醒源之间寻求最佳平衡。

芯片支持以下低功耗模式：

- ◇ SLEEP 模式（M0 内核停止，外设保持运行）
- ◇ STOP 模式（DMA 关闭，仅部分低功耗外设（IWDG、WWDT）可工作，HCLK、PCLK 停止，仅 LRC 时钟工作，主电源域稳压器工作在低功耗模式下）

此外，可通过下列方法之一降低运行模式的功耗：

- ◇ 降低系统时钟速度
- ◇ 不使用 APB 和 AHB 外设时，将对应的外设时钟关闭

进入低功耗模式的转换关系如下图所示：

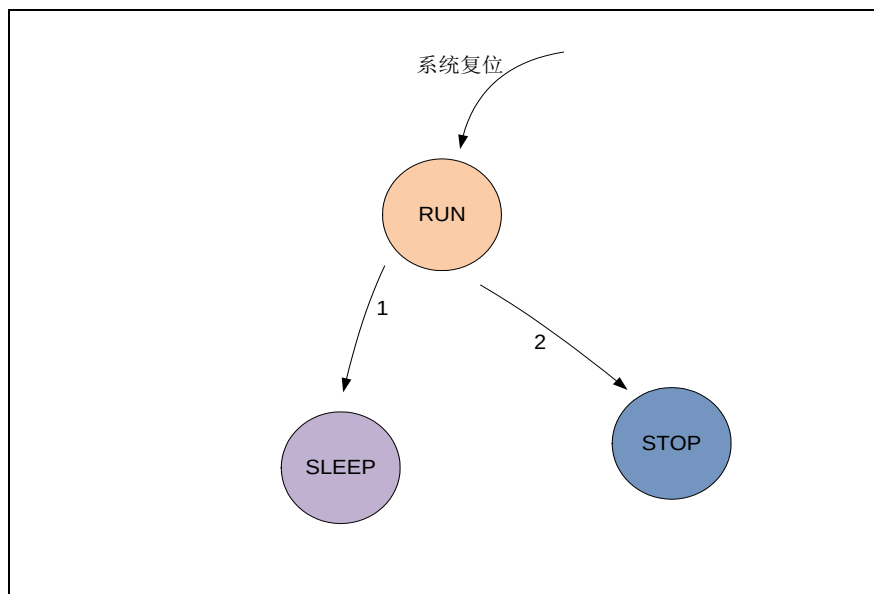


图 7-5 低功耗模式转换图

序号	模式	进入	唤醒	逻辑时钟影响	时钟源影响	稳压器
1	SLEEP	WFI	任意中断		无	普通模式
		WFE	唤醒事件			
2	STOP	DEEPSLEEP 位 +WFI/WFE	具体请参照章节“芯片配置指引” STOP 低功耗模式的中断唤醒源	CPU 时钟关闭	HOSC、HRC、PLL 关闭（LRC 工作）	低功耗模式

表 7-1 低功耗模式说明

7.4.3.2 系统时钟速度

在运行模式下，可通过对预分频寄存器编程来降低系统时钟（SYSCLK、HCLK、PCLK）速度。进入睡眠模式之前，也可以使用这些预分频器降低外设速度。也可将系统时钟切换至低速时钟源并关闭高速时钟源来降低功耗。

系统时钟速度的有关详细信息，请参见时钟管理。

7.4.3.3 外设时钟门控

在运行模式下，可通过设置时钟门控来停止各外设和存储器的总线时钟或模块工作时钟以降低功耗。

要进一步降低低功耗模式的功耗，可在执行 WFI 或 WFE 指令之前可通过门控关闭外设时钟。

外设时钟门控配置的有关详细信息，请参见时钟管理。

7.4.3.4 RUN模式

- ◇ 所有高速时钟源可使能
- ◇ 所有外设可使能

7.4.3.5 SLEEP模式

- ◇ 所有高速时钟源可使能
- ◇ CPU 时钟被关断
- ◇ 所有外设可使能

7.4.3.6 STOP模式

- ◇ 高速时钟源默认禁止
- ◇ CPU 时钟关闭
- ◇ 低功耗外设 LVD，IWDG/MWDG 等可工作
- ◇ SRAM 和各寄存器数据保持

7.4.3.7 低功耗模式下各模块操作

下表列举了各模块在低功耗模式下的操作可能性，为低功耗应用提供参考。

功能模块	SLEEP	STOP
NVIC	工作	停止
调试	工作	停止
Flash	工作	可配置是否 STOP
SRAM	数据保持	数据保持
主域稳压器	普通模式	低功耗模式
欠压检测	可配置	可配置
低电压检测	可配置	可配置
DMA 控制器	可工作	停止
外设互联 (PIS)	工作	停止
独立看门狗定时器	可工作	可工作
窗口看门狗定时器	可工作	可工作
HOSC	可配置	可配置
LRC	工作	工作
HRC48M	工作	可配置
PLL	工作	可配置
内核时钟	停止	停止
系统时钟	工作	停止
GPIO	工作	工作 (中断)
CRC	可工作	停止
高级定时器	可工作	停止
通用定时器	可工作	停止
基本定时器	可工作	停止
低功耗定时器	可工作	可工作
I2C 接口	可工作	停止
串行外设接口 (SPI)	可工作	停止
通用异步收发器 (UART)	可工作	停止
CALC	可工作	停止
SVA	可工作	停止
PI	可工作	停止
ACMP	可工作	可工作
OPA	可工作	可工作
ADC	可工作	停止

表 7-2 低功耗模式下各模块操作

7.5 特殊功能寄存器

7.5.1 寄存器列表

PMU 寄存器列表		
名称	偏移地址	描述
PMU_CR	000 _H	PMU 控制寄存器
PMU_SR	004 _H	PMU 状态寄存器
PMU_LVDCR	008 _H	LVD 控制寄存器
Reserved	00C _H	保留
PMU_TWUR	010 _H	唤醒延时寄存器

7.5.2 寄存器描述

7.5.2.1 PMU控制寄存器 (PMU_CR)

PMU 控制寄存器 (PMU_CR)																															
偏移地址: 00 _H																															
复位值: 00000000_00000001_00000000_10000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								FSTOP	Reserved	BGSTOP	LPSTOP	Reserved				LPVS	Reserved								VROSCEN	NORRTNEN	STPRTNEN	Reserved		CWUF	LPM

Reserved	Bit 31-24	—	保留
FSTOP	Bit 23	R/W	STOP 模式 Flash STOP 使能位 0: 禁止 1: 使能 (推荐设置为使能, 以降低功耗)
Reserved	Bit 22	—	保留
BGSTOP	Bit 21	R/W	STOP 模式 BG 低功耗使能位 0: 禁止 (必须设置为禁止) 1: 使能 (仅用于内部测试, 应用时禁止设置为 1)
LPSTOP	Bit 20	R/W	STOP 模式 LDO 低功耗使能位 0: 禁止 1: 使能 (推荐设置为使能, 以降低功耗)
Reserved	Bit 19-18	—	保留
LPVS	Bit 17-16	R/W	LDO 低功耗模式输出电压选择位 01: 1.5V (默认, 需设置为该电压档位) 其他: 保留 (仅用于内部测试用)
Reserved	Bit 15-8	—	保留
VROSCEN	Bit7	R/W	VR 工作时钟使能位 0: 禁止 (推荐设置为禁止, 以降低功耗) 1: 使能 仅芯片启动时有效, 可在芯片启动后将该位禁止
NORRTNEN	Bit6	R/W	普通模式 SRAM Retention 使能位 0: 禁止 (需固定设置为 0) 1: 使能 (仅用于测试)
STPRTNEN	Bit5	R/W	STOP 模式 SRAM Retention 使能位 0: 禁止 1: 使能 (推荐设置为使能, 以降低功耗)
Reserved	Bit 4-3	—	保留
CWUF	Bit 2	W1	WUF 标志清除位 0: 无操作 1: 清除WUF标志
LPM	Bit 1-0	R/W	低功耗模式选择位 (需固定设置为 0)

7.5.2.2 PMU状态寄存器 (PMU_SR)

PMU 状态寄存器 (PMU_SR)																															
偏移地址: 04 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																															WUF

Reserved	Bit 31-1	—	保留
WUF	Bit 0	R	唤醒标志位 0: 未发生唤醒事件 1: 有发生唤醒事件 注: 该位通过 PMU_CR 寄存器的 CWUF 位来清零

7.5.2.3 LVD控制寄存器 (PMU_LVDCR)

LVD 控制寄存器 (PMU_LVDCR)																															
偏移地址: 08 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																LVDO	Reserved			LVDFLT	LVDIFS			LVDS			LVDCIF	LVDIF	LVDIE	LV DEN	

Reserved	Bit 31-16	—	保留
LVDO	Bit 15	R	LVD 状态标志位 0: 大于阈值 1: 小于阈值
Reserved	Bit 14-12	—	保留
LVDFLT	Bit 11	R/W	LVD 滤波使能位 0: 禁止 1: 使能 注: 使能后 LVDO 稳定时间小于 100us 的变化将被忽略
LVDIFS	Bit 10-8	R/W	LVD 中断标志产生模式选择位 000: LVDO 上升沿产生中断 001: LVDO 下降沿产生中断 010: LVDO 高电平产生中断 011: LVDO 低电平产生中断 1xx: LVDO 变化 (上升或下降沿) 产生中断
LVDS	Bit 7-4	R/W	LVD 触发电压 0000: 2.2V 0001: 2.4V 0010: 2.6V 0011: 2.8V 0100: 3.0V 0101: 3.6V 0110: 4.0V 0111: 4.6V 1xxx: 保留
LVDCIF	Bit 3	W	LVD 中断标志清除位 0: 无操作 1: 清除LVD中断标志
LVDIF	Bit 2	R	LVD 中断标志位 0: LVDO 状态未变化 1: LVDO状态发生变化 注: 该位由LVDCIF位写1清除

LVDIE	Bit 1	R/W	LVD 中断使能位 0: 禁止 1: 使能
LV DEN	Bit 0	R/W	LVD 使能位 0: 禁止 1: 使能

7.5.2.4 唤醒延时寄存器 (PMU_TWUR)

唤醒延时寄存器（PMU_TWUR）																															
偏移地址：010 _H																															
复位值：00000000_00000000_00001111_11111111 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																				TWU											

Reserved	Bit 31-12	—	保留
TWU	Bit 11-0	R/W	睡眠模式唤醒时间选择位 $T_{WAKEUP} = T_{SYSCLK} \times (TWU + 1)$ 注: SLEEP模式的唤醒时间为TWAKEUP; STOP模式的唤醒时间约为TWAKEUP+12TLRC。

- 注 1: SLEEP 模式下, 唤醒时间选择位 TWU 最小可设置为 0, 唤醒后经过约 7 个系统时钟周期, 芯片 CPU 内核开始运行程序;
- 注 2: STOP 模式下, 当系统时钟为外部振荡器 HOSC 或 PLL 时钟时, 建议将唤醒时间选择位 TWU 设置为最大值 0xFF, 当系统时钟为内部 HRC48M 时钟时, 建议将唤醒时间选择位 TWU 设置为 0x3FF 以上, 当系统时钟为内部 LRC 时钟时, 建议将唤醒时间选择位 TWU 设置为 0xF 以上。

第8章 复位管理（RMU）

8.1 概述

系统复位可以由下面列出的任一事件触发。这些复位事件标志可以通过读取 RMU_RSTSR 寄存器来判断复位源。

8.2 特性

- ◆ 支持 POR/BOR
- ◆ 支持外部端口复位 MRST
- ◆ 支持看门狗溢出复位
- ◆ 内核锁死（LOCKUP）复位
- ◆ 读取配置字错误复位（CFG_RST）
- ◆ 支持 3 种软件复位
 - ◇ 复位整个数字域
 - ◇ 复位除启动配置外的整个数字域
 - ◇ 复位内核
- ◆ 支持各外设模块的单独复位

8.3 结构框图

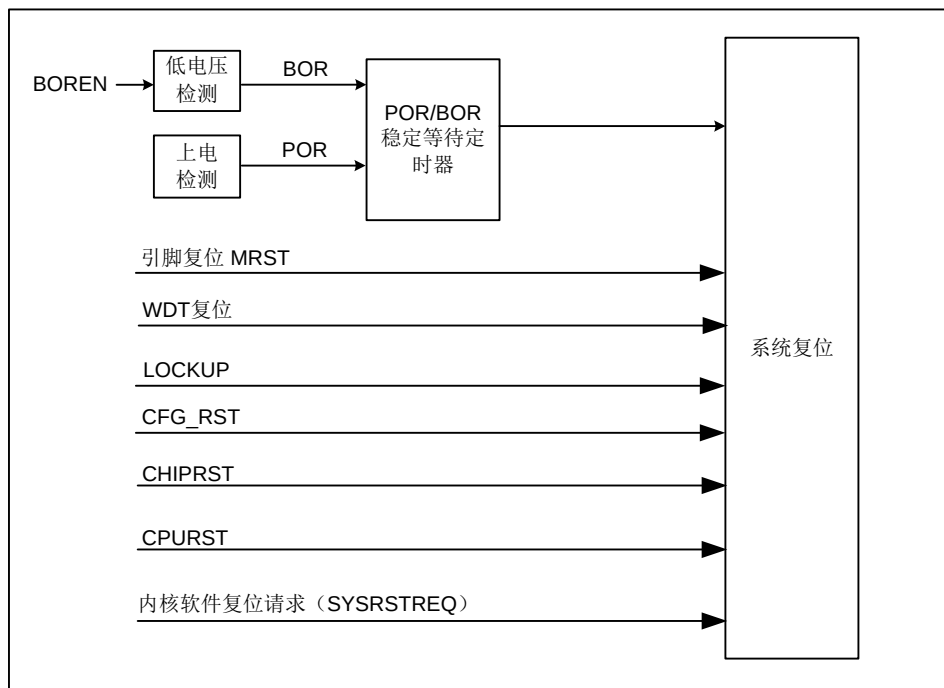


图 8-1 复位结构图

8.4 功能描述

ES32H05x4/M0504 微控制器支持 8 种复位源。CPURST 只复位 CPU 内核（不包含调试部分）；其他复位源则复位 CPU 内核和所有外设。各个复位源及寄存器关系如下表所示：

	POR	BOR	MRSTN	WDT	LOCKUP	CHIPRST	SYSRST REQ	CPU RST
RMU 复位状态 寄存器 (RMU_RSTSR)	POR=1 WAKEUP =1	BOR=1	NMRST=1	WWDT=1 或 IWDT=1	LOCKUP=1	CHIP=1	MCU=1	CPU=1
LV DEN (LVDCR<0>)	0x0	0x0	0x0	0x0	0x0	0x0	0x0	—
SYS_STU (CMU_CSR)	0x1	0x1	0x1	0x1	—	0x1	—	—
CFT_STU (CMU_CSR)	0x0	0x0	0x0	0x0	—	0x0	—	—
系统和外设时 钟分频	1 分频	1 分频	1 分频	1 分频	—	1 分频	—	—
HOSC_EN	0x0	0x0	0x0	0x0	0x0	0x0	0x0	—
PLL_EN	0x0	0x0	0x0	0x0	0x0	0x0	0x0	—
HRC48M_EN	0x1	0x1	0x1	0x1	0x1	0x1	0x1	—
LRC_EN	0x1	0x1	0x1	0x1	0x1	0x1	0x1	—
CMU_AHB1ENR	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	—
CMU_APB1ENR	0x0	0x0	0x0	0x0	0x0	0x0	0x0	—
CPU 内核调试 模块	复位值	复位值	—	—	—	复位值	—	—
其他外设	复位值	复位值	复位值	复位值	复位值	复位值	复位值	—

表 8-1 系统复位与寄存器关系

注：LOCKUP 复位和 SYSRSTREQ 软件复位，不会复位系统时钟控制电路，当发生 LOCKUP 复位或 SYSRSTREQ 软件复位时，如果外部时钟 HOSC 或倍频时钟 PLL 用作系统时钟，则对应的时钟仍保持工作，不会被关闭。

8.4.1 硬件复位

硬件复位包括上电复位，欠压复位，外部端口复位，LOCKUP 复位，WDT 复位和读取配置字错误复位。

8.4.1.1 上电复位

芯片内部集成 POR 产生电路。当 VDD 低于指定阈值 VPOR/VPDR 时，器件无需外部复位电路便会保持复位状态。

8.4.1.2 欠压复位

上电期间，欠压复位（BOR）将使器件保持复位状态，直到电源电压达到由配置字设定的 VBOR 阈值。芯片支持 7 个 VBOR 阈值，可通过配置字 CFG_WORD 的 BORVS 位

进行选择。

当电源电压（VDD）降至所选 VBOR 阈值以下时，将使器件复位。

8.4.1.3 端口复位

MRST 端口为低电平时，可复位除内核调试模块以外的芯片整体，复位解除后，芯片从 FLASH 启动。

8.4.1.4 看门狗复位

详细描述请参照独立看门狗和窗口看门狗的说明。

可复位除内核调试模块以外的芯片整体，复位解除后，芯片正常从 FLASH 启动。

8.4.1.5 LOCKUP复位

由不可恢复的异常导致的内核锁死，此时将产生复位信号来重新启动内核及系统。详细说明可参考 Cortex-M0 技术手册。

8.4.1.6 读取配置字错误复位

在配置字加载或者程序运行过程中，由于异常干扰导致配置字的读取和控制出现错误，可能导致严重系统错误，此时将产生复位并重新加载配置字。

8.4.2 软件复位

8.4.2.1 芯片复位（CHIPRST）

芯片复位由寄存器 RMU_AHB2RSTR.CHIPRST 位控制，可复位整体芯片。复位后芯片从 FLASH 空间启动。

8.4.2.2 CPU复位（CPURST）

CPU 复位由寄存器 RMU_AHB2RSTR.CPURST 位控制，可复位内核（不包含调试部分）。

8.4.2.3 内核复位请求（SYSRSTREQ）

MCU 复位从内核产生。

8.4.2.4 外设软件复位

对应每个外设分别分配了一个软件复位。

AHB1 外设复位寄存器（RMU_AHB1RSTR）为 GPIO,CRC ,PIS 等模块提供软件复位。

AHB2 外设复位寄存器（RMU_AHB2RSTR）作为 CPU 复位和芯片复位的控制寄存器。

APB 外设复位寄存器（RMU_APB2RSTR）为看门狗定时器，模数转换器（ADC），定时器，通信外设等 APB 模块提供软件复位。

8.5 特殊功能寄存器

8.5.1 寄存器列表

RMU 寄存器列表		
名称	偏移地址	描述
RMU_CR	000 _H	RMU 控制寄存器
RMU_RSTSR	010 _H	RMU 复位状态寄存器
RMU_CRSTSR	014 _H	RMU 清复位状态寄存器
RMU_AHB1RSTR	020 _H	AHB1 外设复位寄存器
RMU_AHB2RSTR	024 _H	AHB2 外设复位寄存器
RMU_APB1RSTR	030 _H	APB 外设复位寄存器

8.5.2 寄存器描述

8.5.2.1 RMU控制寄存器 (RMU_CR)

RMU 控制寄存器 (RMU_CR)																															
偏移地址: 00 _H																															
复位值: 00000000_00000000_00000000_00000011 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																										BORFLT			Reserved		

Reserved	Bit 31-7	—	保留, 需固定设置为0
BORFLT	Bits 3-1	R/W	BOR 滤波时钟选择 00x: 1 个 LRC 周期 010: 2 个 LRC 周期 011: 3 个 LRC 周期 100: 4 个 LRC 周期 101: 5 个 LRC 周期 110: 6 个 LRC 周期 111: 7 个 LRC 周期
Reserved	Bit 0	R/W	保留, 需固定设置为1, 否则可能会导致芯片复位异常

8.5.2.2 RMU复位状态寄存器 (RMU_RSTSR)

RMU 复位状态寄存器 (RMU_RSTSR)																																	
偏移地址: 10 _H																																	
复位值: 00000000_00000000_00000100_00000011 _B																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved															CFGERR	Reserved							CFG	CPU	MCU	CHIP	LOCKUP	WWDT	IWDT	NMRST	BOR	WAKEUP	POR

Reserved	Bit 31-17	—	保留
CFGERR	Bit 16	R	配置字错误状态标志位 0: 无配置字错误 1: 产生配置字错误 注: 当程序运行过程中出现配置字错误时, 软件需要触发看门狗复位或芯片全局复位来复位芯片
Reserved	Bit 15-11	—	保留
CFG	Bit 10	R	配置字复位状态标志位 0: 无复位发生或标志位已被清除 1: 有复位发生

			注：该位仅用于内部测试，用户可无需关注
CPU	Bit 9	R	软件 CPU 复位状态标志位 0：无复位发生或标志位已被清除 1：有复位发生
MCU	Bit 8	R	软件 MCU 复位状态标志位 0：无复位发生或标志位已被清除 1：有复位发生 注：该复位从内核产生。由应用中断和复位控制寄存器（Application Interrupt and Reset Control Register）的SYSRESETREQ位控制，将该位置1可对系统复位。详细可参考ARM相关技术手册。
CHIP	Bit 7	R	软件 CHIP 复位状态标志位 0：无复位发生或标志位已被清除 1：有复位发生
LOCKUP	Bit 6	R	Lockup 复位状态标志位 0：无复位发生或标志位已被清除 1：有复位发生
WWDT	Bit 5	R	WWDT 复位状态标志位 0：无复位发生或标志位已被清除 1：有复位发生
IWDT	Bit 4	R	IWDT 复位状态标志位 0：无复位发生或标志位已被清除 1：有复位发生
NMRST	Bit 3	R	NMRST 复位状态标志位 0：无复位发生或标志位已被清除 1：有复位发生
BOR	Bit 2	R	BOR 复位状态标志位 0：无复位发生或标志位已被清除 1：有复位发生
WAKEUP	Bit 1	R	唤醒复位状态标志位 0：无复位发生或标志位已被清除 1：有上电复位发生
POR	Bit 0	R	POR 复位状态标志位 0：无复位发生或标志位已被清除 1：有上电复位发生

注 1：标志位 WAKEUP 和 POR 任意一个为 1 时，均表示芯片发生了上电复位。

注 2：芯片上电后必须先对标志位 WAKEUP 和 POR 进行清零操作，否则即使发生 RMU_RSTSR 寄存器 bit2~bit5 和 bit7 对应的复位事件，可能也无法置起 bit2~bit5 和 bit7 对应的标志位。

注 3：上述复位标志位可通过向寄存器 RMU_CRSTSR 的对应位写 1 来清除。

8.5.2.3 RMU清复位状态寄存器 (RMU_CRSTSR)

RMU 清复位状态寄存器（RMU_CRSTSR）																															
偏移地址：14 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																					CFG	CPU	MCU	CHIP	LOCKUP	WWDT	IWDT	NMRST	BOR	Reserved	POR

Reserved	Bit 31-11	—	保留
CFG	Bit 10	W	配置字复位标志清除 0: 无操作 1: 清除标志
CPU	Bit 9	W	软件 CPU 复位标志清除 0: 无操作 1: 清除标志
MCU	Bit 8	W	软件 MCU 复位标志清除 0: 无操作 1: 清除标志
CHIP	Bit 7	W	软件 CHIP 复位标志清除 0: 无操作 1: 清除标志
LOCKUP	Bit 6	W	LOCKUP 复位标志清除 0: 无操作 1: 清除标志
WWDT	Bit 5	W	WWDT 复位标志清除 0: 无操作 1: 清除标志
IWDT	Bit 4	W	IWDT 复位标志清除 0: 无操作 1: 清除标志
NMRST	Bit 3	W	NMRST 复位标志清除 0: 无操作 1: 清除标志
BOR	Bit 2	W	BOR 复位标志清除 0: 无操作 1: 清除标志
WAKEUP	Bit 1	W	WAKEUP 复位标志清除 0: 无操作 1: 清除标志
POR	Bit 0	W	POR 复位标志清除 0: 无操作 1: 清除标志

注：芯片上电后必须先对标志位 WAKEUP 和 POR 进行清零操作，否则即使发生 RMU_RSTSR 寄存器 bit2~bit5 和 bit7 对应的复位事件，可能也无法置起 bit2~bit5 和 bit7 对应的标志位。

8.5.2.4 AHB1 外设复位寄存器 (RMU_AHB1RSTR)

AHB1 外设复位寄存器 (RMU_AHB1RSTR)																															
偏移地址: 20 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																								CSURST	USBRST	PISRST	Reserved	MCARST	DMARST	CRCRST	GPIORST

Reserved	Bit 31-6	—	保留
PISRST	Bit 5	R/W	PIS 复位 0: 无操作 1: 复位
Reserved	Bit 4	—	保留
MCARST	Bit 3	R/W	MCA 复位 0: 无操作 1: 复位
DMARST	Bit 2	R/W	DMA 复位 0: 无操作 1: 复位
CRCRST	Bit 1	R/W	CRC 复位 0: 无操作 1: 复位
GPIORST	Bit 0	R/W	GPIO 复位 0: 无操作 1: 复位

8.5.2.5 AHB2 外设复位寄存器 (RMU_AHB2RSTR)

AHB2 外设复位寄存器 (RMU_AHB2RSTR)																																		
偏移地址: 24 _H																																		
复位值: 00000000_00000000_00000000_00000000 _B																																		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Reserved																																	CPURST	CHIPRST

Reserved	Bit 31-2	—	保留
CPURST	Bit 1	R/W	处理器内核复位

			0: 无操作 1: 复位 注: 该复位只复位处理器内核 (不包括 DEBUG 逻辑)
CHIPRST	Bit 0	R/W	芯片全局复位 0: 无操作 1: 复位

8.5.2.6 APB外设复位寄存器 (RMU_APBSTR)

APB 外设复位寄存器 (RMU_APBSTR)																															
偏移地址: 30 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					ACMPRST	ADCRST	DBGCONRST	IWDTRST	WWDTRST	I2C1RST	I2C0RST	Reserved		SPI1RST	SPI0RST	CUART3RST	CUART2RST	CUART1RST	CUART0RST	Reserved			EUART0RST	Reserved	LP16T0RST	BS16T1RST	GP16C4T2RST	GP16C4T1RST	GP16C4T0RST	BS16T0RST	AD16C6T0RST

Reserved	Bit 31-27	—	保留
ACMPRST	Bit26	R/W	ACMP 复位 0: 无操作 1: 复位
ADCRST	Bit25	R/W	ADC 复位 0: 无操作 1: 复位
DBGCONRST	Bit24	R/W	DBGCON 复位 0: 无操作 1: 复位
IWDTRST	Bit23	R/W	IWDTRST 复位 0: 无操作 1: 复位
WWDTRST	Bit22	R/W	WWDTRST 复位 0: 无操作 1: 复位
I2C1RST	Bit 21	R/W	I2C1 复位 0: 无操作 1: 复位
I2C0RST	Bit 20	R/W	I2C0 复位 0: 无操作 1: 复位
Reserved	Bit 19-18	—	保留
SPI1RST	Bit 17	R/W	SPI1 复位 0: 无操作

			1: 复位
SPI0RST	Bit 16	R/W	SPI0 复位 0: 无操作 1: 复位
CUART3RST	Bit 15	R/W	CUART3 复位 (UART4) 0: 无操作 1: 复位
CUART2RST	Bit 14	R/W	CUART2 复位 (UART3) 0: 无操作 1: 复位
CUART1RST	Bit 13	R/W	CUART1 复位 (UART2) 0: 无操作 1: 复位
CUART0RST	Bit 12	R/W	CUART0 复位 (UART1) 0: 无操作 1: 复位
Reserved	Bit 11-9	—	保留
EUART0RST	Bit 8	R/W	EUART0 复位 (UART0) 0: 无操作 1: 复位
Reserved	Bit 7	—	保留
LP16T0RST	Bit 6	R/W	LP16T0 复位 0: 无操作 1: 复位
BS16T1RST	Bit 5	R/W	BS16T1 复位 0: 无操作 1: 复位
GP16C4T2RST	Bit 4	R/W	GP16C4T2 复位 0: 无操作 1: 复位
GP16C4T1RST	Bit 3	R/W	GP16C4T1 复位 0: 无操作 1: 复位
GP16C4T0RST	Bit 2	R/W	GP16C4T0 复位 0: 无操作 1: 复位
BS16T0RST	Bit 1	R/W	BS16T0 复位 0: 无操作 1: 复位
AD16C6T0RST	Bit 0	R/W	AD16C6T0 复位 0: 无操作 1: 复位

第9章 时钟管理（CMU）

9.1 概述

时钟管理单元（CMU）的作用是控制时钟和振荡器。MCU 各外设时钟可独立配置。外设时钟的灵活配置可以有效降低系统功耗。

9.2 特性

- ◆ 支持多种时钟源
 - ◇ 32KHz、4M~20MHz 外部晶体振荡（HOSC）
 - ◇ 48M 内部高速 RC 振荡器（HRC48M）
 - ◇ 31.25KHz 内部低速 RC 振荡器（LRC）
 - ◇ 48M~80MHz 内部 PLL 高速时钟
- ◆ 支持低功耗配置
- ◆ 系统时钟、APB 外设时钟可分别预分频
- ◆ 内核和外设均支持独立的时钟门控
- ◆ 支持系统时钟输出可配

9.3 结构框图

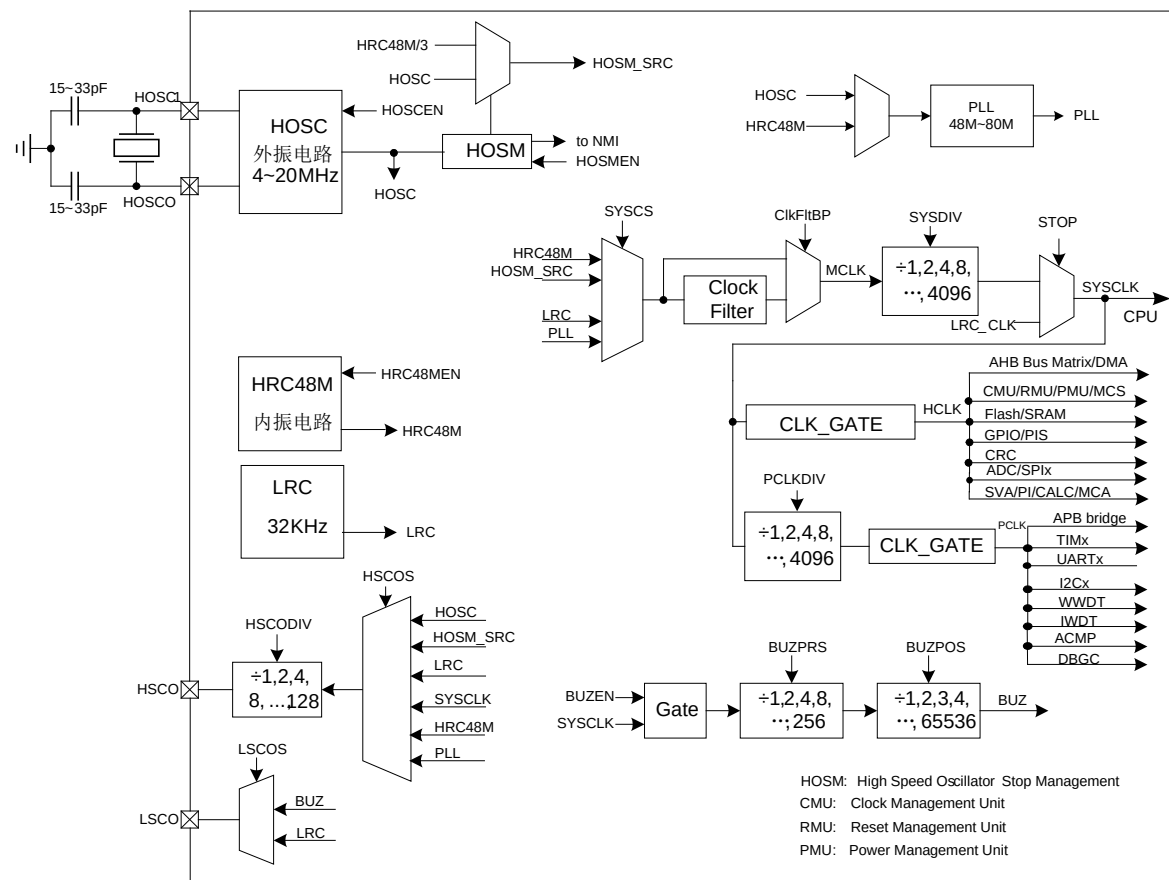


图 9-1 时钟管理结构图

9.4 功能描述

9.4.1 外部振荡器时钟（HOSC）

可通过 OSCI、OSCO 管脚外接时钟振荡器。振荡器对应的 IO 需设置为模拟端口（关闭端口的数字输入和输出功能），外部振荡器模块使能后（HOSCEN =1），振荡器便可正常起振工作，起振稳定后会置起寄存器 CMU_CLKSR 的 HOSCRDY 位。

外部振荡器时钟支持两种模式，即高速模式 HS（频率范围为 4~20MHz，可用作系统时钟）和低速模式 LP（频率约为 32KHz，仅可用作 LP16T 定时器时钟源）。可在编程界面中设置芯片配置字进行选择，工作在低速模式时，建议使用 32.768KHz 晶振。工作在高速模式 HS 时，建议使用 4~20MHz 晶振。

当使用外部振荡器时，需外接匹配电容。HOSC 振荡器电路示意图如下：

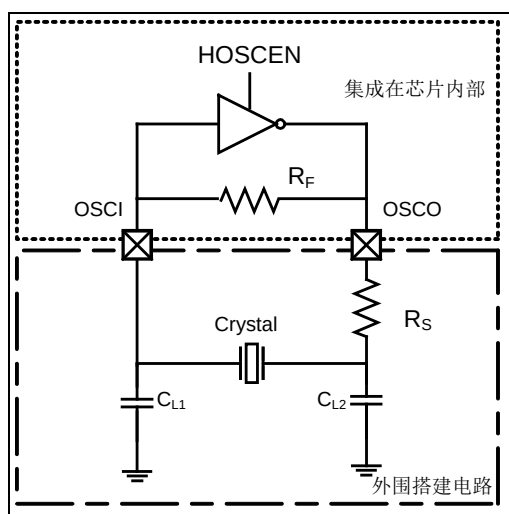


图 9-2 HOSC 振荡器电路结构示意图

注 1：电阻 R_S 为可选配置。

注 2： C_{L1} 和 C_{L2} 为晶振匹配电容，根据所使用的晶振，电容参考取值范围为 10~20pF，建议 4~20MHz 晶振匹配 15pf 电容，32.768KHz 晶振匹配 12pf 电容，具体电容值需根据外接晶振的参数需求确定。

晶体振荡器的等效电路如下图所示：

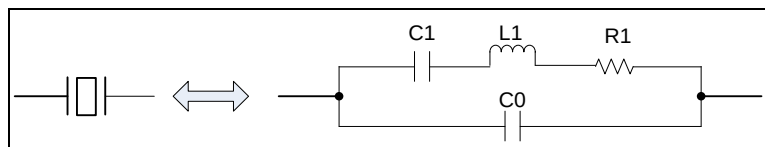


图 9-3 晶体振荡器等效电路示意图

注 1： C_1 ：动态电容； L_1 ：动态电感； R_1 动态电阻； C_0 ：静电容；等效串联电阻 $ESR=R_1 \times (1+C_0/C_L)^2$ ， C_L 为负载电容。

注 2：晶体振荡器与芯片配合使用时，为达到理想的晶振起振和稳定工作状态，对 4~8MHz 晶振参数选型时，推荐 $ESR \leq 200 \Omega$ ， $C_L \leq 16pF$ （晶振的负载电容参数 $\leq 16pF$ ）；对 9~20MHz 晶振参数选型时，推荐 $ESR \leq 50 \Omega$ ， $C_L \leq 16pF$ （晶振的负载电容参数 $\leq 16pF$ ）；对 32.768KHz 晶振参数选型时，推荐 $ESR \leq 40K \Omega$ 。

芯片上电后系统时钟默认为内部高速时钟 HRC，需软件配置方可使用外部时钟 HOSC（高

速模式 4~20MHz)。详情可参考外部时钟操作例程。

9.4.2 内部高速RC振荡器时钟 (HRC48M)

内部一路高精度高速 RC 振荡器 HRC48M, 输出 48MHz 频率时钟。

9.4.3 内部低速RC振荡器时钟 (LRC)

内部低速 RC 振荡器 LRC 可输出 31.25KHz 时钟。LRC 固定为常开, 不能关闭。

9.4.4 内部倍频时钟 (PLL)

HRC 和 HOSC 时钟源通过内部倍频器 PLL 可将时钟倍频至 48MHz~80MHz, PLL 时钟源有:

- ◇ HRC48M
- ◇ HOSC4M
- ◇ HOSC8M
- ◇ HOSC16M

通过 PLL 配置寄存器 CMU_PLLCFG, 可设置 PLL 时钟源和输出时钟频率。

PLL 支持失锁安全管理机制, 可通过 CMU_PULMCR 寄存器的 EN 位使能, 当使用 PLL 倍频时钟作为系统时钟时, 推荐使能 PLL 失锁安全管理, 并设置为 PLL 失锁后将系统时钟切换至 HRC48M/3 (即内部 HRC48M 三分频后的 16MHz 时钟), 可提升芯片运行时的抗干扰能力。

9.4.5 系统时钟选择

通过 CMU 控制状态寄存器 (CMU_CSR) 的 SYS_CMD 位进行配置选择和切换时钟。

系统时钟源有:

- ◇ HRC48M
- ◇ LRC
- ◇ 带安全管理的 HOSC, 当 HOSC 停振时硬件自动切换至 HRC48M 三分频后的时钟
- ◇ 带安全管理的 PLL, 可配置 PLL 失锁时硬件自动切换至 HRC48M 三分频后的时钟
- ◇ 系统时钟可通过 CMU_CFGR 寄存器进行分频设置

系统时钟支持时钟输入滤波器, 该滤波器默认为旁路, 可通过向寄存器 CMU_CSR 的 CFT_CMD 位写入 0x55 来选择使用该滤波器, 当系统时钟大于 48MHz 时, 需旁路该系统时钟滤波器, 否则可能会造成系统时钟失效。

9.4.6 时钟安全管理

高速振荡器安全管理 HOSM

HOSM 时钟安全系统可以通过软件使能 (CMU_HOSMCR 寄存器中的 EN 位为 1)。HOSM 时钟安全监测机制在 HOSC 振荡器启动并稳定后被激活, 当软件将 HOSC 振荡器关闭时, 安全监测机制也将关闭。

当 HOSC (高速模式 4~20MHz) 作为系统时钟时, 如果 HOSC 发生故障, 系统时钟将自动切换至 HRC48M/3 (即内部 HRC48M 三分频后的 16MHz 时钟, 需软件使能 HRC48M)。

时钟故障事件会被送到高级定时器的刹车输入端，且时钟停振中断标志位（CMU_HOSMCR.STPIF）被置位，如果时钟停振中断使能（CMU_HOSMCR.STPIE=1），则产生时钟安全中断请求，允许软件完成营救操作。若 NMI 中断使能（CMU_HOSMCR.NMIE=1），则时钟停振事件将产生 NMI 不可屏蔽中断。当 HOSC 时钟恢复正常后，系统时钟自动切换回 HOSC，且时钟起振中断标志（CMU_HOSMCR.STRIF）被置位，如果时钟起振中断使能（CMU_HOSMCR.STRIE=1），则产生时钟安全中断请求。

PLL 失锁安全管理 PULM

PULM 失锁安全管理通过将 CMU_PULMCR 寄存器的 EN 位设为 1 使能，一旦使能，PULM 失锁安全监测机制将在 PLL 启动后被激活，若软件将 PLL 关闭，则 PULM 安全监测机制关闭。如果 PLL 发生失锁，硬件对时钟的处理方式可通过 CMU_PULMCR 寄存器的 MODE 位进行选择。

PLL 发生失锁后，PLL 失锁中断标志位（CMU_PULMCR.ULKIF）被置起，如果 PLL 失锁中断使能（CMU_PULMCR.ULKIE=1），则产生时钟安全中断请求，允许软件完成营救操作。若 NMI 中断使能（CMU_PULMCR.NMIE=1），则 PLL 失锁事件将产生 NMI 不可屏蔽中断。当 PLL 锁频时钟恢复正常后，锁定中断标志位（CMU_PULMCR.LCKIF）被置位，如果锁定中断使能（CMU_PULMCR.LCKIE=1），则产生时钟安全中断请求。

9.5 特殊功能寄存器

9.5.1 寄存器列表

CMU 寄存器列表		
名称	偏移地址	描述
CMU_CSR	000 _H	CMU 控制状态寄存器
CMU_CFGR	004 _H	CMU 配置寄存器
Reserved	008 _H ~00C _H	保留
CMU_CLKENR	010 _H	CMU 时钟使能寄存器
CMU_CLKSR	014 _H	CMU 时钟状态寄存器
CMU_PLLCFG	018 _H	PLL 配置寄存器
Reserved	01C _H	保留
CMU_HOSMCR	020 _H	HOSC 安全管理控制寄存器
Reserved	024 _H	保留
CMU_PULMCR	028 _H	PLL 失锁管理控制寄存器
Reserved	02C _H	保留
CMU_CLKOCR	030 _H	CMU 时钟输出控制寄存器
CMU_BUZZCR	034 _H	BUZZ 控制寄存器
Reserved	038 _H ~03C _H	保留
CMU_AHBENR	040 _H	AHB 外设时钟使能寄存器
Reserved	044 _H ~04C _H	保留
CMU_APBENR	050 _H	APB 外设时钟使能寄存器
Reserved	054 _H ~05C _H	保留
CMU_LPENR	060 _H	外设时钟低功耗模式使能寄存器
Reserved	064 _H	保留，禁止软件写该寄存器

9.5.2 寄存器描述

9.5.2.1 CMU控制状态寄存器 (CMU_CSR)

CMU 控制状态寄存器 (CMU_CSR)																																
偏移地址: 000 _H																																
复位值: 00000001_00000000_00000001_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved						CFT_RDYN	CFT_STU	CFT_CMD								Reserved			SYS_RDYN	Reserved	SYS_STU			Reserved						SYS_CMD		

Reserved	Bit 31-26	—	保留
CFT_RDYN	Bit 25	R	系统时钟滤波器切换状态位 0: 系统时钟滤波器切换完成或未发生切换动作 1: 系统时钟滤波器正在切换 注: 系统时钟滤波器在切换时仅需若干个系统时钟, 软件读取时不保证能读到系统时钟滤波器正在切换的状态
CFT_STU	Bit 24	R	系统时钟滤波器激活状态位 0: 系统时钟滤波器被选择 1: 系统时钟滤波器被旁路
CFT_CMD	Bit 23-16	W	系统时钟滤波切换命令位 0x55: 选择系统时钟滤波器 0xAA: 旁路系统时钟滤波器 其他: 无操作 注1: 系统默认为旁路系统时钟滤波器。 注2: 当系统时钟滤波器正在切换时, 该位写入无效。该位读出始终为0。 注3: 当系统时钟大于48MHz时, 需旁路系统时钟滤波器, 否则可能会造成系统时钟失效。
Reserved	Bit 15-13	—	保留
SYS_RDYN	Bit 12	R	系统时钟切换状态位 0: 系统时钟切换完成或未发生切换动作 1: 系统时钟正在切换 注: 系统时钟在切换时仅需若干个系统时钟, 软件读取时不保证能读到系统时钟正在切换的状态
Reserved	Bit 11	—	保留
SYS_STU	Bit 10-8	R	当前系统时钟状态位 000: 保留 001: 选择HRC48M 010: 选择LRC 011: 选择HOSC 100: 选择PLL

			其他：保留
Reserved	Bit 7-3	—	保留
SYS_CMD	Bit 2-0	W	系统时钟切换命令位 000：无操作 001：选择HRC48M 010：选择LRC 011：选择HOSC（高速模式4~20MHz） 100：选择PLL 其他：无操作 注1：系统默认为选择HRC48M； 注2：当系统时钟正在切换时，该位写入无效。该位读出始终为0。

注 1：进行系统时钟切换操作时，需先使能并等待目标时钟源稳定后（可判断 CMU_CLKSR 寄存器的对应时钟稳定标志位），再设置 SYS_CMD 位，进行系统时钟切换。

注 2：在软件进行系统时钟切换到新的时钟源时，需先将系统时钟 SYSCLK 设置为 1 分频（CMU_CFGR 寄存器的 SYSDIV 位为 0），然后再执行系统时钟切换命令，否则可能会导致原时钟源无法被关闭。

9.5.2.2 CMU配置寄存器 (CMU_CFGR)

CMU 配置寄存器 (CMU_CFGR)																															
偏移地址：004 _H																															
复位值：00000001_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												PCLKDIV				SYSDIV				Reserved				LPTCLKS		LPTCKEN	Reserved		IOFLTSW	OFLTEN	

Reserved	Bit 31-20	—	保留
PCLKDIV	Bit 19-16	R/W	PCLK 分频选择位 0000: 1分频 0001: 2分频 0010: 4分频 0011: 8分频 1100: 4096分频 其他: 保留 注: SPI0~1、ADC的外设时钟不受此分频影响。
SYSDIV	Bit 15-12	R/W	SYSDIV 分频选择位 0000: 1分频 0001: 2分频 0010: 4分频 0011: 8分频 1100: 4096分频 其他: 保留
Reserved	Bit11-7	—	保留
LPTCLKS	Bit6-5	R/W	LP16T 定时器时钟源选择位 00: PCLK 01: 内部 LRC (约 31.25KHz) 10: 外部 HOSC 11: HRC48M
LPTCKEN	Bit4	R/W	LP16T 定时器时钟源使能位 0: 禁止 1: 使能
Reserved	Bit3-2	—	保留
IOFLTSW	Bit1	R/W	GPIO 中断滤波时钟源 (IOFLTCLK) 选择位 0: 选择 LRC 时钟 1: 选择 HRC48M 三分频后的 16MHz 时钟
IOFLTEN	Bit0	R/W	GPIO 中断滤波时钟 (IOFLTCLK) 使能位 0: 禁止 1: 使能

注 1: 在软件进行系统时钟切换到新的时钟源时, 需先将系统时钟 SYSCCLK 设置为 1 分频 (CMU_CFGR 寄存器的 SYSDIV 位为 0), 然后再执行系统时钟切换命令, 否则可能会导致原时钟源无法被关闭。

注 2: 当 LP16T 定时器选择为 PCLK 以外的时钟源时 (LPTCLKS ≠ 00), 则在其时钟源使能后 (LPTCLKEN=1), 需延迟至少两个 LP16T 时钟源周期后, 再对 LP16T 定时器的其他寄存器进行读写操作, 否则有可能导致读写操作失败。

9.5.2.3 CMU时钟使能寄存器 (CMU_CLKENR)

CMU 时钟使能寄存器 (CMU_CLKENR)																																		
偏移地址: 010 _H																																		
复位值: 00000000_00000000_00000000_00000010 _B																																		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Reserved																												PLLEN		Reserved		HRC48MEN		HOSCEN

Reserved	Bit 31-4	—	保留, 软件写入时需为0
PLLEN	Bit 3	R/W	PLL 软件使能位 0: 禁止 1: 使能
Reserved	Bit 2	—	保留
HRC48MEN	Bit 1	R/W	HRC48M 软件使能位 0: 禁止 1: 使能
HOSCEN	Bit 0	R/W	HOSC 软件使能位 0: 禁止 1: 使能

注: 在使用 PLL 时, 需要先设置寄存器 ADC_CCR 的 IREFEN 位为 1 或设置 HRC48MEN 为 1, 然后再使能 PLLEN 为 1。

9.5.2.4 CMU时钟状态寄存器 (CMU_CLKSR)

CMU 时钟状态寄存器 (CMU_CLKSR)																																
偏移地址: 014 _H																																
复位值: 00000000_0000xx00_00000000_00001000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved							PLLRDY	Reserved							LRCRDY	HRC48MRDY	Reserved	HOSCRDY	Reserved										HRC48MACT	Reserved	PLLACT	HOSCACT

Reserved	Bit 31-25	—	保留
PLLRDY	Bit 24	R	PLL 稳定标志位 0: 未稳定或未激活 1: 稳定
Reserved	Bit 23-20	—	保留
LRCRDY	Bit 19	R	LRC 稳定标志位 0: 未稳定或未激活 1: 稳定
HRC48MRDY	Bit 18	R	HRC48M 稳定标志位 0: 未稳定或未激活 1: 稳定
Reserved	Bit 17	—	保留
HOSCRDY	Bit 16	R	HOSC 稳定标志位 0: 未稳定或未激活 1: 稳定
Reserved	Bit 15-4	—	保留
HRC48MACT	Bit 3	R	HRC48M 激活状态位 0: 未激活 1: 激活
Reserved	Bit 2	—	保留
PLLACT	Bit 1	R	PLL 激活状态位 0: 未激活 1: 激活
HOSCACT	Bit 0	R	HOSC 激活状态位 0: 未激活 1: 激活

9.5.2.5 PLL配置寄存器（CMU_PLLCFG）

PLL 配置寄存器（CMU_PLLCFG）																															
偏移地址：018 _H																															
复位值：00000000_00000000_00010010_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																CLKDIV				Reserved				REFS		CLKOS					

Reserved	Bit 31-13	—	保留
CLKDIV	Bit 12-8	R/W	PLL 时钟输出频率控制位 PLL 时钟输出频率为 CLKDIV<4:0> * 4 MHz， 其中 CLKDIV<4:0>的设置范围为 0x0C~0x12（当 不使用 Flash ECC 功能使能时，设置范围可为

			0x0C~0x14), 避免超出芯片所能支持的最快主频。输出频率设置示例如下: 0x0C: 输出48MHz 0x10: 输出64MHz 0x12: 输出72MHz 0x14: 输出80MHz
Reserved	Bit 7-4	—	保留
REFS	Bit 3-2	R/W	PLL 参考时钟源选择位 00: HRC48M 01: HOSC4M 10: HOSC8M 11: HOSC16M
CLKOS	Bit 1-0	R/W	PLL 时钟频率输出档位选择位 x0: 正常档位 (需软件固定设置为 00) x1: 增强档位 (仅用于内部测试用, 在应用时禁止软件设置为 01 或 11)

注: CMU_PLLCFG 必须在 PLL 使能前配置, 不建议在 PLL 使能后再动态修改。

9.5.2.6 HOSC安全管理控制寄存器 (CMU_HOSMCR)

HOSC 安全管理控制寄存器 (CMU_HOSMCR)																															
偏移地址：020 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											NMIE	STPIF	STRIF	STPIE	STRIE	Reserved					FRQS			Reserved					FLAG	EN	

Reserved	Bit 31-21	—	保留
NMIE	Bit 20	R/W	HOSC安全事件不可屏蔽中断使能位 0: 禁止 1: 使能
STPIF	Bit 19	R/W	HOSC停振中断标志位 0: 未发生 HOSC 停振或标志位已被清除 1: HOSC振荡器异常, 发生HOSC停振 注: 该位写1清除, 写0无效
STRIF	Bit 18	R/W	HOSC起振中断标志位 0: 未发生 HOSC 起振或标志位已被清除 1: HOSC停振因素消除后, 发生HOSC起振 注: 该位写1清除, 写0无效
STPIE	Bit 17	R/W	HOSC停振中断使能位

			0: 禁止 1: 使能
STRIE	Bit 16	R/W	HOSC起振中断使能位 0: 禁止 1: 使能
Reserved	Bit 15-11	—	保留
FRQS	Bit 10-8	R/W	HOSC 频率选择位 000: 保留 001: 保留 010: 4~8MHz 011: 9~20MHz 1xx: 保留 注: 该位域用于 HOSC 停振管理, 需根据实际使用的 HOSC 振荡器频率进行设置
Reserved	Bit 7-2	—	保留
FLAG	Bit 1	R	HOSC 停振状态位 0: HOSC 正常 1: HOSC停振
EN	Bit 0	R/W	HOSC 安全管理使能位 0: 禁止 1: 使能

注: HOSC 停振标志 STPIF、起振标志 STRIF 和状态 FLAG, 仅在 HOSC 安全管理使能 (CMU_HOSMCR.EN=1) 并且 HOSC 使能 (CMU_CLKENR.HOSCEN=1) 时有效, 在时钟管脚无外接晶振或存在外部干扰的情况下, 上述标志均可能会失效。

9.5.2.7 PLL失锁管理控制寄存器 (CMU_PULMCR)

PLL 失锁管理控制寄存器（CMU_PULMCR）																															
偏移地址：028 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											NMIE	ULKIF	LCKIF	ULKIE	LCKIE	Reserved						MODE	Reserved						CLKS	EN	

Reserved	Bit 31-21	—	保留
NMIE	Bit 20	R/W	PLL安全事件不可屏蔽中断使能位 0: 禁止 1: 使能
ULKIF	Bit 19	R/C_W1	PLL失锁中断标志位 0: 未发生 PLL 失锁或标志位已被清除 1: 发生PLL失锁

			注：该位写1清除，写0无效
LCKIF	Bit 18	R/C_W1	PLL锁定中断标志位 0：未发生 PLL 锁定或标志位已被清除 1：发生PLL锁定 注：该位写1清除，写0无效
ULKIE	Bit 17	R/W	PLL失锁中断使能位 0：禁止 1：使能
LCKIE	Bit 16	R/W	PLL锁定中断使能位 0：禁止 1：使能
Reserved	Bit 15-10	—	保留
MODE	Bit 9-8	R/W	PLL失锁管理模式选择位 00：失锁后无操作 01：失锁后切换至HRC48M/3（即HRC48M三分频后的时钟） 1x：失锁后切换至HRC48M/3，待重新锁定后自动切回PLL 注：如果设置为PLL失锁后切换至HRC48M/3，则需保持HRC48M为使能（HRC48MEN=1）
Reserved	Bit 7-2	—	保留
CLKS	Bit 1	R	当前选择时钟状态位 0：选择 PLL 1：选择HRC48M/3
EN	Bit 0	R/W	PLL 失锁管理使能位 0：禁止 1：使能

注：当使用 PLL 倍频时钟作为系统时钟时，推荐使能 PLL 失锁安全管理，并设置为 PLL 失锁后将系统时钟切换至 HRC48M/3，可提升芯片运行时的抗干扰能力。

9.5.2.8 CMU时钟输出控制寄存器（CMU_CLKOCR）

CMU 时钟输出控制寄存器（CMU_CLKOCR）																															
偏移地址：030 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				LSCOS			Reserved							LSCOEN	Reserved	HSCODIV			HSCOS			Reserved						HSCOEN			
Reserved							Bit 31-27			—			保留																		
LSCOS							Bit 26-24			R/W			低速时钟输出源选择位																		

			000: LRC 001: BUZ 其余: 保留
Reserved	Bit 23-17	—	保留
LSCOEN	Bit 16	R/W	低速时钟输出使能位 0: 禁止 1: 使能
Reserved	Bit 15	—	保留
HSCODIV	Bit 14-12	R/W	高速时钟输出分频选择位 000: 1 分频 001: 2 分频 010: 4 分频 011: 8 分频 100: 16 分频 101: 32 分频 110: 64 分频 111: 128 分频
HSCOS	Bit 11-8	R/W	高速时钟输出源选择位 000: HOSC 001: HOSM_SRC 010: LRC 011: SYSCLK 100: HRC48M 101: PLL 时钟 其余: 保留 注: HOSM_SRC 为 HOSC 时钟安全管理模块 HOSM 的输出时钟
Reserved	Bit 7-1	—	保留
HSCOEN	Bit 0	R/W	高速时钟输出使能位 0: 禁止 1: 使能

9.5.2.9 BUZZ控制寄存器 (CMU_BUZZCR)

BUZZ 控制寄存器（CMU_BUZZCR）																															
偏移地址：034 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAT																Reserved				DIV				Reserved				EN			

DAT	Bit 31-16	R/W	BUZZ频率数据值
-----	-----------	-----	-----------

			$Freq_{BUZZ} = \frac{Freq_{SYSCLK}}{2^{DIV+1} \times (DAT + 1)}$
Reserved	Bit 15-11	—	保留
DIV	Bit 10-8	R/W	BUZZ 时钟分频选择位 000: 2 分频 001: 4 分频 010: 8 分频 011: 16 分频 100: 32 分频 101: 64 分频 110: 128 分频 111: 256 分频
Reserved	Bit 7-1	—	保留
EN	Bit 0	R/W	BUZZ 使能位 0: 禁止 1: 使能

9.5.2.10 AHB外设时钟使能寄存器 (CMU_AHBENR)

AHB 外设时钟使能寄存器 (CMU_AHBENR)																															
偏移地址: 040 _H																															
复位值: 00000000_00000000_11111111_11111111 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																										PIS	Reserved	MCAEN	DMAEN	CRCEN	GPIOEN

Reserved	Bit 31-6	—	保留
PIS	Bit 5	R/W	PIS 时钟使能位 0: 禁止 1: 使能
Reserved	Bit 4	—	保留
MCAEN	Bit 3	R/W	MCA、PI、CALC 和 SVA 时钟使能位 0: 禁止 1: 使能
DMAEN	Bit 2	R/W	DMA 时钟使能位 0: 禁止 1: 使能
CRCEN	Bit 1	R/W	CRC 时钟使能位 0: 禁止 1: 使能
GPIOEN	Bit 0	R/W	GPIO 时钟使能位

			0: 禁止 1: 使能
--	--	--	----------------

9.5.2.11 APB外设时钟使能寄存器 (CMU_APBENR)

APB 外设时钟使能寄存器（CMU_APBENR）																															
偏移地址：050 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					ACMPEN	ADCEN	DBGCEN	IWDTEN	WWDTEN	I2C1EN	I2C0EN	Reserved		SPI1EN	SPI0EN	CUART3EN	CUART2EN	CUART1EN	CUART0EN	Reserved			EUART0EN	Reserved	LP16T0EN	BS16T1EN	GP16C4T2EN	GP16C4T1EN	GP16C4T0EN	BS16T0EN	AD16C6T0EN

Reserved	Bit 31-27	—	保留
ACMPEN	Bit26	R/W	ACMP 时钟使能位 0: 禁止 1: 使能
ADCEN	Bit25	R/W	ADC 时钟使能位 0: 禁止 1: 使能
DBGECEN	Bit24	R/W	DBGEC 时钟使能位 0: 禁止 1: 使能
IWDTEN	Bit23	R/W	IWD 时钟使能位 0: 禁止 1: 使能
WWDTEN	Bit22	R/W	WWD 时钟使能位 0: 禁止 1: 使能
I2C1EN	Bit 21	R/W	I2C1 时钟使能位 0: 禁止 1: 使能
I2C0EN	Bit 20	R/W	I2C0 时钟使能位 0: 禁止 1: 使能
Reserved	Bit 19-18	—	保留
SPI1EN	Bit 17	R/W	SPI1 时钟使能位 0: 禁止 1: 使能
SPI0EN	Bit 16	R/W	SPI0 时钟使能位 0: 禁止 1: 使能

CUART3EN	Bit 15	R/W	CUART3 时钟使能位 (UART4) 0: 禁止 1: 使能
CUART2EN	Bit 14	R/W	CUART2 时钟使能位 (UART3) 0: 禁止 1: 使能
CUART1EN	Bit 13	R/W	CUART1 时钟使能位 (UART2) 0: 禁止 1: 使能
CUART0EN	Bit 12	R/W	CUART0 时钟使能位 (UART1) 0: 禁止 1: 使能
Reserved	Bit11-9	—	保留
EUART0EN	Bit 8	R/W	EUART0 时钟使能位 (UART0) 0: 禁止 1: 使能
Reserved	Bit7	—	保留
LP16T0EN	Bit 6	R/W	LP16T0 时钟使能位 0: 禁止 1: 使能
BS16T1EN	Bit 5	R/W	BS16T1 时钟使能位 0: 禁止 1: 使能
GP16C4T2EN	Bit 4	R/W	GP16C4T2 时钟使能位 0: 禁止 1: 使能
GP16C4T1EN	Bit 3	R/W	GP16C4T1 时钟使能位 0: 禁止 1: 使能
GP16C4T0EN	Bit 2	R/W	GP16C4T0 时钟使能位 0: 禁止 1: 使能
BS16T0EN	Bit 1	R/W	BS16T0 时钟使能位 0: 禁止 1: 使能
AD16C6T0EN	Bit 0	R/W	AD16C6T0 时钟使能位 0: 禁止 1: 使能

9.5.2.12 外设时钟低功耗模式使能寄存器 (CMU_LPENR)

外设时钟低功耗模式使能寄存器 (CMU_LPENR)																																			
偏移地址: 060 _H																																			
复位值: 00000000_00000000_00000000_00000000 _B																																			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Reserved																												HOSCEN		HRC48MEN		Reserved		PLLEN	

Reserved	Bit 31-4	—	保留
HOSCEN	Bit 3	R/W	STOP 模式 HOSC 时钟使能位 0: 禁止 1: 使能
HRC48MEN	Bit 2	R/W	STOP 模式 HRC48M 时钟使能位 0: 禁止 1: 使能
Reserved	Bit 1	—	保留
PLLEN	Bit 0	R/W	STOP 模式 PLL 时钟使能位 0: 禁止 1: 使能

第10章 DMA控制器（DMA）

10.1 概述

直接存储器访问控制器（DMA）可独立于 CPU 对内部存储进行操作，利用 DMA 可减轻 CPU 的负担并且节省功耗。芯片内置独立 DMA 控制器，共 7 个通道，可以实现在存储器和外设之间的数据传输（外设到存储器，存储器到外设，存储器到存储器，或者外设到外设，但不能搬移 Flash 中的数据）。

10.2 特性

- ◆ 单 AHB 主控制总线
- ◆ 支持 7 个 DMA 通道。每个通道支持单一方向的传输
- ◆ 支持来源地址和目的地地址的增加模式或固定模式
- ◆ 来源和目的地的传输大小（字节、半字、字）彼此独立，来源和目的地的地址必须根据传输数据的大小进行对齐
- ◆ 硬件通道优先级。DMA 通道 0 具有最高优先级，通道 6 具有最低优先级
- ◆ 软件通道优先级。设置软件通道优先级（每个通道有 4 个级别：最高、高、中、低），当两个 DMA 通道设置为相同的优先级时，它将根据硬件通道优先级被执行
- ◆ 支持循环模式
- ◆ 可编程的传输数量：0 到 $2^{16}-1$
- ◆ 进行多个或单个 DMA 传输
- ◆ 进行以下不同类型的 DMA 传输
 - ◇ 存储器到存储器
 - ◇ 存储器到外设
 - ◇ 外设到存储器
 - ◇ 外设到外设

注 1: 存储器仅指 SRAM，DMA 不能搬移 Flash 上数据。

注 2: DMA 不同类型传输速率有差异，完成一次单位数据（字节、半字或字）的传输所需的时间，存储器到存储器需约 6 个总线时钟（HCLK）周期，存储器到外设（或外设到存储器）需约 18 个总线时钟（HCLK）周期，外设到外设需约 24 个总线时钟（HCLK）周期。

注 3: 外设到外设的 DMA 传输速度较慢，应用时需注意若外设接收太快可能使得其接收 FIFO 溢出，所以外设接收速度不能快于内部 DMA 外设到外设的传输速度。

10.3 请求映射

DMA 控制器通过 DMAPMUX 外设连接至 AHB 或 APB 外设的 DMA 请求。

10.4 结构图

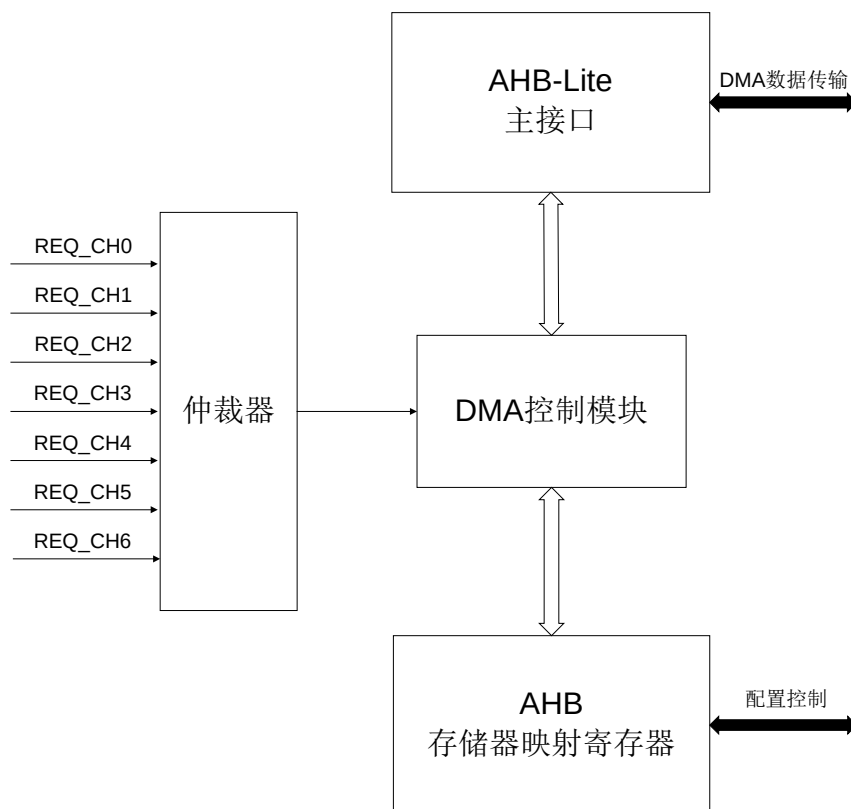


图 10-1 直接存储器访问控制器框图

DMA 控制器通过与其他系统主设备共享 AHB 系统总线来执行直接存储器传输。总线矩阵执行循环调度。当 CPU 与 DMA 访问相同的存储器或外设地址时，DMA 请求会将 CPU 对系统总线的访问停止数个总线周期。

通过软件配置，DMA 控制器会在 DMA 通道及其接收的相关请求之间进行仲裁。DMA 控制器还会通过单一 AHB 主控制总线调度 DMA 数据传输。

10.5 功能描述

10.5.1 传输事务

配置 DMA 控制器中的通道级别，以便执行数据传输，此类传输由一系列 AHB 总线传输组成。

可以通过外设请求或在存储器到存储器（M2M=1）模式时设置 DMA_CONn 寄存器的 CHEN 位为 1 触发数据传输。

当触发事件发生后，会按照以下步骤进行传输：

- ◆ 外设向 DMA 控制器发送 DMA 请求信号。
- ◆ DMA 控制器按照与此外设请求相关的通道的优先级来处理该请求。
- ◆ 只要 DMA 控制器授权给外设，当传输到最后一次数据时，DMA 控制器就会向外设发送确认信号。

- ◆ 外设获得 DMA 控制器的确认信号后，便会立即释放其请求信号。
- ◆ 一旦外设释放请求信号后 DMA 控制器就会释放确认信号。

外设可继续发送请求，再次启动 DMA 传输。

不论外设是传输来源或是传输目的地，都使用请求与应答协议。例如外设到存储器传输，外设向 DMA 控制器发送请求信号来启动传输。DMA 控制器随后读取外设单个数据，并将该数据写入存储器。

对于给定通道 n，DMA 数据传输由以下的重复序列组成：

- ◆ 单次 DMA 传输（DMA_CONn.MAX_BURST 为 0），需要两次总线访问（读取数据与写入数据）来执行传输（通过 DMA AHB 主控制总线实现）：
 - ◇ DMA 控制器获得请求信号。
 - ◇ 通过 DMA_SARn 寄存器从外设数据寄存器或存储器单元中读取单个数据（字节、半字或字）。
 - ◇ 通过 DMA_DARn 寄存器向外设数据寄存器或存储器单元中写入单个数据（字节、半字或字）。
 - ◇ DMA_NDTn 寄存器中 NRDT 位域在传输后递减，该寄存器包含剩余数据传输数量（“先读后写”的传输次数）。
 - ◇ DMA 控制器发送确认信号。
 - ◇ 重复该序列，直到 DMA_NDTn 寄存器中 NRDT 位域等于 0。
- ◆ 多次 DMA 传输（DMA_CONn.MAX_BURST 不为 0），需要多组两次总线访问（读取数据与写入数据）来执行传输（通过 DMA AHB 主控制总线实现）：
 - ◇ DMA 控制器获得请求信号。
 - ◇ 通过 DMA_SARn 寄存器从外设数据寄存器或存储器单元中读取单个数据（字节、半字或字）。
 - ◇ 通过 DMA_DARn 寄存器向外设数据寄存器或存储器单元中写入单个数据（字节、半字或字）。
 - ◇ DMA_NDTn 寄存器中 NRDT 位域在传输后递减，该寄存器包含剩余数据传输数量（“先读后写”的传输次数）。
 - ◇ 当传输次数等于 DMA_CONn.MAX_BURST 设定值。
 - ◇ DMA 控制器发送确认信号。
 - ◇ 重复该序列，直到 DMA_NDTn 寄存器中 NRDT 位域等于 0。

10.5.2 仲裁率

在 DMA 传输过程中，用户可配置控制器何时进行仲裁。该动作可缩短响应高优先通道的延时。

控制器提供 4 个比特位，用来配置在重新进行仲裁前 AHB 总线传输的次数。这些位称为 MAX_BURST 位，输入的数值会提高到 2 的次方 ($2^{\text{MAX_BURST}}$)，进而决定了仲裁率。当 MAX_BURST = 4，则仲裁率为 $2^4 = 16$ ，即每进行 16 次 DMA 先读后写传输就进行一次仲裁。

MAX_BURST	x 次 DMA 传输后进行仲裁
b0000	x = 1
b0001	x = 2
b0010	x = 4
b0011	x = 8
b0100	x = 16
b0101	x = 32
b0110	x = 64
b0111	x = 128
b1000	x = 256
b1001	x = 512
b1010-b1111	x = 1024

注：优先级低的通道中 MAX_BURST 值不要配置太大，这样会导致在重新进行仲裁前，控制器不会响应优先级高的请求。

DMA 通道的传输数量 DMA_NDTn.TNDT 是由用户指定的。当 DMA_NDTn.NRDT > $2^{\text{MAX_BURST}}$ 且 DMA_NDTn.NRDT 不是 $2^{\text{MAX_BURST}}$ 的整数倍，控制器会依次先完成 $2^{\text{MAX_BURST}}$ 次传输直到剩余的次数小于 $2^{\text{MAX_BURST}}$ 。

当剩余的次数小于 $2^{\text{MAX_BURST}}$ 时数据传输方式有两种：

- ◆ 在存储器到存储器模式或存储器到外设模式时，剩余的次数会在下一次请求时完成
- ◆ 在外设到存储器模式时，每次外设请求只会执行一次传输，直到传输完成

10.5.3 优先级

DMA 仲裁器管理不同通道间的优先级。

当 DMA 仲裁器授予某个有效通道 n 优先权后，根据 DMA_CONn.MAX_BURST 设定值会发起单次或多次 DMA 先读后写传输。随后仲裁器会再次对有效通道进行仲裁，并选择优先级最高的通道。

优先级分两个阶段进行管理：

- ◆ 软件：可以在 DMA_CONn 寄存器中的 CHPRI 位域配置该通道优先级，分为四个级别：

- ◇ 最高优先级
- ◇ 高优先级
- ◇ 中优先级
- ◇ 低优先级
- ◆ 硬件：如果两个通道请求具有相同的软件优先级，则通道编号低优先于通道编号高。
例如通道 2 的优先级高于通道 4。

10.5.4 传输模式

10.5.4.1 存储器到存储器模式（Memory-to-memory）

DMA 通道在没有外设请求触发的情况下同样可以工作。该模式被称为存储器到存储器模式，由 DMA_CONn 寄存器的 M2M 位设置 1，且 CHEN 位也设置 1 时启动传输。在 DMA_NDTn 寄存器的 NRDT 位域等于 0 后传输停止。

存储器到存储器模式的示例：

配置 DMA 通道 n 为存储器到存储器模式，将数据从 SRAM 地址 0x2000_0000 搬移到 0x2000_1000。

配置流程如下：

- ◆ 设置来源地址：DMA_SARn = 0x2000_0000
- ◆ 设置目的地地址：DMA_DARn = 0x2000_1000
- ◆ 设置总数据传输数量：DMA_NDTn.TNDT = 0x400
- ◆ 使能存储器到存储器模式：DMA_CONn.M2M = 1
- ◆ 使能通道：DMA_CONn.CHEN = 1

注：在循环模式下，不得使用存储器到存储器模式。在存储器到存储器模式（DMA_CONn.M2M = 1）模式下，使能通道（DMA_CONn.CHEN = 1）前，软件必须将 DMA_CONn 寄存器的 CIRC 位清零。

10.5.4.2 存储器到外设模式（Memory-to-peripheral）

DMA 通道在 DMA_CONn 寄存器的 DIR 位设置 1 且 M2M 为 0 时，DMA 控制器工作在存储器到外设模式下。

存储器到外设模式的示例：

配置 DMA 通道 n 为存储器到外设模式，将数据从 SRAM 地址 0x2000_0000 搬移到 UART 外设的 UART_TXBUF，此外设必须开启发送器 DMA（UART_MCON.TXDMAEN = 1）。

配置流程如下：

- ◆ 设置来源地址：DMA_SARn = 0x2000_0000
- ◆ 设置目的地地址：DMA_DARn = UART_TXBUF
- ◆ 设置总数据传输数量：DMA_NDTn.TNDT = 0x400
- ◆ 禁止存储器到存储器模式：DMA_CONn.M2M = 0

- ◆ 使能存储器到外设模式: $\text{DMA_CONn.DIR} = 1$
- ◆ 使能通道: $\text{DMA_CONn.CHEN} = 1$

10.5.4.3 外设到存储器模式 (Peripheral-to-memory)

DMA 通道在 DMA_CONn 寄存器的 DIR 位设置 0 且 M2M 为 0 时, DMA 控制器工作在外设到存储器模式下。

外设到存储器模式的示例 :

配置 DMA 通道 n 为外设到存储器模式, 将数据从 UART 外设的 UART_RXBUF 搬移到 SRAM 地址 $0x2000_0000$, 此外设必须开启接收器 DMA ($\text{UART_MCON.RXDMAEN} = 1$)。配置流程如下:

- ◆ 设置来源地址: $\text{DMA_SARn} = \text{UART_RXBUF}$
- ◆ 设置目的地地址: $\text{DMA_DARn} = 0x2000_0000$
- ◆ 设置总数据传输数量: $\text{DMA_NDTn.TNDT} = 0x400$
- ◆ 禁止存储器到存储器模式: $\text{DMA_CONn.M2M} = 0$
- ◆ 使能外设到存储器模式: $\text{DMA_CONn.DIR} = 0$
- ◆ 使能通道: $\text{DMA_CONn.CHEN} = 1$

10.5.4.4 外设到外设模式 (Peripheral-to-peripheral)

DMA 控制器可通过软件配置外设的方式与限制, 实现外设到外设模式。

外设到外设模式的示例 :

配置 DMA 通道 n 为外设到存储器模式, 将数据从 UART 外设的 UART_RXBUF 搬移到 UART 外设的 UART_TXBUF , 此外设仅可开启接收器 DMA ($\text{UART_MCON.RXDMAEN} = 1$), 并关闭发送器 DMA ($\text{UART_MCON.TXDMAEN} = 0$)。

配置流程如下:

- ◆ 设置来源地址: $\text{DMA_SARn} = \text{UART_RXBUF}$
- ◆ 设置目的地地址: $\text{DMA_DARn} = \text{UART_TXBUF}$
- ◆ 设置总数据传输数量: $\text{DMA_NDTn.TNDT} = 0x400$
- ◆ 禁止存储器到存储器模式: $\text{DMA_CONn.M2M} = 0$
- ◆ 使能外设到存储器模式: $\text{DMA_CONn.DIR} = 0$
- ◆ 使能通道: $\text{DMA_CONn.CHEN} = 1$

注:

- ◆ 在外设到外设模式下, DMA_CONn 寄存器的 MAX_BURST 位域必须设置为 0。
- ◆ 因为 DMA 每个通道仅有一个请求信号, 所以在此模式时仅能启动每个外设的一个 DMA 功能。
- ◆ 外设到外设的 DMA 传输较慢, 应用时注意若外设接收太快可能使得其接收 FIFO 溢出, 所以外设接收速度不能快于内部 DMA 外设到外设的传输速度。

10.5.5 地址递增

根据 DMA_CSRn 寄存器中 SINC 和 DINC 的设置,在每次传输后,来源和目的地地址可以选择自动递增或保持不变。

如果使能了递增模式(SINC 或 DINC 置 1),则下次传输的地址是前一次传输的地址加上 1(对应于字节传输)、2(对应于半字传输)或 4(对应于字传输),具体取决于在 DMA_CONn 寄存器中的 SDWSEL<1:0> 或 DDWSEL<1:0> 定义的数据宽度。首次传输的地址可在 DMA_SARx 或 DMA_DARx 寄存器中进行编程。在传输过程中,这些寄存器将保持初始编程的值。软件无法获得当前传输的地址。

如果将通道配置为非循环模式,则在最后一次数据传输完成后,将不处理任何 DMA 请求,并将 DMA_CONn 寄存器的 CHEN 清零。

注:如果禁止通道 n,DMA 寄存器不会被复位。DMA_CONn、DMA_SARn 和 DMA_DARn 寄存器仍保留在通道配置阶段设置的初始值。

在循环模式下,最后一次数据传输完成后,当前的内部地址寄存器重新加载 DMA_SARn 和 DMA_DARn 寄存器中的基址值,DMA_NDTn 寄存器的 NRDT 位域重新加载 TNDT 数据数量。

10.5.6 循环模式(仅用于存储器和外设之间传输)

循环模式可用于处理循环缓冲区和连续数据流(例如 ADC 扫描模式)。可以使用 DMA_CONn 寄存器中的 CIRC 使能该功能。

在存储器到存储器模式下,不能使用循环模式。在循环模式(CIRC = 1)下使能通道前,软件必须将 DMA_CONn 寄存器的 M2M 位清零。

当使能循环模式时,在最后一次数据传输完成后,DMA_NDTn 寄存器的 NRDT 位域将重新加载 TNDT 数据数量,并继续响应 DMA 请求。

可通过两种方式退出循环模式:

- ◆ 当发生块传输完成中断事件后,通过软件将 DMA_CONn 寄存器的 CIRC 位清零,此时 DMA 控制器会持续响应外设请求,直到再次发生块传输完成中断事件后,硬件会将 DMA_CONn 寄存器中的 CHEN 位清零且停止响应外设请求。
- ◆ 软件需要先将外设停止生成 DMA 请求,然后通过软件将 DMA_CONn 寄存器中的 CHEN 位与 CIRC 位清零,停止响应外设的请求并退出循环模式。

10.5.7 数据宽度、对齐和字节序

当 DMA_CONn 寄存器的 SDWSEL<1:0> 和 DDWSEL<1:0> 不相等时,则 DMA 控制器将按照下表所述方式进行数据对齐。

来源端口宽度 (SDWSEL)	目的地端口宽度 (DDWSEL)	传输数量 (TNDT)	来源地址/数据	目的地地址/数据
8	8	4	0x0 / 0xB0	0x0 / 0xB0
			0x1 / 0xB1	0x1 / 0xB1

			0x2 / 0xB2	0x2 / 0xB2
			0x3 / 0xB3	0x3 / 0xB3
8	16	4	0x0 / 0xB0	0x0 / 0x00B0
			0x1 / 0xB1	0x2 / 0x00B1
			0x2 / 0xB2	0x4 / 0x00B2
			0x3 / 0xB3	0x6 / 0x00B3
8	32	4	0x0 / 0xB0	0x0 / 0x000000B0
			0x1 / 0xB1	0x4 / 0x000000B1
			0x2 / 0xB2	0x8 / 0x000000B2
			0x3 / 0xB3	0xC / 0x000000B3
16	8	4	0x0 / 0xB1B0	0x0 / 0xB0
			0x2 / 0xB3B2	0x1 / 0xB2
			0x4 / 0xB5B4	0x2 / 0xB4
			0x6 / 0xB7B6	0x3 / 0xB6
16	16	4	0x0 / 0xB1B0	0x0 / 0xB1B0
			0x2 / 0xB3B2	0x2 / 0xB3B2
			0x4 / 0xB5B4	0x4 / 0xB5B4
			0x6 / 0xB7B6	0x6 / 0xB7B6
16	32	4	0x0 / 0xB1B0	0x0 / 0x0000B1B0
			0x2 / 0xB3B2	0x4 / 0x0000B3B2
			0x4 / 0xB5B4	0x8 / 0x0000B5B4
			0x6 / 0xB7B6	0xC / 0x0000B7B6
32	8	4	0x0 / 0xB3B2B1B0	0x0 / 0xB0
			0x4 / 0xB7B6B5B4	0x1 / 0xB4
			0x8 / 0BBBBAB9B8	0x2 / 0xB8
			0xC / 0BFBEBDBC	0x3 / 0xBC
32	16	4	0x0 / 0xB3B2B1B0	0x0 / 0xB1B0
			0x4 / 0xB7B6B5B4	0x2 / 0xB5B4
			0x8 / 0BBBBAB9B8	0x4 / 0xB9B8
			0xC / 0BFBEBDBC	0x6 / 0BDBC
32	32	4	0x0 / 0xB3B2B1B0	0x0 / 0xB3B2B1B0
			0x4 / 0xB7B6B5B4	0x4 / 0xB7B6B5B4
			0x8 / 0BBBBAB9B8	0x8 / 0BBBBAB9B8

			0xC / 0xBFBEBC	0xC / 0xBFBEBC
--	--	--	----------------	----------------

10.5.7.1 DMA对外设进行字节或半字写传输

如果 DMA 控制器启动 AHB 字节或半字写传输，则 32 位 AHB 主控数据总线（HWDATA<31:0>）的未使用数据在线将会重复所传输的数据。

如果 AHB 从外设不支持字节或半字写传输且不会产生任何错误，则 DMA 控制器会对 HWDATA 的 32 个位执行写操作，如下列两个范例所示：

- ◆ 要写入半字数据为 0xABCD，DMA 控制器会将 HWDATA 总线设为 0xABCDABCD，并采用半字数据大小（在 AHB 主控总线中，将 HSIZE 设为 HalfWord）。
- ◆ 要写入字节数据为 0xAB，DMA 控制器会将 HWDATA 总线设为 0xABABABAB，并采用字节数据大小（在 AHB 主控总线中，将 HSIZE 设为 Byte）。

当目的地地址为 APB 外设，且该外设不考虑 HSIZE 数据（寄存器为字对齐），则任何 AHB 字节或半字传输都将转换为 32 位 APB 传输，如下所述：

- ◆ 将 AHB 字节写传输转换为 APB 字写传输，如向 0x0、0x1、0x2 或 0x3 地址之一写入数据 0xB0，将转换为向 0x0 地址写入 0xB0B0B0B0。
- ◆ 将 AHB 半字写传输转换为 APB 字写传输，如向 0x0 或 0x2 地址写入数据 0xB1B0，将转换为向 0x0 地址写入 0xB1B0B1B0。

10.5.8 通道配置流程

配置 DMA 通道 n 时需按照以下步骤操作：

- ◆ 在 DMA_IER 寄存器中配置下列参数：
 - ◇ 传输完成一半或全部完成时的中断使能
- ◆ 将来源地址设置到 DMA_SARn 寄存器。
使能通道后，在存储器到存储器模式或外设请求发生后，DMA 控制器会通过该地址读取数据。
- ◆ 将目的地地址设置到 DMA_DARn 寄存器。
使能通道后，在存储器到存储器模式或外设请求发生后，DMA 控制器会通过该地址写入数据。
- ◆ 在 DMA_NDTn 寄存器的 TNDT 位域配置传输的总数据数。
当通道使能（软件对 DMA_CONn.CHEN 设置为 1）时，NRDT 会自动加载 TNDT 数值，并每次数据传输后，NRDT 位域都会递减。
- ◆ 在 DMA_CONn 寄存器中配置下列参数：
 - ◇ 通道优先级
 - ◇ 数据传输方向
 - ◇ 循环模式
 - ◇ 外设和存储器递增模式
 - ◇ 外设和存储器数据大小

◇ 仲裁率

- ◆ 将 DMA_CONn 寄存器中的 CHEN 位置 1 以使能通道。

通道在使能后可处理来自此通道所连接外设的任意 DMA 请求，或者启动存储器到存储器数据传输。

注：通道配置流程的最后两步可合并为对 DMA_CONn 寄存器进行单次访问来配置和使能通道。

10.5.9 传输完成

- ◆ 通道被配置为非循环模式

在 DMA_NDTn 寄存器的 NRDT 位域递减到零则传输结束，通道被禁止（DMA_CONn 寄存器中的 CHEN 位被硬件清零）并将 DMA_RIF.CHnTC 设置为 1，此时 DMA 控制器不会响应外设请求，除非软件重新编程并重新启用它（通过设置 DMA_CONn 寄存器中的 CHEN 位为 1）。

- ◆ 通道被配置为循环模式

在 DMA_NDTn 寄存器的 NRDT 位域递减到零时，NRDT 位域将重新加载 TNDT 数据数量并将 DMA_RIF.CHnTC 设置为 1，此时 DMA 控制器会继续响应外设的请求。

10.5.10 传输暂停

可以随时暂停 DMA 传输以供稍后重新开始。

分为两种情况：

- ◆ 禁止传输，暂停以后不从停止点重新开始。这种情况下只需将 DMA_CONn 寄存器中的 CHEN 位清零，除此之外不需要任何其他操作。禁止传输可能要花费一些时间（需要首先完成正在进行的传输）。等待 DMA_CONn 寄存器中的 CHEN 位的值为 0，以此确认已经终止传输。DMA_NDTn 寄存器的 NRDT 位域包含数据停止时剩余数据项的数量，这样软件便可以确定数据传输中断前已传输了多少数据项。
- ◆ 暂停并恢复传输，在 DMA_NDTn 寄存器中的 TNDT 位域递减到 0 之前暂停传输。目的是以后通过重新使能通道并重新开始传输。为了在传输停止点重新开始传输，软件必须在通过写入 DMA_CONn 寄存器中的 CHEN 位（需检查确认该位为 0）禁止通道之后，首先读取 DMA_NDTn 寄存器中的 NRDT 位域来了解已经传输的数据项的数量。然后：
 - ◇ 必须更新来源或目的地地址以调整地址指针
 - ◇ 必须使用要传输的剩余数据项的数目，在暂停时读取 DMA_CONn 寄存器的 NRDT 位域数值，并更新到 DMA_CONn 寄存器的 TNDT 位域
 - ◇ 重新使能通道（设置 DMA_CONn 寄存器的 CHEN 为 1），以从停止点重新开始传输

10.5.11 中断事件

对于每个 DMA 通道在发生传输一半或传输完成时都会触发中断事件，产生中断标志。

10.6 特殊功能寄存器

10.6.1 寄存器列表

DMA 寄存器列表			
基地址: 0x4008_5400			
名称	偏移地址	类型	描述
DMA_IER	0000 _H	W1	DMA 中断使能寄存器
DMA_IDR	0004 _H	W1	DMA 中断禁止寄存器
DMA_IVS	0008 _H	R	DMA 中断使能状态寄存器
DMA_RIF	000C _H	R	DMA 原始中断标志寄存器
DMA_IFM	0010 _H	R	DMA 中断标志屏蔽状态寄存器
DMA_ICR	0014 _H	C_W1	DMA 中断清除寄存器
DMA_CON0	0020 _H	R/W	DMA 通道 0 控制寄存器
DMA_SAR0	0024 _H	R/W	DMA 通道 0 来源地址寄存器
DMA_DAR0	0028 _H	R/W	DMA 通道 0 目的地地址寄存器
DMA_NDT0	002C _H	R/W	DMA 通道 0 数据传输数量寄存器
DMA_CON1	0030 _H	R/W	DMA 通道 1 控制寄存器
DMA_SAR1	0034 _H	R/W	DMA 通道 1 来源地址寄存器
DMA_DAR1	0038 _H	R/W	DMA 通道 1 目的地地址寄存器
DMA_NDT1	003C _H	R/W	DMA 通道 1 数据传输数量寄存器
DMA_CON2	0040 _H	R/W	DMA 通道 2 控制寄存器
DMA_SAR2	0044 _H	R/W	DMA 通道 2 来源地址寄存器
DMA_DAR2	0048 _H	R/W	DMA 通道 2 目的地地址寄存器
DMA_NDT2	004C _H	R/W	DMA 通道 2 数据传输数量寄存器
DMA_CON3	0050 _H	R/W	DMA 通道 3 控制寄存器
DMA_SAR3	0054 _H	R/W	DMA 通道 3 来源地址寄存器
DMA_DAR3	0058 _H	R/W	DMA 通道 3 目的地地址寄存器
DMA_NDT3	005C _H	R/W	DMA 通道 3 数据传输数量寄存器
DMA_CON4	0060 _H	R/W	DMA 通道 4 控制寄存器
DMA_SAR4	0064 _H	R/W	DMA 通道 4 来源地址寄存器
DMA_DAR4	0068 _H	R/W	DMA 通道 4 目的地地址寄存器
DMA_NDT4	006C _H	R/W	DMA 通道 4 数据传输数量寄存器
DMA_CON5	0070 _H	R/W	DMA 通道 5 控制寄存器
DMA_SAR5	0074 _H	R/W	DMA 通道 5 来源地址寄存器
DMA_DAR5	0078 _H	R/W	DMA 通道 5 目的地地址寄存器
DMA_NDT5	007C _H	R/W	DMA 通道 5 数据传输数量寄存器
DMA_CON6	0080 _H	R/W	DMA 通道 6 控制寄存器
DMA_SAR6	0084 _H	R/W	DMA 通道 6 来源地址寄存器
DMA_DAR6	0088 _H	R/W	DMA 通道 6 目的地地址寄存器
DMA_NDT6	008C _H	R/W	DMA 通道 6 数据传输数量寄存器

DMA_MUX 寄存器列表			
基地址: 0x4000_D000			
名称	偏移地址	类型	描述
DMA_CH0_SELCON	0000 _H	R/W	DMA 通道 0 复用选择寄存器
DMA_CH1_SELCON	0004 _H	R/W	DMA 通道 1 复用选择寄存器
DMA_CH2_SELCON	0008 _H	R/W	DMA 通道 2 复用选择寄存器
DMA_CH3_SELCON	000C _H	R/W	DMA 通道 3 复用选择寄存器
DMA_CH4_SELCON	0010 _H	R/W	DMA 通道 4 复用选择寄存器
DMA_CH5_SELCON	0014 _H	R/W	DMA 通道 5 复用选择寄存器
DMA_CH6_SELCON	0018 _H	R/W	DMA 通道 6 复用选择寄存器

10.6.2 寄存器描述

10.6.2.1 DMA 中断使能寄存器 (DMA_IER)

DMA 中断使能寄存器 (DMA_IER)																															
偏移地址：00 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																		CH6HT	CH6TC	CH5HT	CH5TC	CH4HT	CH4TC	CH3HT	CH3TC	CH2HT	CH2TC	CH1HT	CH1TC	CH0HT	CH0TC

—	Bits 31-14	—	—
CH6HT	Bit 13	W1	DMA 通道 6 传输一半中断使能位 0: 写入 0 无效 1: 使能 DMA 通道 6 传输一半中断
CH6TC	Bit 12	W1	DMA 通道 6 传输完成中断使能位 0: 写入 0 无效 1: 使能 DMA 通道 6 传输完成中断
CH5HT	Bit 11	W1	DMA 通道 5 传输一半中断使能位 0: 写入 0 无效 1: 使能 DMA 通道 5 传输一半中断
CH5TC	Bit 10	W1	DMA 通道 5 传输完成中断使能位 0: 写入 0 无效 1: 使能 DMA 通道 5 传输完成中断
CH4HT	Bit 9	W1	DMA 通道 4 传输一半中断使能位 0: 写入 0 无效 1: 使能 DMA 通道 4 传输一半中断
CH4TC	Bit 8	W1	DMA 通道 4 传输完成中断使能位 0: 写入 0 无效 1: 使能 DMA 通道 4 传输完成中断
CH3HT	Bit 7	W1	DMA 通道 3 传输一半中断使能位 0: 写入 0 无效 1: 使能 DMA 通道 3 传输一半中断
CH3TC	Bit 6	W1	DMA 通道 3 传输完成中断使能位 0: 写入 0 无效 1: 使能 DMA 通道 3 传输完成中断
CH2HT	Bit 5	W1	DMA 通道 2 传输一半中断使能位 0: 写入 0 无效 1: 使能 DMA 通道 2 传输一半中断
CH2TC	Bit 4	W1	DMA 通道 2 传输完成中断使能位 0: 写入 0 无效 1: 使能 DMA 通道 2 传输完成中断

CH1HT	Bit 3	W1	DMA 通道 1 传输一半中断使能位 0: 写入 0 无效 1: 使能 DMA 通道 1 传输一半中断
CH1TC	Bit 2	W1	DMA 通道 1 传输完成中断使能位 0: 写入 0 无效 1: 使能 DMA 通道 1 传输完成中断
CH0HT	Bit 1	W1	DMA 通道 0 传输一半中断使能位 0: 写入 0 无效 1: 使能 DMA 通道 0 传输一半中断
CH0TC	Bit 0	W1	DMA 通道 0 传输完成中断使能位 0: 写入 0 无效 1: 使能 DMA 通道 0 传输完成中断

10. 6. 2. 2 DMA 中断禁止寄存器 (DMA_IDR)

DMA 中断禁止寄存器 (DMA_IDR)																																					
偏移地址：04 _H																																					
复位值：00000000_00000000_00000000_00000000 _B																																					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
Reserved																		CH6HT	CH6TC	CH5HT	CH5TC	CH4HT	CH4TC	CH3HT	CH3TC	CH2HT	CH2TC	CH1HT	CH1TC	CH0HT	CH0TC						

—	Bits 31-14	—	—
CH6HT	Bit 13	W1	DMA 通道 6 传输一半中断禁止位 0: 写入 0 无效 1: 禁止 DMA 通道 6 传输一半中断
CH6TC	Bit 12	W1	DMA 通道 6 传输完成中断禁止位 0: 写入 0 无效 1: 禁止 DMA 通道 6 传输完成中断
CH5HT	Bit 11	W1	DMA 通道 5 传输一半中断禁止位 0: 写入 0 无效 1: 禁止 DMA 通道 5 传输一半中断
CH5TC	Bit 10	W1	DMA 通道 5 传输完成中断禁止位 0: 写入 0 无效 1: 禁止 DMA 通道 5 传输完成中断
CH4HT	Bit 9	W1	DMA 通道 4 传输一半中断禁止位 0: 写入 0 无效 1: 禁止 DMA 通道 4 传输一半中断
CH4TC	Bit 8	W1	DMA 通道 4 传输完成中断禁止位 0: 写入 0 无效 1: 禁止 DMA 通道 4 传输完成中断
CH3HT	Bit 7	W1	DMA 通道 3 传输一半中断禁止位 0: 写入 0 无效 1: 禁止 DMA 通道 3 传输一半中断
CH3TC	Bit 6	W1	DMA 通道 3 传输完成中断禁止位 0: 写入 0 无效 1: 禁止 DMA 通道 3 传输完成中断
CH2HT	Bit 5	W1	DMA 通道 2 传输一半中断禁止位 0: 写入 0 无效 1: 禁止 DMA 通道 2 传输一半中断
CH2TC	Bit 4	W1	DMA 通道 2 传输完成中断禁止位 0: 写入 0 无效 1: 禁止 DMA 通道 2 传输完成中断
CH1HT	Bit 3	W1	DMA 通道 1 传输一半中断禁止位

			0: 写入 0 无效 1: 禁止 DMA 通道 1 传输一半中断
CH1TC	Bit 2	W1	DMA 通道 1 传输完成中断禁止位 0: 写入 0 无效 1: 禁止 DMA 通道 1 传输完成中断
CH0HT	Bit 1	W1	DMA 通道 0 传输一半中断禁止位 0: 写入 0 无效 1: 禁止 DMA 通道 0 传输一半中断
CH0TC	Bit 0	W1	DMA 通道 0 传输完成中断禁止位 0: 写入 0 无效 1: 禁止 DMA 通道 0 传输完成中断

10. 6. 2. 3 DMA 中断使能状态寄存器 (DMA_IVS)

DMA 中断使能状态寄存器（DMA_IVS）																																	
偏移地址：08 _H																																	
复位值：00000000_00000000_00000000_00000000 _B																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved																		CH6HT	CH6TC	CH5HT	CH5TC	CH4HT	CH4TC	CH3HT	CH3TC	CH2HT	CH2TC	CH1HT	CH1TC	CH0HT	CH0TC		

—	Bits 31-14	—	—
CH6HT	Bit 13	R	DMA 通道 6 传输一半中断使能状态位 0: 禁止 DMA 通道 6 传输一半中断 1: 使能 DMA 通道 6 传输一半中断
CH6TC	Bit 12	R	DMA 通道 6 传输完成中断使能状态位 0: 禁止 DMA 通道 6 传输完成中断 1: 使能 DMA 通道 6 传输完成中断
CH5HT	Bit 11	R	DMA 通道 5 传输一半中断使能状态位 0: 禁止 DMA 通道 5 传输一半中断 1: 使能 DMA 通道 5 传输一半中断
CH5TC	Bit 10	R	DMA 通道 5 传输完成中断使能状态位 0: 禁止 DMA 通道 5 传输完成中断 1: 使能 DMA 通道 5 传输完成中断
CH4HT	Bit 9	R	DMA 通道 4 传输一半中断使能状态位 0: 禁止 DMA 通道 4 传输一半中断 1: 使能 DMA 通道 4 传输一半中断
CH4TC	Bit 8	R	DMA 通道 4 传输完成中断使能状态位 0: 禁止 DMA 通道 4 传输完成中断 1: 使能 DMA 通道 4 传输完成中断
CH3HT	Bit 7	R	DMA 通道 3 传输一半中断使能状态位 0: 禁止 DMA 通道 3 传输一半中断 1: 使能 DMA 通道 3 传输一半中断
CH3TC	Bit 6	R	DMA 通道 3 传输完成中断使能状态位 0: 禁止 DMA 通道 3 传输完成中断 1: 使能 DMA 通道 3 传输完成中断
CH2HT	Bit 5	R	DMA 通道 2 传输一半中断使能状态位 0: 禁止 DMA 通道 2 传输一半中断 1: 使能 DMA 通道 2 传输一半中断
CH2TC	Bit 4	R	DMA 通道 2 传输完成中断使能状态位 0: 禁止 DMA 通道 2 传输完成中断 1: 使能 DMA 通道 2 传输完成中断
CH1HT	Bit 3	R	DMA 通道 1 传输一半中断使能状态位

			0: 禁止 DMA 通道 1 传输一半中断 1: 使能 DMA 通道 1 传输一半中断
CH1TC	Bit 2	R	DMA 通道 1 传输完成中断使能状态位 0: 禁止 DMA 通道 1 传输完成中断 1: 使能 DMA 通道 1 传输完成中断
CH0HT	Bit 1	R	DMA 通道 0 传输一半中断使能状态位 0: 禁止 DMA 通道 0 传输一半中断 1: 使能 DMA 通道 0 传输一半中断
CH0TC	Bit 0	R	DMA 通道 0 传输完成中断使能状态位 0: 禁止 DMA 通道 0 传输完成中断 1: 使能 DMA 通道 0 传输完成中断

注：DMA_IVS 寄存器实时反映系统配置 DMA_IER 与 DMA_IDR 的中断开启状态。

10.6.2.4 DMA 原始中断标志寄存器 (DMA_RIF)

DMA 原始中断标志寄存器（DMA_RIF）																																	
偏移地址：0C _H																																	
复位值：00000000_00000000_00000000_00000000 _B																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved																		CH6HT	CH6TC	CH5HT	CH5TC	CH4HT	CH4TC	CH3HT	CH3TC	CH2HT	CH2TC	CH1HT	CH1TC	CH0HT	CH0TC		

—	Bits 31-14	—	—
CH6HT	Bit 13	R	DMA 通道 6 传输一半中断事件标志位 0: 未发生中断事件 1: 发生中断事件
CH6TC	Bit 12	R	DMA 通道 6 传输完成中断事件标志位 0: 未发生中断事件 1: 发生中断事件
CH5HT	Bit 11	R	DMA 通道 5 传输一半中断事件标志位 0: 未发生中断事件 1: 发生中断事件
CH5TC	Bit 10	R	DMA 通道 5 传输完成中断事件标志位 0: 未发生中断事件 1: 发生中断事件
CH4HT	Bit 9	R	DMA 通道 4 传输一半中断事件标志位 0: 未发生中断事件 1: 发生中断事件
CH4TC	Bit 8	R	DMA 通道 4 传输完成中断事件标志位 0: 未发生中断事件 1: 发生中断事件
CH3HT	Bit 7	R	DMA 通道 3 传输一半中断事件标志位 0: 未发生中断事件 1: 发生中断事件
CH3TC	Bit 6	R	DMA 通道 3 传输完成中断事件标志位 0: 未发生中断事件 1: 发生中断事件
CH2HT	Bit 5	R	DMA 通道 2 传输一半中断事件标志位 0: 未发生中断事件 1: 发生中断事件
CH2TC	Bit 4	R	DMA 通道 2 传输完成中断事件标志位 0: 未发生中断事件 1: 发生中断事件
CH1HT	Bit 3	R	DMA 通道 1 传输一半中断事件标志位

			0: 未发生中断事件 1: 发生中断事件
CH1TC	Bit 2	R	DMA 通道 1 传输完成中断事件标志位 0: 未发生中断事件 1: 发生中断事件
CH0HT	Bit 1	R	DMA 通道 0 传输一半中断事件标志位 0: 未发生中断事件 1: 发生中断事件
CH0TC	Bit 0	R	DMA 通道 0 传输完成中断事件标志位 0: 未发生中断事件 1: 发生中断事件

10.6.2.5 DMA 中断标志屏蔽状态寄存器 (DMA_IFM)

DMA 中断标志屏蔽状态寄存器（DMA_IFM）																																	
偏移地址：10 _H																																	
复位值：00000000_00000000_00000000_00000000 _B																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved																		CH6HT	CH6TC	CH5HT	CH5TC	CH4HT	CH4TC	CH3HT	CH3TC	CH2HT	CH2TC	CH1HT	CH1TC	CH0HT	CH0TC		

—	Bits 31-14	—	—
CH6HT	Bit 13	R	DMA 通道 6 传输一半中断屏蔽后状态位 0: 未发生中断事件或中断未使能 1: 产生中断
CH6TC	Bit 12	R	DMA 通道 6 传输完成中断屏蔽后状态位 0: 未发生中断事件或中断未使能 1: 产生中断
CH5HT	Bit 11	R	DMA 通道 5 传输一半中断屏蔽后状态位 0: 未发生中断事件或中断未使能 1: 产生中断
CH5TC	Bit 10	R	DMA 通道 5 传输完成中断屏蔽后状态位 0: 未发生中断事件或中断未使能 1: 产生中断
CH4HT	Bit 9	R	DMA 通道 4 传输一半中断屏蔽后状态位 0: 未发生中断事件或中断未使能 1: 产生中断
CH4TC	Bit 8	R	DMA 通道 4 传输完成中断屏蔽后状态位 0: 未发生中断事件或中断未使能 1: 产生中断
CH3HT	Bit 7	R	DMA 通道 3 传输一半中断屏蔽后状态位 0: 未发生中断事件或中断未使能 1: 产生中断
CH3TC	Bit 6	R	DMA 通道 3 传输完成中断屏蔽后状态位 0: 未发生中断事件或中断未使能 1: 产生中断
CH2HT	Bit 5	R	DMA 通道 2 传输一半中断屏蔽后状态位 0: 未发生中断事件或中断未使能 1: 产生中断
CH2TC	Bit 4	R	DMA 通道 2 传输完成中断屏蔽后状态位 0: 未发生中断事件或中断未使能 1: 产生中断
CH1HT	Bit 3	R	DMA 通道 1 传输一半中断屏蔽后状态位

			0: 未发生中断事件或中断未使能 1: 产生中断
CH1TC	Bit 2	R	DMA 通道 1 传输完成中断屏蔽后状态位 0: 未发生中断事件或中断未使能 1: 产生中断
CH0HT	Bit 1	R	DMA 通道 0 传输一半中断屏蔽后状态位 0: 未发生中断事件或中断未使能 1: 产生中断
CH0TC	Bit 0	R	DMA 通道 0 传输完成中断屏蔽后状态位 0: 未发生中断事件或中断未使能 1: 产生中断

注: DMA_IFM 寄存器是滤除已关闭中断功能的中断事件, 只关注开启中断功能的事件, 此寄存器的状态位是将 DMA_RIF 与 DMA_IVS 进行逻辑与运算后的结果。

10. 6. 2. 6 DMA 中断清除寄存器 (DMA_ICR)

DMA 中断清除寄存器 (DMA_ICR)																																	
偏移地址：14 _H																																	
复位值：00000000_00000000_00000000_00000000 _B																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved																		CH6HT	CH6TC	CH5HT	CH5TC	CH4HT	CH4TC	CH3HT	CH3TC	CH2HT	CH2TC	CH1HT	CH1TC	CH0HT	CH0TC		

—	Bits 31-14	—	—
CH6HT	Bit 13	C_W1	DMA 通道 6 传输一半中断标志/状态清除位 0: 写入 0 无效 1: 清除中断标志/状态
CH6TC	Bit 12	C_W1	DMA 通道 6 传输完成中断标志/状态清除位 0: 写入 0 无效 1: 清除中断标志/状态
CH5HT	Bit 11	C_W1	DMA 通道 5 传输一半中断标志/状态清除位 0: 写入 0 无效 1: 清除中断标志/状态
CH5TC	Bit 10	C_W1	DMA 通道 5 传输完成中断标志/状态清除位 0: 写入 0 无效 1: 清除中断标志/状态
CH4HT	Bit 9	C_W1	DMA 通道 4 传输一半中断标志/状态清除位 0: 写入 0 无效 1: 清除中断标志/状态
CH4TC	Bit 8	C_W1	DMA 通道 4 传输完成中断标志/状态清除位 0: 写入 0 无效 1: 清除中断标志/状态
CH3HT	Bit 7	C_W1	DMA 通道 3 传输一半中断标志/状态清除位 0: 写入 0 无效 1: 清除中断标志/状态
CH3TC	Bit 6	C_W1	DMA 通道 3 传输完成中断标志/状态清除位 0: 写入 0 无效 1: 清除中断标志/状态
CH2HT	Bit 5	C_W1	DMA 通道 2 传输一半中断标志/状态清除位 0: 写入 0 无效 1: 清除中断标志/状态
CH2TC	Bit 4	C_W1	DMA 通道 2 传输完成中断标志/状态清除位 0: 写入 0 无效 1: 清除中断标志/状态
CH1HT	Bit 3	C_W1	DMA 通道 1 传输一半中断标志/状态清除位

			0: 写入 0 无效 1: 清除中断标志/状态
CH1TC	Bit 2	C_W1	DMA 通道 1 传输完成中断标志/状态清除位 0: 写入 0 无效 1: 清除中断标志/状态
CH0HT	Bit 1	C_W1	DMA 通道 0 传输一半中断标志/状态清除位 0: 写入 0 无效 1: 清除中断标志/状态
CH0TC	Bit 0	C_W1	DMA 通道 0 传输完成中断标志/状态清除位 0: 写入 0 无效 1: 清除中断标志/状态断

注: DMA_ICR 寄存器设置时, 将清除寄存器 DMA_RIF 与 DMA_IFM 的中断标志状态, 不影响寄存器 DMA_IER、DMA_IDR 与 DMA_IVS。

10.6.2.7 DMA 通道 0 控制寄存器 (DMA_CON0)

DMA 通道 0 控制寄存器 （DMA_CON0）																															
偏移地址：20 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												MAX_BURST				Reserved	DDWSEL		DINC	Reserved	SDWSEL		SINC	Reserved	CHPRI		M2M	DIR	CIRC	CHEN	

Reserved	Bit 31-20	—	保留
MAX_BURST	Bit 19-16	R/W	控制器重新仲裁前的DMA 传输次数 b0000: 发生 1 次DMA传输后仲裁 b0001: 发生 2 次DMA传输后仲裁 b0010: 发生 4 次DMA传输后仲裁 b0011: 发生 8 次DMA传输后仲裁 b0100: 发生 16 次DMA传输后仲裁 b0101: 发生 32 次DMA传输后仲裁 b0110: 发生 64 次DMA传输后仲裁 b0111: 发生 128 次DMA传输后仲裁 b1000: 发生 256 次DMA传输后仲裁 b1001: 发生 512 次DMA传输后仲裁 b1010-b1111: 发生 1024 次DMA传输后仲裁。 只能在 CHEN = 0 时对此位域执行写操作。 该位域仅在DMA_CH0_SELCON寄存器的 SINGLE位为0时有效, 当SINGLE=1时固定为发生 1 次DMA传输后仲裁。
Reserved	Bit 15	—	保留
DDWSEL	Bit 14-13	R/W	目的地传输数据宽度选择位 b00: 字节 b01: 半字 b10: 字 b11: 保留 只能在 CHEN = 0 时对此位域执行写操作。
DINC	Bit 12	R/W	目的地地址增量模式使能位 0: 禁止目的地地址增量模式 1: 使能目的地地址增量模式 只能在 CHEN = 0 时对此位域执行写操作。
Reserved	Bit 11	—	保留
SDWSEL	Bit 10-9	R/W	来源传输数据宽度选择位

			b00: 字节 b01: 半字 b10: 字 b11: 保留 只能在 CHEN = 0 时对此位域执行写操作。
SINC	Bit 8	R/W	来源地址增量模式使能位 0: 禁止来源地址增量模式 1: 使能来源地址增量模式 只能在 CHEN = 0 时对此位执行写操作。
Reserved	Bit 7-6	—	保留
CHPRI	Bit 5-4	R/W	通道优先级选择位 b00: 低 b01: 中 b10: 高 b11: 最高 只能在 CHEN = 0 时对此位域执行写操作。
M2M	Bit 3	R/W	存储器到存储器模式使能位 0: 禁止 1: 使能 只能在 CHEN = 0 时对此位执行写操作。
DIR	Bit 2	R/W	数据传输方向选择位 0: 外设到存储器 1: 存储器到外设 只能在 CHEN = 0 时对此位执行写操作。
CIRC	Bit 1	R/W	循环模式使能位 0: 禁止 1: 使能 在 CHEN = 1 时只能对此位设置为 0。
CHEN	Bit 0	R/W	通道使能位 0: 禁止 1: 使能

10.6.2.8 DMA 通道 0 源地址寄存器 (DMA_SAR0)

DMA 通道 0 源地址寄存器 （DMA_SAR0）																																
偏移地址：24 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SAR																																

SAR	Bit 31-0	R/W	来源数据起始地址寄存器 DMA 的 32 位来源起始地址。 只能在 CHEN = 0 时对此位域执行写操作。
-----	----------	-----	--

10.6.2.9 DMA 通道 0 目的地址寄存器 (DMA_DAR0)

DMA 通道 0 目的地址寄存器 （DMA_DAR0）																																
偏移地址：28 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
DAR																																

DAR	Bit 31-0	R/W	目的地数据起始地址 DMA 的 32 位目的地起始地址。 只能在 CHEN = 0 时对此位域执行写操作。
-----	----------	-----	---

10. 6. 2. 10 DMA 通道 0 数据传输数量寄存器 (DMA_NDT0)

DMA 通道 0 数据传输数量寄存器 （DMA_NDT0）																															
偏移地址：2C _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NRDT																TNDT															

NRDT	Bit 31-16	R	剩余数据传输数量 DMA 的剩余数据传输数量。
TNDT	Bit 15-0	R/W	总数据传输数量 DMA 的总数据传输数量。 只能在 CHEN = 0 时对此位域执行写操作。

10.6.2.11 DMA 通道 1 控制寄存器 (DMA_CON1)

DMA 通道 1 控制寄存器 （DMA_CON1）																															
偏移地址：30 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												MAX_BURST				Reserved	DDWSEL		DINC	Reserved	SDWSEL		SINC	Reserved	CHPRI		M2M	DIR	CIRC	CHEN	

Reserved	Bit 31-20	—	保留
MAX_BURST	Bit 19-16	R/W	控制器重新仲裁前的DMA 传输次数 b0000: 发生 1 次DMA传输后仲裁 b0001: 发生 2 次DMA传输后仲裁 b0010: 发生 4 次DMA传输后仲裁 b0011: 发生 8 次DMA传输后仲裁 b0100: 发生 16 次DMA传输后仲裁 b0101: 发生 32 次DMA传输后仲裁 b0110: 发生 64 次DMA传输后仲裁 b0111: 发生 128 次DMA传输后仲裁 b1000: 发生 256 次DMA传输后仲裁 b1001: 发生 512 次DMA传输后仲裁 b1010-b1111: 发生 1024 次DMA传输后仲裁。 只能在 CHEN = 0 时对此位域执行写操作。 该位域仅在DMA_CH1_SELCON寄存器的 SINGLE位为0时有效, 当SINGLE=1时固定为发生 1 次DMA传输后仲裁。
Reserved	Bit 15	—	保留
DDWSEL	Bit 14-13	R/W	目的地传输数据宽度选择位 b00: 字节 b01: 半字 b10: 字 b11: 保留 只能在 CHEN = 0 时对此位域执行写操作。
DINC	Bit 12	R/W	目的地地址增量模式使能位 0: 禁止目的地地址增量模式 1: 使能目的地地址增量模式 只能在 CHEN = 0 时对此位域执行写操作。
Reserved	Bit 11	—	保留

SDWSEL	Bit 10-9	R/W	来源传输数据宽度选择位 b00: 字节 b01: 半字 b10: 字 b11: 保留 只能在 CHEN = 0 时对此位域执行写操作。
SINC	Bit 8	R/W	来源地址增量模式使能位 0: 禁止来源地址增量模式 1: 使能来源地址增量模式 只能在 CHEN = 0 时对此位执行写操作。
Reserved	Bit 7-6	—	保留
CHPRI	Bit 5-4	R/W	通道优先级选择位 b00: 低 b01: 中 b10: 高 b11: 最高 只能在 CHEN = 0 时对此位域执行写操作。
M2M	Bit 3	R/W	存储器到存储器模式使能位 0: 禁止 1: 使能 只能在 CHEN = 0 时对此位执行写操作。
DIR	Bit 2	R/W	数据传输方向选择位 0: 外设到存储器 1: 存储器到外设 只能在 CHEN = 0 时对此位执行写操作。
CIRC	Bit 1	R/W	循环模式使能位 0: 禁止 1: 使能 在 CHEN = 1 时只能对此位设置为 0。
CHEN	Bit 0	R/W	通道使能位 0: 禁止 1: 使能

10.6.2.12 DMA 通道 1 源地址寄存器 (DMA_SAR1)

DMA 通道 1 源地址寄存器 (DMA_SAR1)																															
偏移地址: 34 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAR																															

SAR	Bit 31-0	R/W	来源数据起始地址寄存器 DMA 的 32 位来源起始地址。 只能在 CHEN = 0 时对此位域执行写操作。
-----	----------	-----	--

10.6.2.13 DMA 通道 1 目的地址寄存器 (DMA_DAR1)

DMA 通道 1 目的地址寄存器 (DMA_DAR1)																															
偏移地址: 38 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAR																															

DAR	Bit 31-0	R/W	目的地数据起始地址 DMA 的 32 位目的地起始地址。 只能在 CHEN = 0 时对此位域执行写操作。
-----	----------	-----	---

10. 6. 2. 14 DMA 通道 1 数据传输数量寄存器 (DMA_NDT1)

DMA 通道 1 数据传输数量寄存器 （DMA_NDT1）																															
偏移地址：3C _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NRDT																TNDT															

NRDT	Bit 31-16	R	剩余数据传输数量 DMA 的剩余数据传输数量。
TNDT	Bit 15-0	R/W	总数据传输数量 DMA 的总数据传输数量。 只能在 CHEN = 0 时对此位域执行写操作。

10. 6. 2. 15 DMA 通道 2 控制寄存器 (DMA_CON2)

DMA 通道 2 控制寄存器 （DMA_CON2）																															
偏移地址：40 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												MAX_BURST				Reserved	DDWSEL		DINC	Reserved	SDWSEL		SINC	Reserved	CHPRI		M2M	DIR	CIRC	CHEN	

Reserved	Bit 31-20	—	保留
MAX_BURST	Bit 19-16	R/W	控制器重新仲裁前的DMA 传输次数 b0000: 发生 1 次DMA传输后仲裁 b0001: 发生 2 次DMA传输后仲裁 b0010: 发生 4 次DMA传输后仲裁 b0011: 发生 8 次DMA传输后仲裁 b0100: 发生 16 次DMA传输后仲裁 b0101: 发生 32 次DMA传输后仲裁 b0110: 发生 64 次DMA传输后仲裁 b0111: 发生 128 次DMA传输后仲裁 b1000: 发生 256 次DMA传输后仲裁 b1001: 发生 512 次DMA传输后仲裁 b1010-b1111: 发生 1024 次DMA传输后仲裁。 只能在 CHEN = 0 时对此位域执行写操作。 该位域仅在DMA_CH2_SELCON寄存器的 SINGLE位为0时有效, 当SINGLE=1时固定为发生 1 次DMA传输后仲裁。
Reserved	Bit 15	—	保留
DDWSEL	Bit 14-13	R/W	目的地传输数据宽度选择位 b00: 字节 b01: 半字 b10: 字 b11: 保留 只能在 CHEN = 0 时对此位域执行写操作。
DINC	Bit 12	R/W	目的地地址增量模式使能位 0: 禁止目的地地址增量模式 1: 使能目的地地址增量模式 只能在 CHEN = 0 时对此位域执行写操作。
Reserved	Bit 11	—	保留
SDWSEL	Bit 10-9	R/W	来源传输数据宽度选择位

			b00: 字节 b01: 半字 b10: 字 b11: 保留 只能在 CHEN = 0 时对此位域执行写操作。
SINC	Bit 8	R/W	来源地址增量模式使能位 0: 禁止来源地址增量模式 1: 使能来源地址增量模式 只能在 CHEN = 0 时对此位执行写操作。
Reserved	Bit 7-6	—	保留
CHPRI	Bit 5-4	R/W	通道优先级选择位 b00: 低 b01: 中 b10: 高 b11: 最高 只能在 CHEN = 0 时对此位域执行写操作。
M2M	Bit 3	R/W	存储器到存储器模式使能位 0: 禁止 1: 使能 只能在 CHEN = 0 时对此位执行写操作。
DIR	Bit 2	R/W	数据传输方向选择位 0: 外设到存储器 1: 存储器到外设 只能在 CHEN = 0 时对此位执行写操作。
CIRC	Bit 1	R/W	循环模式使能位 0: 禁止 1: 使能 在 CHEN = 1 时只能对此位设置为 0。
CHEN	Bit 0	R/W	通道使能位 0: 禁止 1: 使能

10. 6. 2. 16 DMA 通道 2 源地址寄存器 (DMA_SAR2)

DMA 通道 2 源地址寄存器 (DMA_SAR2)																															
偏移地址: 44 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAR																															

SAR	Bit 31-0	R/W	来源数据起始地址寄存器 DMA 的 32 位来源起始地址。 只能在 CHEN = 0 时对此位域执行写操作。
-----	----------	-----	--

10. 6. 2. 17 DMA 通道 2 目的地址寄存器 (DMA_DAR2)

DMA 通道 2 目的地址寄存器 (DMA_DAR2)																															
偏移地址: 48 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAR																															

DAR	Bit 31-0	R/W	目的地数据起始地址 DMA 的 32 位目的地起始地址。 只能在 CHEN = 0 时对此位域执行写操作。
-----	----------	-----	---

10. 6. 2. 18 DMA 通道 2 数据传输数量寄存器 (DMA_NDT2)

DMA 通道 2 数据传输数量寄存器 （DMA_NDT2）																															
偏移地址：4C _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NRDT																TNDT															

NRDT	Bit 31-16	R	剩余数据传输数量 DMA 的剩余数据传输数量。
TNDT	Bit 15-0	R/W	总数据传输数量 DMA 的总数据传输数量。 只能在 CHEN = 0 时对此位域执行写操作。

10. 6. 2. 19 DMA 通道 3 控制寄存器 (DMA_CON3)

DMA 通道 3 控制寄存器 （DMA_CON3）																															
偏移地址：50 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												MAX_BURST				Reserved	DDWSEL		DINC	Reserved	SDWSEL		SINC	Reserved	CHPRI		M2M	DIR	CIRC	CHEN	

Reserved	Bit 31-20	—	保留
MAX_BURST	Bit 19-16	R/W	控制器重新仲裁前的DMA 传输次数 b0000: 发生 1 次DMA传输后仲裁 b0001: 发生 2 次DMA传输后仲裁 b0010: 发生 4 次DMA传输后仲裁 b0011: 发生 8 次DMA传输后仲裁 b0100: 发生 16 次DMA传输后仲裁 b0101: 发生 32 次DMA传输后仲裁 b0110: 发生 64 次DMA传输后仲裁 b0111: 发生 128 次DMA传输后仲裁 b1000: 发生 256 次DMA传输后仲裁 b1001: 发生 512 次DMA传输后仲裁 b1010-b1111: 发生 1024 次DMA传输后仲裁。 只能在 CHEN = 0 时对此位域执行写操作。 该位域仅在DMA_CH3_SELCON寄存器的 SINGLE位为0时有效, 当SINGLE=1时固定为发生 1 次DMA传输后仲裁。
Reserved	Bit 15	—	保留
DDWSEL	Bit 14-13	R/W	目的地传输数据宽度选择位 b00: 字节 b01: 半字 b10: 字 b11: 保留 只能在 CHEN = 0 时对此位域执行写操作。
DINC	Bit 12	R/W	目的地地址增量模式使能位 0: 禁止目的地地址增量模式 1: 使能目的地地址增量模式 只能在 CHEN = 0 时对此位域执行写操作。
Reserved	Bit 11	—	保留
SDWSEL	Bit 10-9	R/W	来源传输数据宽度选择位

			b00: 字节 b01: 半字 b10: 字 b11: 保留 只能在 CHEN = 0 时对此位域执行写操作。
SINC	Bit 8	R/W	来源地址增量模式使能位 0: 禁止来源地址增量模式 1: 使能来源地址增量模式 只能在 CHEN = 0 时对此位执行写操作。
Reserved	Bit 7-6	—	保留
CHPRI	Bit 5-4	R/W	通道优先级选择位 b00: 低 b01: 中 b10: 高 b11: 最高 只能在 CHEN = 0 时对此位域执行写操作。
M2M	Bit 3	R/W	存储器到存储器模式使能位 0: 禁止 1: 使能 只能在 CHEN = 0 时对此位执行写操作。
DIR	Bit 2	R/W	数据传输方向选择位 0: 外设到存储器 1: 存储器到外设 只能在 CHEN = 0 时对此位执行写操作。
CIRC	Bit 1	R/W	循环模式使能位 0: 禁止 1: 使能 在 CHEN = 1 时只能对此位设置为 0。
CHEN	Bit 0	R/W	通道使能位 0: 禁止 1: 使能

10. 6. 2. 20 DMA 通道 3 源地址寄存器 (DMA_SAR3)

DMA 通道 3 源地址寄存器 (DMA_SAR3)																															
偏移地址: 54 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAR																															

SAR	Bit 31-0	R/W	来源数据起始地址寄存器 DMA 的 32 位来源起始地址。 只能在 CHEN = 0 时对此位域执行写操作。
-----	----------	-----	--

10. 6. 2. 21 DMA 通道 3 目的地址寄存器 (DMA_DAR3)

DMA 通道 3 目的地址寄存器 (DMA_DAR3)																															
偏移地址: 58 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAR																															

DAR	Bit 31-0	R/W	目的地数据起始地址 DMA 的 32 位目的地起始地址。 只能在 CHEN = 0 时对此位域执行写操作。
-----	----------	-----	---

10. 6. 2. 22 DMA 通道 3 数据传输数量寄存器 (DMA_NDT3)

DMA 通道 3 数据传输数量寄存器 （DMA_NDT3）																																
偏移地址：5C _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
NRDT																TNDT																

NRDT	Bit 31-16	R	剩余数据传输数量 DMA 的剩余数据传输数量。
TNDT	Bit 15-0	R/W	总数据传输数量 DMA 的总数据传输数量。 只能在 CHEN = 0 时对此位域执行写操作。

10. 6. 2. 23 DMA 通道 4 控制寄存器 (DMA_CON4)

DMA 通道 4 控制寄存器 （DMA_CON4）																															
偏移地址：60 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												MAX_BURST				Reserved	DDWSEL		DINC	Reserved	SDWSEL		SINC	Reserved	CHPRI		M2M	DIR	CIRC	CHEN	

Reserved	Bit 31-20	—	保留
MAX_BURST	Bit 19-16	R/W	控制器重新仲裁前的DMA 传输次数 b0000: 发生 1 次DMA传输后仲裁 b0001: 发生 2 次DMA传输后仲裁 b0010: 发生 4 次DMA传输后仲裁 b0011: 发生 8 次DMA传输后仲裁 b0100: 发生 16 次DMA传输后仲裁 b0101: 发生 32 次DMA传输后仲裁 b0110: 发生 64 次DMA传输后仲裁 b0111: 发生 128 次DMA传输后仲裁 b1000: 发生 256 次DMA传输后仲裁 b1001: 发生 512 次DMA传输后仲裁 b1010-b1111: 发生 1024 次DMA传输后仲裁。 只能在 CHEN = 0 时对此位域执行写操作。 该位域仅在DMA_CH4_SELCON寄存器的 SINGLE位为0时有效, 当SINGLE=1时固定为发生 1 次DMA传输后仲裁。
Reserved	Bit 15	—	保留
DDWSEL	Bit 14-13	R/W	目的地传输数据宽度选择位 b00: 字节 b01: 半字 b10: 字 b11: 保留 只能在 CHEN = 0 时对此位域执行写操作。
DINC	Bit 12	R/W	目的地地址增量模式使能位 0: 禁止目的地地址增量模式 1: 使能目的地地址增量模式 只能在 CHEN = 0 时对此位域执行写操作。
Reserved	Bit 11	—	保留
SDWSEL	Bit 10-9	R/W	来源传输数据宽度选择位

			b00: 字节 b01: 半字 b10: 字 b11: 保留 只能在 CHEN = 0 时对此位域执行写操作。
SINC	Bit 8	R/W	来源地址增量模式使能位 0: 禁止来源地址增量模式 1: 使能来源地址增量模式 只能在 CHEN = 0 时对此位执行写操作。
Reserved	Bit 7-6	—	保留
CHPRI	Bit 5-4	R/W	通道优先级选择位 b00: 低 b01: 中 b10: 高 b11: 最高 只能在 CHEN = 0 时对此位域执行写操作。
M2M	Bit 3	R/W	存储器到存储器模式使能位 0: 禁止 1: 使能 只能在 CHEN = 0 时对此位执行写操作。
DIR	Bit 2	R/W	数据传输方向选择位 0: 外设到存储器 1: 存储器到外设 只能在 CHEN = 0 时对此位执行写操作。
CIRC	Bit 1	R/W	循环模式使能位 0: 禁止 1: 使能 在 CHEN = 1 时只能对此位设置为 0。
CHEN	Bit 0	R/W	通道使能位 0: 禁止 1: 使能

10. 6. 2. 24 DMA 通道 4 源地址寄存器 (DMA_SAR4)

DMA 通道 4 源地址寄存器 （DMA_SAR4）																																
偏移地址：64 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SAR																																

SAR	Bit 31-0	R/W	来源数据起始地址寄存器 DMA 的 32 位来源起始地址。 只能在 CHEN = 0 时对此位域执行写操作。
-----	----------	-----	---

10. 6. 2. 25 DMA 通道 4 目的地址寄存器 (DMA_DAR4)

DMA 通道 4 目的地址寄存器 （DMA_DAR4）																																
偏移地址：68 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
DAR																																

DAR	Bit 31-0	R/W	目的地数据起始地址 DMA 的 32 位目的地起始地址。 只能在 CHEN = 0 时对此位域执行写操作。
-----	----------	-----	--

10. 6. 2. 26 DMA 通道 4 数据传输数量寄存器 (DMA_NDT4)

DMA 通道 4 数据传输数量寄存器 （DMA_NDT4）																																
偏移地址：6C _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
NRDT																TNDT																

NRDT	Bit 31-16	R	剩余数据传输数量 DMA 的剩余数据传输数量。
TNDT	Bit 15-0	R/W	总数据传输数量 DMA 的总数据传输数量。 只能在 CHEN = 0 时对此位域执行写操作。

10. 6. 2. 27 DMA 通道 5 控制寄存器 (DMA_CON5)

DMA 通道 5 控制寄存器 （DMA_CON5）																															
偏移地址：70 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												MAX_BURST				Reserved	DDWSEL		DINC	Reserved	SDWSEL		SINC	Reserved	CHPRI		M2M	DIR	CIRC	CHEN	

Reserved	Bit 31-20	—	保留
MAX_BURST	Bit 19-16	R/W	控制器重新仲裁前的DMA 传输次数 b0000: 发生 1 次DMA传输后仲裁 b0001: 发生 2 次DMA传输后仲裁 b0010: 发生 4 次DMA传输后仲裁 b0011: 发生 8 次DMA传输后仲裁 b0100: 发生 16 次DMA传输后仲裁 b0101: 发生 32 次DMA传输后仲裁 b0110: 发生 64 次DMA传输后仲裁 b0111: 发生 128 次DMA传输后仲裁 b1000: 发生 256 次DMA传输后仲裁 b1001: 发生 512 次DMA传输后仲裁 b1010-b1111: 发生 1024 次DMA传输后仲裁。 只能在 CHEN = 0 时对此位域执行写操作。 该位域仅在DMA_CH5_SELCON寄存器的 SINGLE位为0时有效, 当SINGLE=1时固定为发生 1 次DMA传输后仲裁。
Reserved	Bit 15	—	保留
DDWSEL	Bit 14-13	R/W	目的地传输数据宽度选择位 b00: 字节 b01: 半字 b10: 字 b11: 保留 只能在 CHEN = 0 时对此位域执行写操作。
DINC	Bit 12	R/W	目的地地址增量模式使能位 0: 禁止目的地地址增量模式 1: 使能目的地地址增量模式 只能在 CHEN = 0 时对此位执行写操作。
Reserved	Bit 11	—	保留
SDWSEL	Bit 10-9	R/W	来源传输数据宽度选择位

			b00: 字节 b01: 半字 b10: 字 b11: 保留 只能在 CHEN = 0 时对此位域执行写操作。
SINC	Bit 8	R/W	来源地址增量模式使能位 0: 禁止来源地址增量模式 1: 使能来源地址增量模式 只能在 CHEN = 0 时对此位执行写操作。
Reserved	Bit 7-6	—	保留
CHPRI	Bit 5-4	R/W	通道优先级选择位 b00: 低 b01: 中 b10: 高 b11: 最高 只能在 CHEN = 0 时对此位域执行写操作。
M2M	Bit 3	R/W	存储器到存储器模式使能位 0: 禁止 1: 使能 只能在 CHEN = 0 时对此位执行写操作。
DIR	Bit 2	R/W	数据传输方向选择位 0: 外设到存储器 1: 存储器到外设 只能在 CHEN = 0 时对此位执行写操作。
CIRC	Bit 1	R/W	循环模式使能位 0: 禁止 1: 使能 在 CHEN = 1 时只能对此位设置为 0。
CHEN	Bit 0	R/W	通道使能位 0: 禁止 1: 使能

10. 6. 2. 28 DMA 通道 5 源地址寄存器 (DMA_SAR5)

DMA 通道 5 源地址寄存器 （DMA_SAR5）																																
偏移地址：74 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SAR																																

SAR	Bit 31-0	R/W	来源数据起始地址寄存器 DMA 的 32 位来源起始地址。 只能在 CHEN = 0 时对此位域执行写操作。
-----	----------	-----	---

10. 6. 2. 29 DMA 通道 5 目的地址寄存器 (DMA_DAR5)

DMA 通道 5 目的地址寄存器 （DMA_DAR5）																																
偏移地址：78 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
DAR																																

DAR	Bit 31-0	R/W	目的地数据起始地址 DMA 的 32 位目的地起始地址。 只能在 CHEN = 0 时对此位域执行写操作。
-----	----------	-----	--

10. 6. 2. 30 DMA 通道 5 数据传输数量寄存器 (DMA_NDT5)

DMA 通道 5 数据传输数量寄存器 （DMA_NDT5）																															
偏移地址：7C _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NRDT																TNDT															

NRDT	Bit 31-16	R	剩余数据传输数量 DMA 的剩余数据传输数量。
TNDT	Bit 15-0	R/W	总数据传输数量 DMA 的总数据传输数量。 只能在 CHEN = 0 时对此位域执行写操作。

10. 6. 2. 31 DMA 通道 6 控制寄存器 (DMA_CON6)

DMA 通道 6 控制寄存器 （DMA_CON6）																															
偏移地址：80 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												MAX_BURST				Reserved	DDWSEL		DINC	Reserved	SDWSEL		SINC	Reserved	CHPRI		M2M	DIR	CIRC	CHEN	

Reserved	Bit 31-20	—	保留
MAX_BURST	Bit 19-16	R/W	控制器重新仲裁前的DMA 传输次数 b0000: 发生 1 次DMA传输后仲裁 b0001: 发生 2 次DMA传输后仲裁 b0010: 发生 4 次DMA传输后仲裁 b0011: 发生 8 次DMA传输后仲裁 b0100: 发生 16 次DMA传输后仲裁 b0101: 发生 32 次DMA传输后仲裁 b0110: 发生 64 次DMA传输后仲裁 b0111: 发生 128 次DMA传输后仲裁 b1000: 发生 256 次DMA传输后仲裁 b1001: 发生 512 次DMA传输后仲裁 b1010-b1111: 发生 1024 次DMA传输后仲裁。 只能在 CHEN = 0 时对此位域执行写操作。 该位域仅在DMA_CH6_SELCON寄存器的 SINGLE位为0时有效, 当SINGLE=1时固定为发生 1 次DMA传输后仲裁。
Reserved	Bit 15	—	保留
DDWSEL	Bit 14-13	R/W	目的地传输数据宽度选择位 b00: 字节 b01: 半字 b10: 字 b11: 保留 只能在 CHEN = 0 时对此位域执行写操作。
DINC	Bit 12	R/W	目的地地址增量模式使能位 0: 禁止目的地地址增量模式 1: 使能目的地地址增量模式 只能在 CHEN = 0 时对此位执行写操作。
Reserved	Bit 11	—	保留
SDWSEL	Bit 10-9	R/W	来源传输数据宽度选择位

			b00: 字节 b01: 半字 b10: 字 b11: 保留 只能在 CHEN = 0 时对此位域执行写操作。
SINC	Bit 8	R/W	来源地址增量模式使能位 0: 禁止来源地址增量模式 1: 使能来源地址增量模式 只能在 CHEN = 0 时对此位执行写操作。
Reserved	Bit 7-6	—	保留
CHPRI	Bit 5-4	R/W	通道优先级选择位 b00: 低 b01: 中 b10: 高 b11: 最高 只能在 CHEN = 0 时对此位域执行写操作。
M2M	Bit 3	R/W	存储器到存储器模式使能位 0: 禁止 1: 使能 只能在 CHEN = 0 时对此位执行写操作。
DIR	Bit 2	R/W	数据传输方向选择位 0: 外设到存储器 1: 存储器到外设 只能在 CHEN = 0 时对此位执行写操作。
CIRC	Bit 1	R/W	循环模式使能位 0: 禁止 1: 使能 在 CHEN = 1 时只能对此位设置为 0。
CHEN	Bit 0	R/W	通道使能位 0: 禁止 1: 使能

10. 6. 2. 32 DMA 通道 6 源地址寄存器 (DMA_SAR6)

DMA 通道 6 源地址寄存器 （DMA_SAR6）																																
偏移地址：84 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SAR																																

SAR	Bit 31-0	R/W	来源数据起始地址寄存器 DMA 的 32 位来源起始地址。 只能在 CHEN = 0 时对此位域执行写操作。
-----	----------	-----	---

10. 6. 2. 33 DMA 通道 6 目的地址寄存器 (DMA_DAR6)

DMA 通道 6 目的地址寄存器 （DMA_DAR6）																																
偏移地址：88 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
DAR																																

DAR	Bit 31-0	R/W	目的地数据起始地址 DMA 的 32 位目的地起始地址。 只能在 CHEN = 0 时对此位域执行写操作。
-----	----------	-----	--

10. 6. 2. 34 DMA 通道 6 数据传输数量寄存器 (DMA_NDT6)

DMA 通道 6 数据传输数量寄存器 （DMA_NDT6）																															
偏移地址：8C _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NRDT																TNDT															

NRDT	Bit 31-16	R	剩余数据传输数量 DMA 的剩余数据传输数量。
TNDT	Bit 15-0	R/W	总数据传输数量 DMA 的总数据传输数量。 只能在 CHEN = 0 时对此位域执行写操作。

10. 6. 2. 35 DMA通道x复用选择寄存器 (DMA_CHx_SELCON) (x=0...6)

DMA 通道 0 复用选择寄存器 (DMA_CH0_SELCON)																															
偏移地址: 4*x+00 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																			MSEL				Reserved				MSIGSEL				

SINGLE	Bit 31	R/W	SINGLE 传输使能位 0: 禁止 1: 使能 (控制器在每次 DMA 传输后均进行仲裁) 注: 该位为 1 时, 对应 DMA_CONx 寄存器的 MAX_BURST 位无效。
Reserved	Bit 30-13	—	保留
MSEL	Bit 12-8	R/W	输入源选择位 00000: 无输入 00001: GPIO 00010: ADC 00011: CRC 00100: EUART0 00101: CUART3 00110: CUART0 00111: CUART1 01000: CUART2

			01001: SPI0 01010: SPI1 01011: I2C0 01100: I2C1 01101: AD16C6T 01110: GP16C4T0 01111: GP16C4T1 10000: GP16C4T2 10001: 保留 10010: BS16T0/1 10100: MCA/SVA 其他: 保留
Reserved	Bit 7-4	—	保留
MSIGSEL	Bit 3-0	R/W	MSEL=00000 MSIGSEL 无效 MSEL=00001 0000: EXTI0 0001: EXTI1 0010: EXTI2 0011: EXTI3 0100: EXTI4 0101: EXTI5 0110: EXTI6 0111: EXTI7 1000: EXTI8 1001: EXTI9 1010: EXTI10 1011: EXTI11 1100: EXTI12 1101: EXTI13 1110: EXTI14 1111: EXTI15 MSEL=00010 (SRC=ADC) ADC DMA 申请 MSEL=00011 (SRC=CRC) CRC DMA 申请 MSEL=00100,00101,00110,00111,01000 (SRC=UART0~4) 0000: 接收缓冲器非空申请 0001: 发送缓冲器空申请 MSEL=01001, 01010 (SRC=SPI0~1) 0000: 接收缓冲器非空申请 0001: 发送缓冲器空申请 MSEL=01011, 01100 (I2C0~1)

			0000: 接收缓冲器非空申请 0001: 发送缓冲器空申请 MSEL=01101, 01110, 01111, 10000 (SRC=AD16C6T, GP16C4T0, GP16C4T1, GP16C4T2) 0000: 捕捉比较通道 1 申请 0001: 捕捉比较通道 2 申请 0010: 捕捉比较通道 3 申请 0011: 捕捉比较通道 4 申请 0100: TIMER 触发申请 0101: TIMER 比较匹配申请 0110: TIMER 更新事件申请 MSEL=10010 (SRC=BS16T) 0000: BS16T0 DMA 申请 0001: BS16T1 DMA 申请 MSEL=10100 (SRC=MCASVA) 0000: MCA RX DMA 申请 0001: MCA TX DMA 申请
--	--	--	---

第11章 外设互联（PIS）

11.1 概述

PIS（Peripheral Interaction System）在微控制器中作为外设互联的桥接口使用，利用 PIS 可实现外设之间的相互触发，控制及自动化工作，提高系统的实时性和快速响应能力，可避免占用过多的 CPU 资源并简化软件工作，提高系统效率。

11.2 特性

- ◆ 最多支持 8 个 PIS 通道选择
- ◆ 支持同步和异步通道选择
- ◆ 支持信号有效边缘选择
- ◆ UART 输出调制可配置
- ◆ 所有 GPIO 均可用作 PIS 输入或输出

11.3 结构框图

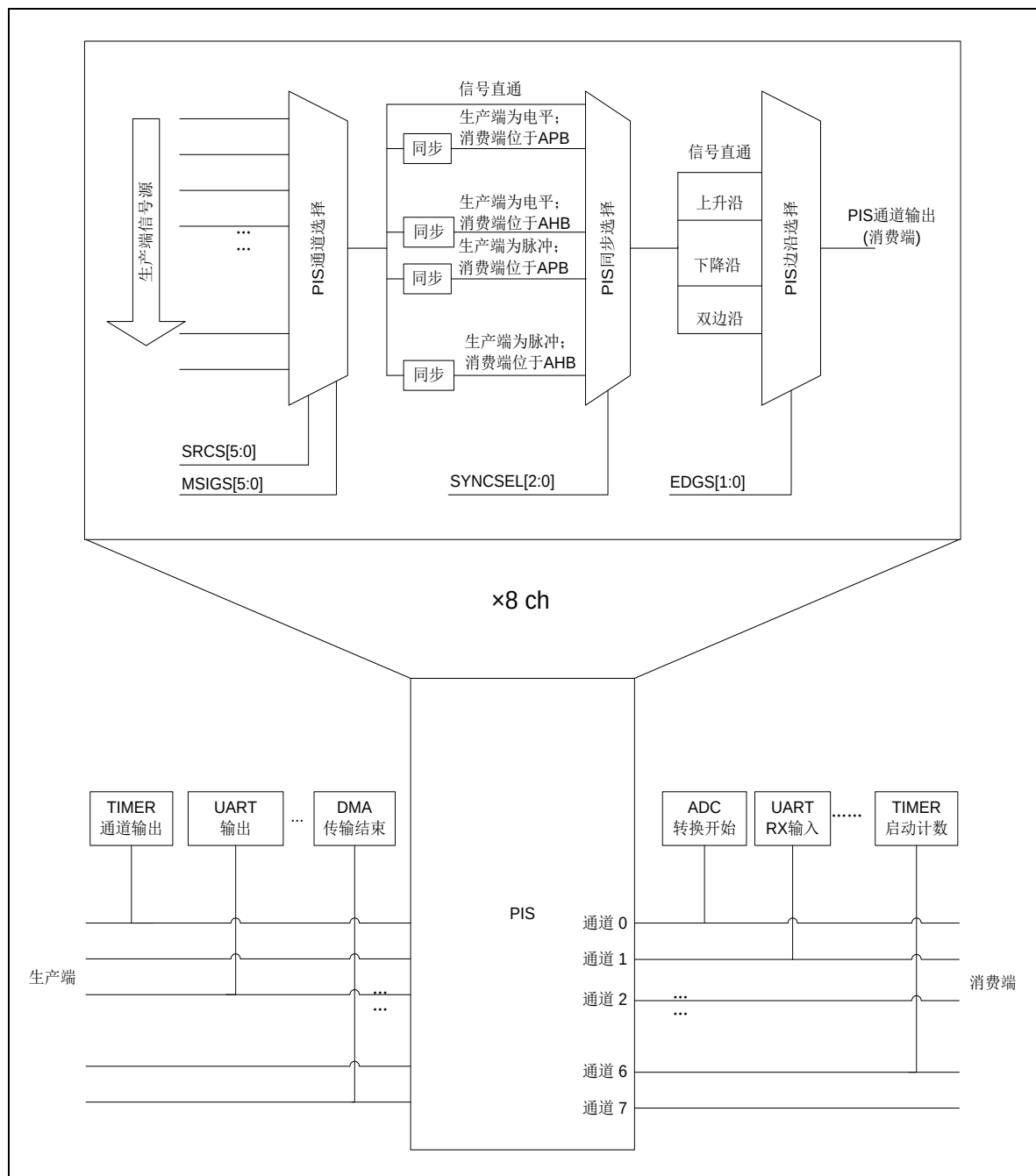


图 11-1 PIS 结构框图

11.4 功能描述

外设互联可支持 8 个通道资源，每个通道均可对生产端信号进行多路复用。针对不同应用可灵活配置。

11.4.1 生产端信号

外设互联的生产端信号如下表所示：

	生产端	输出形式	异步支持	位置
GPIO	PA0~15、PB0~15、PC0~15、PD0~11 输入 (由 SYSCFG_PISIOCFG 配置)	电平	是	AHB 外设
UART	发送空状态中断	脉冲	—	APB 外设
	接收数据中断	脉冲	—	
	RTS 输出	电平	—	
	TX 输出	电平	—	
SPI	接收缓冲器非空	脉冲	—	APB 外设
	发送缓冲器空	脉冲	—	
	片选输出	电平	—	
I2C	接收缓冲器非空	电平	—	APB 外设
	发送缓冲器空	电平	—	
TIMER	更新事件	脉冲	—	APB 外设
	触发事件	脉冲	—	
	输入捕获	脉冲	—	
	输出比较	脉冲	—	
ADC	标准转换组转换结束	脉冲	—	APB 外设
	插入组转换结束	脉冲	—	
LVD	LVD 检测输出	电平	是	—
DMA	DMA 通道完成	脉冲	是	AHB 外设

表 11-1 生产端信号

11.4.2 消费端信号

外设互联的消费端信号如下表所示：

	消费端	输入形式	异步支持	位置
UART	RX 输入	电平	—	APB 外设
SPI	RX 输入	电平	—	APB 外设
	CLK 输入	电平	—	
TIMER	启动	脉冲	—	APB 外设
	停止	脉冲	—	
	清零	脉冲	—	
	比较捕捉通道输入	电平或脉冲	—	

	通道输出清除	电平或脉冲	—	
ADC	启动标准转换组转换	脉冲	—	APB 外设
	启动插入组转换	脉冲	—	
GPIO_EXT	GPIO 外部中断	电平	—	IO 端口

表 11-2 消费端信号

消费端信号的 PIS 通道分配如下表所示：

	消费端	源通道	备注
UART0	RX 输入	PIS 通道 3	由 PIS_TAR_CON1.UART0_RXD_SEL 设定
UART1	RX 输入	PIS 通道 4	由 PIS_TAR_CON1.UART1_RXD_SEL 设定
UART2	RX 输入	PIS 通道 5	由 PIS_TAR_CON1.UART2_RXD_SEL 设定
UART3	RX 输入	PIS 通道 6	由 PIS_TAR_CON1.UART3_RXD_SEL 设定
UART4	RX 输入	PIS 通道 7	由 PIS_TAR_CON1.UART4_RXD_SEL 设定
SPI0	RX 输入	PIS 通道 0	由 PIS_TAR_CON1.SPI0_RX_SEL 设定
	CLK 输入	PIS 通道 1	由 PIS_TAR_CON1.SPI0_CLK_SEL 设定
SPI1	RX 输入	PIS 通道 2	由 PIS_TAR_CON1.SPI1_RX_SEL 设定
	CLK 输入	PIS 通道 3	由 PIS_TAR_CON1.SPI1_CLK_SEL 设定
TIM0 (AD16C6T)	ITR0	PIS 通道 4	PCLK 同步
	ITR1	PIS 通道 5	PCLK 同步
	ITR2	PIS 通道 6	PCLK 同步
	ITR3	PIS 通道 7	PCLK 同步
	捕捉通道 1	PIS 通道 1	由 PIS_TAR_CON0.TIM0_CH1IN_SEL 设定
	捕捉通道 2	PIS 通道 2	由 PIS_TAR_CON0.TIM0_CH2IN_SEL 设定
	捕捉通道 3	PIS 通道 3	由 PIS_TAR_CON0.TIM0_CH3IN_SEL 设定
	捕捉通道 4	PIS 通道 4	由 PIS_TAR_CON0.TIM0_CH4IN_SEL 设定
	ETR0	PIS 通道 5	由 PIS_TAR_CON0.TIM0_ETRIN_SEL 设定
	ETR4~11	PIS 通道 0~7	—
TIM1 (GP16C4T0)	ITR0	PIS 通道 4	PCLK 同步
	ITR1	PIS 通道 5	PCLK 同步
	ITR2	PIS 通道 6	PCLK 同步
	ITR3	PIS 通道 7	PCLK 同步
	捕捉通道 1	PIS 通道 1	由 PIS_TAR_CON0.TIM1_CH1IN_SEL 设定
	捕捉通道 2	PIS 通道 2	由 PIS_TAR_CON0.TIM1_CH2IN_SEL 设定
	捕捉通道 3	PIS 通道 3	由 PIS_TAR_CON0.TIM1_CH3IN_SEL 设定
	捕捉通道 4	PIS 通道 4	由 PIS_TAR_CON0.TIM1_CH4IN_SEL 设定
	ETR0	PIS 通道 6	由 PIS_TAR_CON0.TIM1_ETRIN_SEL 设定
	通道输出清除源 0	PIS 通道 0	PCLK 同步
	通道输出清除源 1	PIS 通道 1	PCLK 同步
	通道输出清除源 2	PIS 通道 2	PCLK 同步
	通道输出清除源 3	PIS 通道 3	PCLK 同步
TIM2 (GP16C4T1)	ITR0	PIS 通道 4	PCLK 同步
	ITR1	PIS 通道 5	PCLK 同步

	消费端	源通道	备注
	ITR2	PIS 通道 6	PCLK 同步
	ITR3	PIS 通道 7	PCLK 同步
	捕捉通道 1	PIS 通道 5	由 PIS_TAR_CON0.TIM2_CH1IN_SEL 设定
	捕捉通道 2	PIS 通道 6	由 PIS_TAR_CON0.TIM2_CH2IN_SEL 设定
	捕捉通道 3	PIS 通道 7	由 PIS_TAR_CON0.TIM2_CH3IN_SEL 设定
	捕捉通道 4	PIS 通道 4	由 PIS_TAR_CON0.TIM2_CH4IN_SEL 设定
	ETR0	PIS 通道 6	由 PIS_TAR_CON0.TIM2_ETRIN_SEL 设定
	通道输出清除源 0	PIS 通道 0	PCLK 同步
	通道输出清除源 1	PIS 通道 1	PCLK 同步
	通道输出清除源 2	PIS 通道 2	PCLK 同步
	通道输出清除源 3	PIS 通道 3	PCLK 同步
TIM3 (GP16C4T2)	ITR0	PIS 通道 4	PCLK 同步
	ITR1	PIS 通道 5	PCLK 同步
	ITR2	PIS 通道 6	PCLK 同步
	ITR3	PIS 通道 7	PCLK 同步
	捕捉通道 1	PIS 通道 5	由 PIS_TAR_CON0.TIM3_CH1IN_SEL 设定
	捕捉通道 2	PIS 通道 6	由 PIS_TAR_CON0.TIM3_CH2IN_SEL 设定
	捕捉通道 3	PIS 通道 7	由 PIS_TAR_CON0.TIM3_CH3IN_SEL 设定
	捕捉通道 4	PIS 通道 4	由 PIS_TAR_CON0.TIM3_CH4IN_SEL 设定
	ETR0	PIS 通道 6	由 PIS_TAR_CON0.TIM3_ETRIN_SEL 设定
	通道输出清除源 0	PIS 通道 0	PCLK 同步
	通道输出清除源 1	PIS 通道 1	PCLK 同步
	通道输出清除源 2	PIS 通道 2	PCLK 同步
	通道输出清除源 3	PIS 通道 3	PCLK 同步
LP16T	EXT_TRIG0	PIS 通道 0	PCLK 同步
	EXT_TRIG1	PIS 通道 1	PCLK 同步
	EXT_TRIG2	PIS 通道 2	PCLK 同步
	EXT_TRIG3	PIS 通道 3	PCLK 同步
GPIO	EXTI<12>	PIS 通道 0	—
	EXTI<13>	PIS 通道 1	—
	EXTI<14>	PIS 通道 2	—
	EXTI<15>	PIS 通道 3	—
ADC	启动标准转换组 转换	PIS 通道 4	—
	启动插入组转换	PIS 通道 5	—

表 11-3 消费端的 PIS 通道分配

11.4.3 PIS通道选择

PIS 的源端定义为生产端信号，PIS 的输出信号用于消费端。消费端可根据应用需要，来选择合适的生产端信号，并通过选择同步路径以保证正确采样到生产端信号。PIS 的生产端信号选择由 PIS 通道控制寄存器（PIS_CHx_CON，x=0~7）配置。PIS 通道控制寄存器的 PIS_CHx_CON.SRCS 位（x=0~7）用来选择生产端模块，配置 PIS_CHx_CON.MSIGS 位（x=0~7）则可从生产端模块的多路信号中选择一路作为生产端信号。

以下从几种情况来举例说明 PIS 的配置。

11.4.3.1 同一时钟域互联

以 GP16C4T0 和 ADC 为例，在 GP16C4T0 使用 PCLK 作为计数时钟的情况下，产生与 PCLK 同步的更新事件去触发 ADC 转换动作。可参照如下配置：

1. 通过上表可知 ADC 标准转换组转换的启动信号为 PIS 通道 4。
2. 设定寄存器 PIS_CH4_CON.SRCS 为 011100 选择 GP16C4T0 为生产端模块。
3. 设定寄存器 PIS_CH4_CON.MSIGS 为 0000，选择 GP16C4T0 的同步更新事件（PCLK 同步）作为生产端信号。
4. 设定寄存器 PIS_CH4_CON.SYNCSEL 为 000（信号直通），并将 PIS_CH4_CON.EDGS 设为 00（不输出边沿），此时 TSCKS 可任意设定。
5. 配置 ADC 选择外部触发方式进行标准转换组转换。
6. 配置 GP16C4T0 进行计数，产生更新事件后将触发 ADC 开始 AD 转换。

11.4.3.2 AHB和APB外设之间互联

以 DMA（位于 AHB）和 ADC（位于 APB）为例，ADC 完成转换后去触发 DMA 传输动作。可参照如下配置：

1. 设定寄存器 PIS_CH7_CON.SRCS 为 000110 选择 ADC 为生产端模块。
2. 设定寄存器 PIS_CH7_CON.MSIGS 为 0001，选择 ADC 的标准转换组转换结束事件（PCLK 同步）作为生产端信号。
3. 设定寄存器 PIS_CH7_CON.SYNCSEL 为 110（生产端为脉冲信号，消费端位于 AHB 时钟域），并将 PIS_CH7_CON.EDGS 设为 00（不输出边沿），此时 PIS_CH7_CON.TSCKS 设为 10。
4. 设定寄存器 DMA_CHx_SELCON，配置 DMA 选择 PIS 通道 7 触发传输。
5. 配置 ADC 开始 AD 转换。

11.4.3.3 生产端信号为异步信号

以 GPIO 和 ADC（位于 APB）为例，GPIO 事件脉冲去触发 ADC 转换动作。可参照如下配置：

1. 通过“表 11-3 消费端的 PIS 通道分配”可知 ADC 标准转换组转换的启动信号为

PIS 通道 4。

2. 设定寄存器 PIS_CH4_CON.SRCS 为 000001 选择 GPIO 为生产端模块。
3. 设定寄存器 PIS_CH4_CON.MSIGS 为 0000, 选择 PA0 事件脉冲作为生产端信号。
4. 设定寄存器 PIS_CH4_CON.SYNCSEL 为 010 (生产端为电平信号, 消费端位于 APB 时钟域), 并将 PIS_CH4_CON.EDGS 设为 01 (上升沿), 此时 TSCKS 可任意设定。
5. 配置 ADC 选择外部触发方式进行标准转换组转换。
6. 配置 GPIO 产生事件脉冲后触发 ADC 开始 AD 转换。

11.4.4 UART 输出调制

UART 的输出调制功能利用定时器 PWM 波或 BUZ 信号对 UART 的 TX 调制后发送到端口。

调制方式如下图所示:

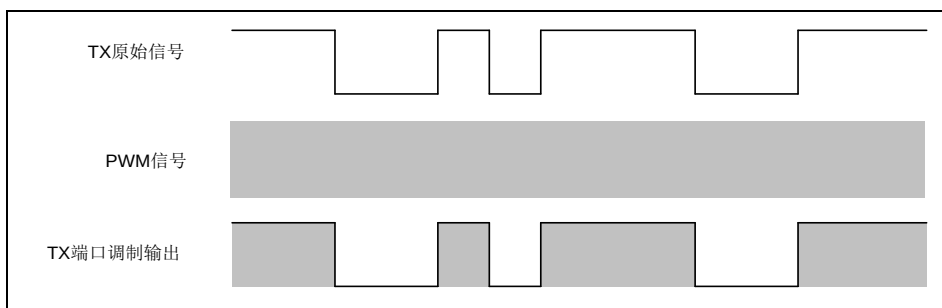


图 11-2 高电平调制输出波形图

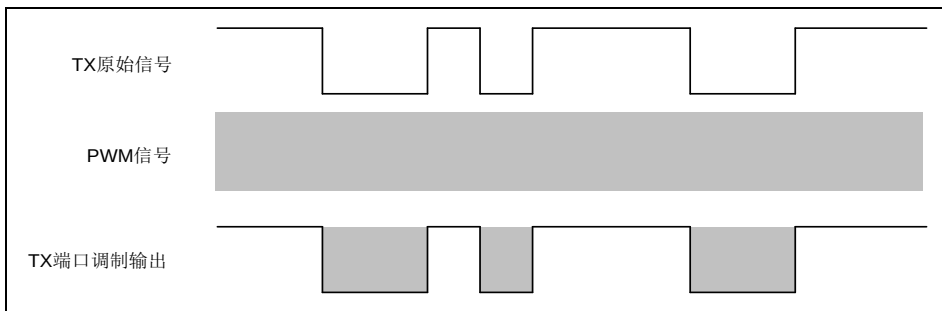


图 11-3 低电平调制输出波形图

以下为 UART 输出调制的参考配置流程 (以 AD16C6T 调制 UART0 为例):

1. 设置寄存器 UART0_TXMCR.TXMSS 为 0001, 选择 AD16C6T 作为调制源。
2. 设置寄存器 UART0_TXMCR.TXSIGS 为 0000, 选择 AD16C6T 通道 1 输出作为调制信号。
3. 设置 UART0_TXMCR.TXMLVLS 选择调制电平。
4. 配置 AD16C6T 进行计数。
5. 配置 UART 发送数据。

11.5 特殊功能寄存器

11.5.1 寄存器列表

PIS 寄存器列表		
名称	偏移地址	描述
PIS_CH0_CON	0000 _H	PIS 通道 0 控制寄存器
PIS_CH1_CON	0004 _H	PIS 通道 1 控制寄存器
PIS_CH2_CON	0008 _H	PIS 通道 2 控制寄存器
PIS_CH3_CON	000C _H	PIS 通道 3 控制寄存器
PIS_CH4_CON	0010 _H	PIS 通道 4 控制寄存器
PIS_CH5_CON	0014 _H	PIS 通道 5 控制寄存器
PIS_CH6_CON	0018 _H	PIS 通道 6 控制寄存器
PIS_CH7_CON	001C _H	PIS 通道 7 控制寄存器
Reserved	0020 _H ~003C _H	保留
PIS_CH_OER	0040 _H	PIS 通道端口输出使能寄存器
PIS_TAR_CON0	0044 _H	PIS 消费端通道控制寄存器 0
PIS_TAR_CON1	0048 _H	PIS 消费端通道控制寄存器 1
Reserved	004C _H ~005C _H	保留
UART0_TXMCR	0060 _H	UART0 输出调制控制寄存器
UART1_TXMCR	0064 _H	UART1 输出调制控制寄存器
UART2_TXMCR	0068 _H	UART2 输出调制控制寄存器
UART3_TXMCR	006C _H	UART3 输出调制控制寄存器
UART4_TXMCR	0070 _H	UART4 输出调制控制寄存器

11.5.2 寄存器描述

11.5.2.1 PIS通道x控制寄存器 (PIS_CHx_CON) (x=0..7)

PIS 通道 x 控制寄存器（PIS_CHx_CON）（x=0..15）																															
偏移地址：4*x+00 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LEVEL	PULSE	Reserved			SYNCSEL			Reserved			TSCKS		EDGS		Reserved		SRCS				Reserved				MSIGS						

LEVEL	Bit 31	R/W	软件电平产生位 该位置 1 后产生一次 PIS 触发电平，等待足够的时间后，需软件将其清零。等待时间需确保消费端时钟能够采集到至少一次高电平。
PULSE	Bit 30	R/W	软件脉冲产生触发位 该位置 1 后产生一次 PIS 触发脉冲，产生完成后自动清零。
Reserved	Bit 29-27	—	保留
SYNCSEL	Bit 26-24	R/W	信号同步选择位 000：信号直通。 在以下场合可设置信号直通： 在一些低功耗应用的场合需采用异步的电平或脉冲； 生产端信号源与消费端处于同一时钟域，无需同步。 001、010：生产端为电平信号，消费端位于 APB 时钟域 011：生产端为电平信号，消费端位于 AHB 时钟域 100、101：生产端为脉冲信号，消费端位于 APB 时钟域 110：生产端为脉冲信号，消费端位于 AHB 时钟域 111：预留
Reserved	Bit 23-20	—	保留
TSCKS	Bit 19-18	R/W	触发采样时钟选择位 在 SYNCSEL=000，且触发信号源与触发目标处于同一时钟域时，请根据触发目标时钟域进行设置，比如触发目标为 ADC，请将 TSCKS 设为 01 选择 PCLK。其余情况下，触发采样时钟是确定的，该设定无效。 00、01：PCLK

			10: HCLK 11: 预留
EDGS	Bit 17-16	R/W	边沿选择位 在输入信号为电平时使用，低功耗应用场合下的异步通道请设置为 00。 00: 不输出边沿 01: 上升沿 10: 下降沿 11: 双边沿
Reserved	Bit 15-14	—	保留
SRCS	Bit 13-8	R/W	输入源选择位 000000: 软件触发 000001: GPIO 000010: 系统时钟 000011: ACMP 000100: 保留 000101: 保留 000110: ADC0 000111: LVD 001000: UART0(EUART0) 001001: UART4(CUART3) 001010: UART1(CUART0) 001011: UART2(CUART1) 001100: UART3(CUART2) 001101: 保留 001110: SPI0 001111: SPI1 010000: I2C0 010001: I2C1 010010: TIM0 (AD16C6T) 010011~011000: 保留 011001: DMA 011010: TIM5 (BS16T1) 011011: TIM4 (BS16T0) 011100: TIM1 (GP16C4T0) 011101: TIM2 (GP16C4T1) 011110: TIM3 (GP16C4T2) 011111: TIM6 (LP16T) 其他: 保留
Reserved	Bit 7-4	—	保留
MSIGS	Bit 3-0	R/W	输入源信号选择位 SRCS=000000 (SRC=软件触发) 0000: LEVEL 电平信号 0001: PULSE 脉冲信号

		其他：保留 SRCS=000001 (SRC=GPIO, 参考 SYSCFG_PISIOCFG 寄存器的设置) 0000: Px0 0001: Px1 0010: Px2 1110: Px14 1111: Px15 SRCS=000010 (SRC=系统时钟) 0000: HSCO 时钟 0001: LSCO 时钟 0010: BUZ 时钟 其他：保留 SRCS=000011 (SRC=ACMP) 0000: ACMP0 输出 0001: ACMP1 输出 0010: ACMP2 输出 其他：保留 SRCS=000110 (SRC=ADC0) 0000: 插入组转换结束 0001: 标准转换组转换结束 0010: 模拟看门狗 其他：保留 SRCS=000111 (SRC=LVD) 0000: LVD 输出 其他：保留 SRCS=001000, 001001, 001010, 001011, 001100 (SRC=UART0, UART4, UART1, UART2, UART3) 0011: RTS 输出 0100: TX 输出 0101: 发送空状态中断 0110: 接收数据中断 其他：保留 SRCS=001110, 001111 (SRC=SPI0, SPI1) 0000: 接收缓冲器非空 0001: 发送缓冲器空 0010: 片选信号输出 其他：保留 SRCS=010000, 010001 (I2C0, I2C1) 0000: 接收缓冲器非空电平 0001: 发送缓冲器空电平 其他：保留
--	--	---

			SRCS=010010 (SRC= AD16C6T) 0000: 更新事件脉冲 0001: TRGOUT 脉冲 0010: 通道 1 捕获/比较脉冲 0100: 通道 2 捕获/比较脉冲 0110: 通道 3 捕获/比较脉冲 1000: 通道 4 捕获/比较脉冲 1010: 通道 5 比较脉冲 1100: 通道 6 比较脉冲 1110: TRGOUT2 脉冲 其他: 保留 SRCS=011001 (SRC=DMA) 0000~0110: DMA 通道 x 传输完成脉冲 0111~1110: 保留 1111: DMA 所有通道传输完成 SRCS= 011010, 011011 (SRC=BS16T1, BS16T0) 0000: 更新事件脉冲 0001: TRGOUT 脉冲 其他: 保留 SRCS=011100, 011101, 011110 (SRC= GP16C4T0, GP16C4T1, GP16C4T2) 0000: 更新事件脉冲 0001: TRGOUT 脉冲 0010: 通道 1 捕获/比较脉冲 0100: 通道 2 捕获/比较脉冲 0110: 通道 3 捕获/比较脉冲 1000: 通道 4 捕获/比较脉冲 其他: 保留 SRCS= 011111 (SRC=LP16T) 0000: 保留 0001: 更新事件脉冲 其他: 保留
--	--	--	---

11.5.2.2 PIS通道端口输出使能寄存器 (PIS_CH_OER)

PIS 通道端口输出使能寄存器（PIS_CH_OER）																															
偏移地址：40 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								OUT								Reserved								CH7OE	CH6OE	CH5OE	CH4OE	CH3OE	CH2OE	CH1OE	CH0OE

Reserved	Bit 31-24	—	保留
OUT	Bit 23-16	R	PIS 通道输出信号, 需配置对应通道输出 OE 使能 OUT<7>: PIS 通道 7 输出信号 OUT<6>: PIS 通道 6 输出信号 OUT<5>: PIS 通道 5 输出信号 OUT<4>: PIS 通道 4 输出信号 OUT<3>: PIS 通道 3 输出信号 OUT<2>: PIS 通道 2 输出信号 OUT<1>: PIS 通道 1 输出信号 OUT<0>: PIS 通道 0 输出信号
Reserved	Bit 15-8	—	保留
CH7OE	Bit 7	R/W	PIS 通道 7 输出至端口使能位 0: 输出到端口禁止 1: 输出到端口使能
CH6OE	Bit 6	R/W	PIS 通道 6 输出至端口使能位 0: 输出到端口禁止 1: 输出到端口使能
CH5OE	Bit 5	R/W	PIS 通道 5 输出至端口使能位 0: 输出到端口禁止 1: 输出到端口使能
CH4OE	Bit 4	R/W	PIS 通道 4 输出至端口使能位 0: 输出到端口禁止 1: 输出到端口使能
CH3OE	Bit 3	R/W	PIS 通道 3 输出至端口使能位 0: 输出到端口禁止 1: 输出到端口使能
CH2OE	Bit 2	R/W	PIS 通道 2 输出至端口使能位 0: 输出到端口禁止 1: 输出到端口使能
CH1OE	Bit 1	R/W	PIS 通道 1 输出至端口使能位 0: 输出到端口禁止 1: 输出到端口使能
CH0OE	Bit 0	R/W	PIS 通道 0 输出至端口使能位

			0: 输出到端口禁止 1: 输出到端口使能
--	--	--	--------------------------

11.5.2.3 PIS消费端通道控制寄存器 0 (PIS_TAR_CON0)

PIS 消费端通道控制寄存器 0 (PIS_TAR_CON0)																																																					
偏移地址: 44 _H																																																					
复位值: 00000000_00000000_00000000_00000000 _B																																																					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																						
Reserved			TIM3_ETRIN_SEL		TIM3_CH4IN_SEL		TIM3_CH3IN_SEL		TIM3_CH2IN_SEL		TIM3_CH1IN_SEL		Reserved			TIM2_ETRIN_SEL		TIM2_CH4IN_SEL		TIM2_CH3IN_SEL		TIM2_CH2IN_SEL		TIM2_CH1IN_SEL		Reserved			TIM1_ETRIN_SEL		TIM1_CH4IN_SEL		TIM1_CH3IN_SEL		TIM1_CH2IN_SEL		TIM1_CH1IN_SEL		Reserved			TIM0_ETRIN_SEL		Reserved		TIM0_CH4IN_SEL		TIM0_CH3IN_SEL		TIM0_CH2IN_SEL		TIM0_CH1IN_SEL	

Reserved	Bit 31-29	—	保留
TIM3_ETRIN_SEL	Bit 28	R/W	GP16C4T2 ETR 输入选择位 0: 从端口输入 1: 将 PIS 通道 6 输出作为输入
TIM3_CH4IN_SEL	Bit 27	R/W	GP16C4T2 输入捕捉通道 4 输入选择位 0: 从端口输入 1: 将 PIS 通道 0 输出作为输入
TIM3_CH3IN_SEL	Bit 26	R/W	GP16C4T2 输入捕捉通道 3 输入选择位 0: 从端口输入 1: 将 PIS 通道 7 输出作为输入
TIM3_CH2IN_SEL	Bit 25	R/W	GP16C4T2 输入捕捉通道 2 输入选择位 0: 从端口输入 1: 将 PIS 通道 6 输出作为输入
TIM3_CH1IN_SEL	Bit 24	R/W	GP16C4T2 输入捕捉通道 1 输入选择位 0: 从端口输入 1: 将 PIS 通道 5 输出作为输入
Reserved	Bit 23-21	—	保留
TIM2_ETRIN_SEL	Bit 20	R/W	GP16C4T1 ETR 输入选择位 0: 从端口输入 1: 将 PIS 通道 6 输出作为输入
TIM2_CH4IN_SEL	Bit 19	R/W	GP16C4T1 输入捕捉通道 4 输入选择位 0: 从端口输入 1: 将 PIS 通道 4 输出作为输入
TIM2_CH3IN_SEL	Bit 18	R/W	GP16C4T1 输入捕捉通道 3 输入选择位 0: 从端口输入 1: 将 PIS 通道 3 输出作为输入
TIM2_CH2IN_SEL	Bit 17	R/W	GP16C4T1 输入捕捉通道 2 输入选择位

			0: 从端口输入 1: 将 PIS 通道 2 输出作为输入
TIM2_CH1IN_SEL	Bit 16	R/W	GP16C4T1 输入捕捉通道 1 输入选择位 0: 从端口输入 1: 将 PIS 通道 1 输出作为输入
Reserved	Bit 15-13	—	保留
TIM1_ETRIN_SEL	Bit 12	R/W	GP16C4T0 ETR 输入选择位 0: 从端口输入 1: 将 PIS 通道 6 输出作为输入
TIM1_CH4IN_SEL	Bit 11	R/W	GP16C4T0 输入捕捉通道 4 输入选择位 0: 从端口输入 1: 将 PIS 通道 4 输出作为输入
TIM1_CH3IN_SEL	Bit 10	R/W	GP16C4T0 输入捕捉通道 3 输入选择位 0: 从端口输入 1: 将 PIS 通道 3 输出作为输入
TIM1_CH2IN_SEL	Bit 9	R/W	GP16C4T0 输入捕捉通道 2 输入选择位 0: 从端口输入 1: 将 PIS 通道 2 输出作为输入
TIM1_CH1IN_SEL	Bit 8	R/W	GP16C4T0 输入捕捉通道 1 输入选择位 0: 从端口输入 1: 将 PIS 通道 1 输出作为输入
Reserved	Bit 7-6	—	保留
TIM0_ETRIN_SEL	Bit 5	R/W	AD16C6T ETR 输入选择位 0: 从端口输入 1: 将 PIS 通道 5 输出作为输入
Reserved	Bit 4	R/W	保留
TIM0_CH4IN_SEL	Bit 3	R/W	AD16C6T 输入捕捉通道 4 输入选择位 0: 从端口输入 1: 将 PIS 通道 4 输出作为输入
TIM0_CH3IN_SEL	Bit 2	R/W	AD16C6T 输入捕捉通道 3 输入选择位 0: 从端口输入 1: 将 PIS 通道 3 输出作为输入
TIM0_CH2IN_SEL	Bit 1	R/W	AD16C6T 输入捕捉通道 2 输入选择位 0: 从端口输入 1: 将 PIS 通道 2 输出作为输入
TIM0_CH1IN_SEL	Bit 0	R/W	AD16C6T 输入捕捉通道 1 输入选择位 0: 从端口输入 1: 将 PIS 通道 1 输出作为输入

11.5.2.4 PIS消费端通道控制寄存器 1 (PIS_TAR_CON1)

PIS 消费端通道控制寄存器 1（PIS_TAR_CON1）																															
偏移地址：48 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																SPI1_CLK_SEL	SPI1_RX_SEL	SPI0_CLK_SEL	SPI0_RX_SEL	Reserved							UART4_RXD_SEL	UART3_RXD_SEL	UART2_RXD_SEL	UART1_RXD_SEL	UART0_RXD_SEL

Reserved	Bit 31-16	—	保留
SPI1_CLK_SEL	Bit 15	R/W	SPI1 CLK 输入选择位 0: 从端口输入 1: 将 PIS 通道 3 输出作为输入
SPI1_RX_SEL	Bit 14	R/W	SPI1 RX 输入选择位 0: 从端口输入 1: 将 PIS 通道 2 输出作为输入
SPI0_CLK_SEL	Bit 13	R/W	SPI0 CLK 输入选择位 0: 从端口输入 1: 将 PIS 通道 1 输出作为输入
SPI0_RX_SEL	Bit 12	R/W	SPI0 RX 输入选择位 0: 从端口输入 1: 将 PIS 通道 0 输出作为输入
Reserved	Bit 11-5	—	保留
UART4_RXD_SEL	Bit 4	R/W	UART4 RXD 输入选择位 0: 从端口 RXD 输入 1: 将 PIS 通道 7 输出作为输入
UART3_RXD_SEL	Bit 3	R/W	UART3 RXD 输入选择位 0: 从端口 RXD 输入 1: 将 PIS 通道 6 输出作为输入
UART2_RXD_SEL	Bit 2	R/W	UART2 RXD 输入选择位 0: 从端口 RXD 输入 1: 将 PIS 通道 5 输出作为输入
UART1_RXD_SEL	Bit 1	R/W	UART1 RXD 输入选择位 0: 从端口 RXD 输入 1: 将 PIS 通道 4 输出作为输入
UART0_RXD_SEL	Bit 0	R/W	UART0 RXD 输入选择位 0: 从端口 RXD 输入 1: 将 PIS 通道 3 输出作为输入

11. 5. 2. 5 UARTx输出调制控制寄存器 (UARTx_TXMCR) (x=0..4)

UARTx 输出调制控制寄存器 (UARTx_TXMCR) (x=0..4)																															
偏移地址: 4*x+60 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																							TXMLVLS		TXMSS				TXSIGs		

Reserved	Bit 31-9	—	保留
TXMLVLS	Bit 8	R/W	TX 调制电平选择位 0: 低电平调制 (TX 与所选取的调制信号进行硬件或操作) 1: 高电平调制 (TX 与所选取的调制信号进行硬件与操作)
TXMSS	Bit 7-4	R/W	TX 调制源选择位 0000: 调制禁止 0001: TIM0 (AD16C6T) 0010: 保留 0011: 保留 0100: TIM1 (GP16C4T0) 0101: TIM2 (GP16C4T1) 0110: TIM3 (GP16C4T2) 0111: TIM4 (LP16T) 1000: BUZ 其余: 无调制
TXSIGs	Bit 3-0	R/W	TX 调制信号选择位 TXMSS=0000 TXSIGs 无效 TXMSS=0001, 0100, 0101, 0110 (调制源=AD16C6T, GP16C4T0, GP16C4T1, GP16C4T2) 0000: TIMER 通道 1 0001: TIMER 通道 2 0010: TIMER 通道 3 0011: TIMER 通道 4 TXMSS=0111 (调制源=LP16T) 调制信号为 TIMER 输出 TXMSS=1000 (调制源=BUZ) 调制信号为 BUZ 输出 TXMSS=其余 无效

第12章 独立看门狗（IWDT）

12.1 概述

独立看门狗 IWDT 可用于检测软件和硬件异常引起的故障，如主时钟停振、用户程序异常无法喂狗等；当计数器达到给定的超时值时，将触发系统复位。

独立看门狗 IWDT，当硬件使能时，时钟强制为独立的 LRC 时钟，且用户无法通过软件关闭 IWDT。

独立看门狗 IWDT 最适合于独立于主程序之外，并且对时间精度要求较低的场合。

12.2 特性

- ◆ 支持硬件使能和关闭看门狗
 - ◇ 芯片配置位 CFG_WORD.IWDTEN 配置为 1，则硬件使能 IWDT
 - ◇ 芯片配置位 CFG_WORD.IWDTEN 配置为 0，则硬件关闭 IWDT，但可以软件使能 IWDT
 - ◇ 硬件使能后不可通过软件关停
 - ◇ 硬件使能后 IWDT 时钟强制为 31.25KHz LRC 时钟
- ◆ IWDT 溢出时间可设定
 - ◇ 写入 IWDT_LOAD 寄存器将重新加载看门狗
 - ◇ 溢出时产生 IWDT 复位
- ◆ IWDT 中断可唤醒 STOP 模式

12.3 功能描述

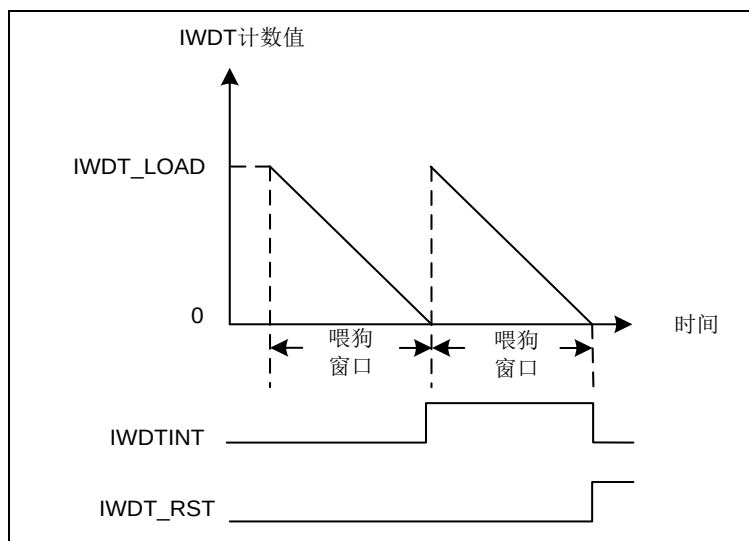


图 12-1 独立看门狗时序图

12.3.1 硬件看门狗

IWDT 看门狗可用于检测软件和硬件异常,用户可通过 `CFG_WORD.IWDTEN` 配置位启用硬件看门狗功能,以提高系统健壮性;硬件看门狗使能后,时钟强制为 31.25KHz LRC 时钟,即使系统时钟失效, IWDT 仍可正常工作。

当硬件看门狗使能时,系统上电后看门狗立即运行(时钟固定为 31.25KHz LRC 时钟); IWDT 载入 `IWDT_LOAD` 默认值 `0x0000_4000` (约 0.5s, 对应复位时间约 1s), 并从默认复位值递减计数。

计数器计数到 0 时, IWDT 产生中断标志,并在下一计数时钟到来时,计数器再次载入 `IWDT_LOAD`, 并继续递减计数;当计数器再次计数到 0 时,如果 IWDT 中断标志未被清零, IWDT 将产生复位信号。

`IWDT_INTCLR` 写入值为 `0xFFFFFFFF` 时, IWDT 中断标志位被清零,计数器重载 `IWDT_LOAD` 寄存器值,继续递减计数,写入其他值(非 `0xFFFFFFFF`)时,仅 IWDT 中断标志位被清零,计数器不重载。

喂狗操作

- ◆ 修改 `IWDT_LOAD.LOAD` 值,以确定喂狗间隔;
- ◆ 开启 `IWDG_IRQn` 中断服务,并使能 IWDT 中断 (`IWDT_CON.IE=1`);
- ◆ 在中断服务中检查中断标志位 (`IWDT_RIS.WDTIF`) 是否被置起;
- ◆ 如果 `IWDT_RIS.WDTIF` 标志位置起,则执行喂狗操作;

12.3.2 软件看门狗

当硬件看门狗禁止时,系统上电看门狗不运行,但可通过软件配置 `IWDT_COM.EN=1` 使能看门狗,俗称软件看门狗。

当软件看门狗使能时,计数器载入 `IWDT_LOAD` 值,并开始递减计数;当计数到 0 时, IWDT 产生中断标志,并在下一个计数时钟到来时,计数器再次载入 `IWDT_LOAD`, 并继续递减计数;当计数器再次计数到 0 时,如果 IWDT 中断标志未被清零, IWDT 将产生复位信号。

`IWDT_INTCLR` 写入值为 `0xFFFFFFFF` 时, IWDT 中断标志位被清零,计数器重载 `IWDT_LOAD` 寄存器值,继续递减计数,写入其他值(非 `0xFFFFFFFF`)时,仅 IWDT 中断标志位被清零,计数器不重载。

操作流程

1. 开启 IWDT 中断服务,并使能 IWDT 中断 (`IWDT_CON.IE=1`);
2. 修改 `IWDT_LOAD.LOAD` 值,以确定喂狗间隔;
3. 选择 IWDT 时钟源 `IWDT_CON.CLKS`;
4. 使能软件看门狗 `IWDT_CON.IE=1`;
5. 在中断服务中检查中断标志位 (`IWDT_RIS.WDTIF`) 是否被置起;
6. 如果 `IWDT_RIS.WDTIF` 标志位置起,则执行喂狗操作;

注：软件看门狗可以通过 IWDT_CON.CLKS 选择时钟源，系统提供了 LRC 和 PCLK 两种时钟源供选择；

12.3.3 调试模式

当系统进入调试模式时，通过 DBG_APB2FZ.IWDT_STOP 配置，可以在 CPU 内核停止时，暂停 IWDT 计数，以便查询系统内部状态，查询完成后，恢复程序执行。

12.3.4 寄存器访问保护

IWDT_LOAD、IWDT_CON、IWDT_INTCLR 寄存器具有写保护功能，对其修改时，必须先向 IWDT_LOCK 写入 0x1ACCE551 移除写保护；当 IWDT_LOCK 写入其他任意值时，寄存器重新被保护。

12. 4 特殊功能寄存器

12. 4. 1 寄存器列表

IWDT 寄存器列表		
名称	偏移地址	描述
IWDT_LOAD	0000 _H	IWDT 计数器装载值寄存器
IWDT_VALUE	0004 _H	IWDT 计数器当前值寄存器
IWDT_CON	0008 _H	IWDT 控制寄存器
IWDT_INTCLR	000C _H	IWDT 中断标志清除寄存器
IWDT_RIS	0010 _H	IWDT 中断标志寄存器
IWDT_LOCK	0100 _H	IWDT 锁定寄存器

12.4.2 寄存器描述

12.4.2.1 IWDT计数器装载值寄存器 (IWDT_LOAD)

IWDT 计数器装载值寄存器 (IWDT_LOAD)																																
偏移地址: 00 _H																																
复位值: 00000000_00000000_01000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
LOAD																																

LOAD	Bit 31-0	W	IWDT 计数器重载值 计数范围 0x0000_0001~0xFFFF_FFFF。如果为 0，IWDT 不计 数。
------	----------	---	--

12.4.2.2 IWDT计数器当前值寄存器 (IWDT_VALUE)

IWDT 计数器当前值寄存器 (IWDT_VALUE)																																
偏移地址: 04 _H																																
复位值: 11111111_11111111_11111111_11111111 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
VALUE																																

VALUE	Bit 31-0	R	IWDT 计数器当前值 读取时返回 IWDT 计数器的当前计数值
-------	----------	---	--

12.4.2.3 IWDTC控制寄存器 (IWDTC_CON)

IWDTC 控制寄存器 (IWDTC_CON)																																			
偏移地址：08 _H																																			
复位值：00000000_00000000_00000000_00000000 _B																																			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Reserved																												CLKS		RSTEN		IE		EN	

Reserved	Bit 31-4	—	保留
CLKS	Bit 3	R/W	IWDTC 计数时钟选择位 (仅在配置位 CFG_WORD.IWDTCEN=0 时有效) 0: PCLK 1: LRC 时钟 (约 31.25KHz)
RSTEN	Bit 2	R/W	IWDTC 复位使能位 (仅在配置位 CFG_WORD.IWDTCEN=0 时有效) 0: 禁止 1: 使能, IWDTC 计数到 0 时, 产生复位信号, 将芯片复位
IE	Bit 1	R/W	IWDTC 中断使能位 (仅在配置位 CFG_WORD.IWDTCEN=0 时有效) 0: 禁止 1: 使能, IWDTC 计数到 0 时, 产生中断标志
EN	Bit 0	R/W	IWDTC 模块使能位 (仅在配置位 CFG_WORD.IWDTCEN=0 时有效) 0: 禁止 1: 使能

注: IWDTC_CON 寄存器中的各个控制位, 仅在配置字 CFG_WORD 的配置位 IWDTCEN=0 时才有效。

12.4.2.4 IWDTC中断标志清除寄存器 (IWDTC_INTCLR)

IWDTC 中断标志清除寄存器 (IWDTC_INTCLR)																																
偏移地址: 0C _H																																
复位值: 00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
INTCLR																																

INTCLR<31:0>	Bit 31-0	W	IWDTC 中断标志清 0 位 0xFFFFFFFF: 写入值为 0xFFFFFFFF, IWDTC 中断标志位被清零, 计数器重载 IWDTC_LOAD 寄存器值, 继续递减计数 其他值: 写入其他值 (非 0xFFFFFFFF), 仅 IWDTC 中断标志位被清零, 计数器不重载
--------------	----------	---	--

12.4.2.5 IWDT中断标志寄存器 (IWDT_RIS)

IWDT 中断标志寄存器 (IWDT_RIS)																																
偏移地址: 10 _H																																
复位值: 00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	WDTIF
Reserved																																

Reserved	Bit 31-1	—	保留
WDTIF	Bit 0	R	IWDT 中断标志位 0: 未产生中断 1: IWDT 计数器计数到 0, 产生中断 写寄存器 IWDT_INTCLR, 可清除 IWDT 中断标志位

12.4.2.6 IWDT锁定寄存器 (IWDT_LOCK)

IWDT 锁定寄存器 (IWDT_LOCK)																																
偏移地址: 100 _H																																
复位值: 00000000_00000000_00000000_00000001 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																																LOCK

Reserved	Bit 31-1	—	保留
LOCK	Bit 0	R/W	IWDT 寄存器保护状态位 0: IWDT 寄存器处于未保护状态 1: IWDT 寄存器处于保护状态 对 IWDT_LOCK 寄存器写入 0x1ACCE551, 被保护的寄存器处于未保护状态; 写入其它值, 处于保护状态

第13章 窗口看门狗（WWDT）

13.1 概述

窗口看门狗 WWDT 通常用来监视，由外部干扰或不可预见的逻辑条件造成的应用程序背离运行序列而产生的软件故障。

窗口看门狗 WWDT 对于过早或过晚喂狗都将产生 WWDT 复位，可用于检测软件没有喂狗或在禁止喂狗区内喂狗行为，防止程序运行至不可控状态。

13.2 特性

窗口看门狗 WWDT 功能概述：

- ◆ 可编程的递减计数器
- ◆ 支持设定喂狗禁止区
 - ◇ 通过 WWDT_CON.WWDTWIN 设置喂狗禁止区
 - ◇ 在喂狗窗口外喂狗产生 WWDT 复位
 - ◇ 在喂狗窗口内产生 WWDT 中断
 - WWDT 中断可用作喂狗请求
- ◆ 安全可靠
 - ◇ 当配置位 CFG_WORD.WWDTEN 为 1 时，一旦软件使能，则只能通过复位关断
- ◆ WWDT 溢出长度可设定
 - ◇ 可通过 WWDT_LOAD.LOAD 寄存器设定喂狗窗口溢出长度
 - ◇ 溢出时产生 WWDT 复位
- ◆ WWDT 中断可用作喂狗请求，可以唤醒 STOP 模式

13.3 功能描述

13.3.1 窗口看门狗

对于窗口看门狗 WWDT，过早或过晚喂狗都将产生 WWDT 复位，可用于检测软件的过晚或过早行为，防止程序跑至不可控状态，可通过 WWDT 复位消除。如中断异常，程序不断进入一个带喂狗指令的子程序的情况。

用户可根据程序正常执行的时间设定喂狗窗口，可检测到程序未按正常次序执行，跳过某些程序的异常情况。

窗口看门狗时钟源

窗口看门狗 WWDT 对时间窗口有一定的要求，系统内提供了 LRC 和 PCLK 作为 WWDT 时钟，可根据自己喂狗精度的需要，选择合适的时钟源。

用户可通过寄存器 WWDT_CON.CLKS 进行时钟源选择。

工作流程

- ◆ 系统上电后，窗口看门狗不启动，配置 WWDT_LOAD.LOAD，设置计数初值，配置 WWDT_CON.CLKS 选择时钟源，通过配置 WWDT_CON.EN 使能窗口看门狗；
- ◆ 使能后，WWDT 计数器载入 WWDT_LOAD.LOAD 的 1/4，并开始递减计数，当计数到 0 时，窗口计数器加 1；
- ◆ 在下一个计数时钟到来时，计数器再次载入 WWDT_LOAD.LOAD 寄存器值的 1/4，并继续递减计数；
- ◆ WWDTWIN 设置为 25%，则窗口计数器为 1 时，WWDT 产生中断标志；
- ◆ WWDTWIN 设置为 50%，则窗口计数器为 2 时，WWDT 产生中断标志；
- ◆ WWDTWIN 设置为 75%，则窗口计数器为 3 时，WWDT 产生中断标志；
- ◆ WWDT 产生中断后，直至窗口计数器计数到 4 之前（即累计计数等于 WWDT_LOAD），如果没有在喂狗窗口内进行喂狗，则 WWDT 模块将产生复位信号，如下图所示；
- ◆ 喂狗窗口内，寄存器 WWDT_INTCLR 写入值为 0xFFFFFFFF 时，WWDT 中断标志位被清零，计数器重载 WWDT_LOAD 寄存器值，继续递减计数，写入其他值（非 0xFFFFFFFF）时，仅 WWDT 中断标志位被清零，计数器不重载。

注：若配置字 CFG_WORD 中的 WWDTEN 位配置为 1，则软件使能窗口看门狗之后，不可再通过软件关闭窗口看门狗。

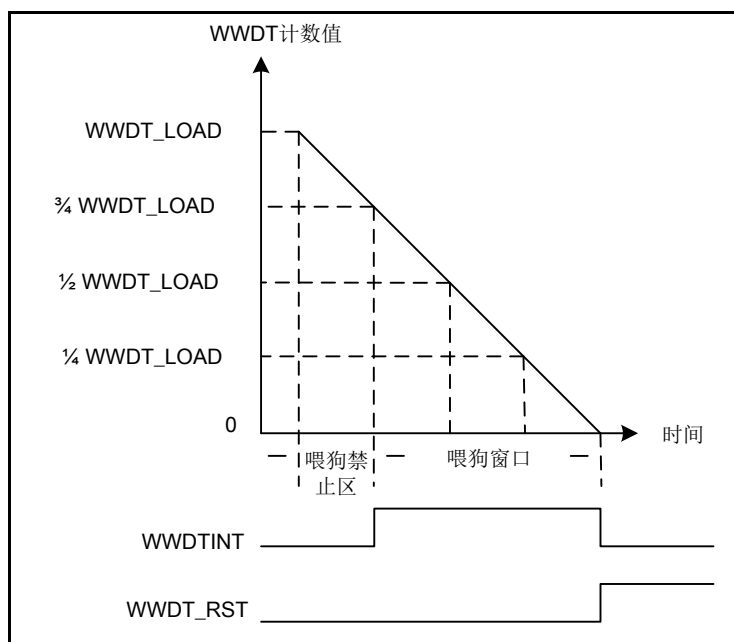


图 13-1 窗口看门狗中断和溢出复位产生时序图（WWDTWIN 设定为 25%）

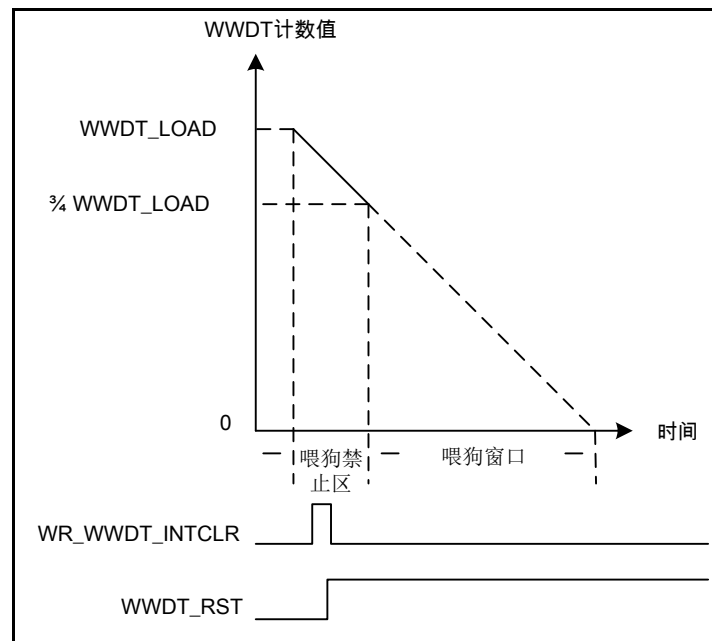


图 13-2 错误的喂狗时序图 (WWDTWIN 设定为 25%)

13.3.2 调试模式

当系统进入调试模式时，通过 `DBG_APB2FZ.WWDT_STOP` 调试暂停选择位配置，可以在 CPU 内核停止时，暂停 WWDT 计数，以便查询系统内部状态，查询完成后，恢复程序执行。

13.3.3 寄存器访问保护

WWDT_LOAD、WWDT_CON、WWDT_INTCLR 寄存器具有写保护功能，对其修改时，必须先向 WWDT_LOCK 写入 0x1ACCE551 移除写保护；当 WWDT_LOCK 写入其他任意值时，寄存器重新被保护。

13. 4 特殊功能寄存器

13. 4. 1 寄存器列表

WWDT 寄存器列表		
名称	偏移地址	描述
WWDT_LOAD	0000 _H	WWDT 计数器装载值寄存器
WWDT_VALUE	0004 _H	WWDT 计数器当前值寄存器
WWDT_CON	0008 _H	WWDT 控制寄存器
WWDT_INTCLR	000C _H	WWDT 中断标志清除寄存器
WWDT_RIS	0010 _H	WWDT 中断标志寄存器
WWDT_LOCK	0100 _H	WWDT 锁定寄存器

13.4.2 寄存器描述

13.4.2.1 WWDT计数器装载值寄存器 (WWDT_LOAD)

WWDT 计数器装载值寄存器 (WWDT_LOAD)																																
偏移地址: 00 _H																																
复位值: 00000000_00000010_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
LOAD																																

LOAD	Bit 31-0	W	WWDT 计数器重载值 计数范围 0x0000_0001~0xFFFF_FFFF。如果为 0，WWDT 不计数。
------	----------	---	--

13.4.2.2 WWDT计数器当前值寄存器 (WWDT_VALUE)

WWDT 计数器当前值寄存器 (WWDT_VALUE)																																
偏移地址：04 _H																																
复位值：00111111_11111111_11111111_11111111 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
VALUE																																

VALUE	Bit 31-0	R	WWDT 计数器当前值 读取时返回 WWDT 计数器的当前计数值，其中高两位为窗口计数器当前值
-------	----------	---	---

13. 4. 2. 3 WWDT控制寄存器 (WWDT_CON)

WWDT 控制寄存器（WWDT_CON）																															
偏移地址：08 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																										WWDTWIN		CLKS	RSTEN	IE	EN

Reserved	Bit 31-6	—	保留
WWDTWIN	Bit 5-4	R/W	WWDT 禁止喂狗窗口选择位 00: 25%窗口内禁止喂狗, 在禁止窗口内喂狗产生复位 01: 50%窗口内禁止喂狗, 在禁止窗口内喂狗产生复位 10: 75%窗口内禁止喂狗, 在禁止窗口内喂狗产生复位 11: 保留
CLKS	Bit 3	R/W	WWDT 计数时钟选择位 0: PCLK 1: LRC 时钟 (约 31.25KHz)
RSTEN	Bit 2	R/W	WWDT 复位使能位 0: 禁止 1: 使能, WWDT 计数到 0 时, 产生复位信号, 将芯片复位
IE	Bit 1	R/W	WWDT 中断使能位 0: 禁止 1: 使能, WWDT 计数到 0 时, 产生中断标志
EN	Bit 0	R/W	WWDT 模块使能位 0: 禁止 1: 使能

13.4.2.4 WWDT中断标志清除寄存器 (WWDT_INTCLR)

WWDT 中断标志清除寄存器 (WWDT_INTCLR)																															
偏移地址：0C _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTCLR																															

INTCLR	Bit 31-0	W	WWDT 中断标志清 0 位 0xFFFFFFFF: 写入值为 0xFFFFFFFF, WWDT 中断标志位被清零, 计数器重载 WWDT_LOAD 寄存器值, 继续递减计数 其他值: 写入其他值 (非 0xFFFFFFFF), 仅 WWDT 中断标志位被清零, 计数器不重载。
--------	----------	---	--

13.4.2.5 WWDT中断标志寄存器 (WWDT_RIS)

WWDT 中断标志寄存器 (WWDT_RIS)																																
偏移地址：10 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																																WWDTIF

Reserved	Bit 31-1	—	保留
WWDTIF	Bit 0	R	WWDT 中断标志位 0: 未产生中断 1: WWDT 计数器计数到 0, 产生中断 写寄存器 WWDT_INTCLR, 可清除 WWDT 中断标志位

13. 4. 2. 6 WWDT锁定寄存器 (WWDT_LOCK)

WWDT 锁定寄存器 (WWDT_LOCK)																																
偏移地址: 100 _H																																
复位值: 00000000_00000000_00000000_00000001 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																																LOCK

Reserved	Bit 31-1	—	保留
LOCK	Bit 0	R/W	WWDT 寄存器保护状态位 0: WWDT 寄存器处于未保护状态 1: WWDT 寄存器处于保护状态 对 WWDT_LOCK 寄存器写入 0x1ACCE551, 被保护的寄存器处于未保护状态; 写入其它值, 处于保护状态

第14章 通用IO及端口控制（GPIO）

14.1 概述

每组通用 GPIO 端口包含 16 个独立的引脚。这些引脚可单独配置为输入或输出，每个引脚输出输入功能中可配置为开漏输出、推挽输出以及浮空输入、带滤波输入模式，配置为输出模式时还可选择每个引脚的驱动强度。

GPIO 引脚可复用为外设功能端口，例如 PWM 输出口、UART 通信口或模拟输入，每个外设均支持复用到多个引脚。GPIO 端口支持最多 16 个异步外部中断，可被配置到任何一个 IO 引脚。

14.2 特性

- ◆ 可配置为输入或输出
- ◆ 输出模式可配置
 - ◇ 推挽/开漏
 - ◇ 上拉/下拉
- ◆ 输入模式
 - ◇ 端口浮空
 - ◇ 上拉/下拉
 - ◇ 模拟端口
- ◆ 支持端口输出数据的复位、置位或取反，可按位操作
- ◆ 支持复用为外设功能端口
- ◆ 输出驱动能力可配置：选择普通模式或强驱模式
- ◆ 支持 16 个外部输入中断
- ◆ 支持端口配置写保护功能

14.3 结构框图

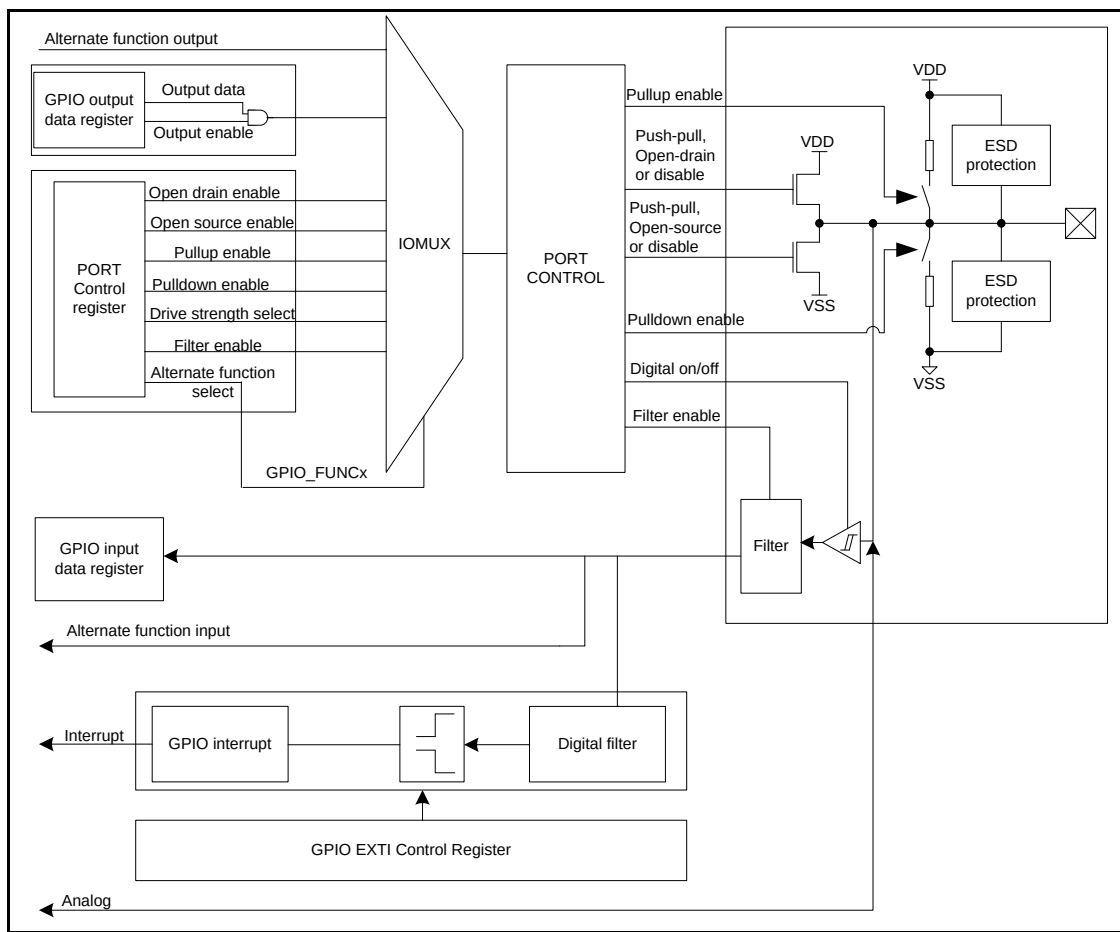


图 14-1 GPIO 结构框图

14.4 功能描述

14.4.1 端口控制寄存器

每组 GPIO 有 16 个相对独立的引脚，每个引脚都可以通过寄存器自由配置。

通过配置 GPIO_MODE，可选择相应端口的模式，可配置为输入模式，输出模式和端口关闭模式。选择输出模式时，端口输入同样有效。选择端口关闭模式时，相应端口可被复用为模拟功能。

通过配置 GPIO_PUPD，可使能相应端口的上拉或/和下拉电阻。

通过配置 GPIO_OD，可将相应端口输出方式配置为推挽或漏极开路两种模式。在配置为漏极开路模式时，可使能相应端口的上拉或下拉，以保证正常输出，也可在端口外部连接上拉或下拉电阻。

通过配置 GPIO_ODRV，可选择相应端口的输出驱动能力，以满足不同的负载要求。

通过配置 GPIO_FLT，可使能相应端口的输入滤波功能，该滤波器为模拟滤波器，可滤除外部引线上高频信号干扰或毛刺。若输入需要较高的实时性，建议关闭输入滤波功能。

通过配置 GPIO_TYPE，可选择相应端口的输入类型，可选择 TTL 或 SMIT 两种模式。

通过配置 GPIO_FUNC，可选择相应 GPIO 的复用功能，可选择 FUNC_ALT0 ~ FUNC_ALT7。复用功能 GPIO 为输入时必须配置为输入模式，且需外部驱动；复用功能 GPIO 为输出时必须配置为输出模式，推挽或开漏；复用功能 GPIO 为双向模式时，端口必须配置为输出模式，推挽或开漏。

通过配置 GPIO_LOCK，可锁定相应端口的控制寄存器数值。直到下一次 CPU 复位锁定才可被解除。端口数据寄存器不受锁定的控制。

14.4.2 端口数据寄存器

软件可通过读取 GPIO_DIN 才获知端口的电平状态，若相应端口输入滤波被使能，则读到的是端口滤波之后的状态。

通过配置 GPIO_DOUT，可选择端口输出电平值，若端口模式已配置为输出，则该值所对应的电平会在管脚上立即生效。

通过配置 GPIO_BSRR，可按位改写端口输出电平值。对置位寄存器某些位进行写入 1 可置位相应端口，写入 0 的位不会影响相应端口的输出电平。对复位寄存器某些位进行写入 1 可复位相应端口，写入 0 的位不会影响相应端口的输出电平。若同时将某位置位和复位，则置位的优先级更高。

通过配置 GPIO_BIR，可按位翻转端口输出电平值。对翻转寄存器某些位进行写入 1 可将相应端口电平值翻转，写入 0 的位不会影响相应端口的输出电平。

14.4.3 外部端口中断

通过配置 GPIO_EXTIRER，可设置外部中断上升沿触发使能或禁止，其中低 16bit 为上升沿中断触发使能位，高 16bit 为保留位。

通过配置 GPIO_EXTIFER，可设置外部中断下降沿触发使能或禁止，其中低 16bit 为下降沿中断触发使能位，高 16bit 为保留位。

通过配置 GPIO_EXTIEN，可设置外部中断使能或禁止，其中低 16bit 为中断使能设置位，外部中断对应 bit 位配置为 1 表示中断使能，配置为 0 表示中断禁止，高 16bit 为保留位。

通过 GPIO_EXTIFLAG 寄存器，可检测当前有效中断。外部中断对应 bit 位为 1 表示检测到有效中断，为 0 表示未检测到有效中断。该寄存器为只读。

通过配置 GPIO_EXTISFR，可将外部端口中断标志位置位。其中低 16bit 为中断标志位置位，为 1 表示置位中断标志位，为 0 无操作，高 16bit 为保留位。

通过配置 GPIO_EXTICFR，可将外部端口中断标志位清除。其中低 16bit 为中断标志位清除位，为 1 表示清零中断标志位，为 0 无操作，高 16bit 为保留位。对外部端口中断标志位清除时，需先通过配置寄存器 GPIO_EXTIRER（上升沿触发）或 GPIO_EXTIFER（下降沿触发）禁止外部中断触发，来清除中断源，然后再配置寄存器 GPIO_EXTICFR 清除中断标志位，否则有可能导致中断标志位无法被清除。

通过配置 GPIO_EXTIPSR0 和 GPIO_EXTIPSR1 可选择外部中断的 GPIO 端口，每个外部中断可选择 8 个不同的 GPIO 口（PA_n~PH_n）。

通过配置 GPIO_EXTIFLTCR，可设置外部中断滤波参数。GPIO_EXTIFLTCR.FLTEN 位可使能相应外部端口中断滤波功能，配置 GPIO_EXTIFLTCR.FLTSEL 位可设置滤波时间。

14.4.4 通用GPIO配置

每个 GPIO 都可以由软件设置为输出模式或输入模式，也可以复用为外设功能接口。所有 GPIO 端口都有内部上拉或下拉，应用中根据实际需求可以使能或断开。

端口配置表				
配置模式		MODEn<1:0>	PUPDn<1:0>	ODn<1:0>
输出	推挽输出	1x	xx	0x
	开漏输出	1x	xx	1x
输入	浮空输入	01	00	xx
	上拉输入	01	01	xx
	下拉输入	01	10	xx
	模拟输入	01	00	xx

表 14-1 端口配置表

在输出模式中，还可以软件方式设置每个 GPIO 的驱动能力。输入模式中，可以软件方式设置每个 GPIO 的滤波特性。还可以软件选择 GPIO 管脚类型，有 CMOS 和 TTL 两种选择。

ODRVn<1:0>	意义
00	普通电流驱动
01	强电流驱动 1（仅拉电流）
10	强电流驱动 2（仅灌电流）
11	强电流驱动 3（拉/灌电流）

表 14-2 端口驱动表

14.4.5 外部中断与唤醒

每个 GPIO 均可以配置为外部中断源，配置为外部中断的 GPIO 必须设置为输入模式。

每个外部中断通道可以独立的配置输入类型和对应的触发事件（上升沿触发、下降沿触发或双边触发），都可以独立的设置触发或禁止。

EXTI 主要特性如下：

- ◇ 每个外部中断都有独立的触发或禁止设置
- ◇ 每个中断通道有独立的状态标识位
- ◇ 支持多达 16 个外部中断请求
- ◇ 独立设置外部中断滤波特性

外部中断映射如下：

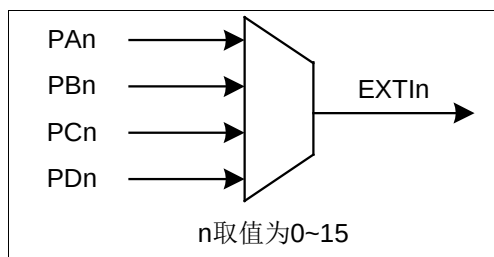


图 14-2 外部中断 GPIO 映射

应用说明:

要产生中断，必须配置好中断端口并使能，然后根据需要通过触发事件寄存器来设置边沿检测，另外根据应用需求可以设置输入滤波。当外部端口发生了预期的边沿时将产生一个中断请求，外部中断标志寄存器中对应的位随之被置 1，此时禁止对应中断触发，并在外部中断标志清零寄存器对应标志位置 1，可以清除中断请求及对应标志位。

外部中断配置步骤如下：

1. 将对应 GPIO 端口配置为输入模式。
2. 配置外部中断端口选择寄存器 0 和外部中断端口选择寄存器 1 选择相应的 GPIO 端口。
3. 配置外部中断上升沿触发使能寄存器设置上升沿触发事件，配置外部中断下降沿触发使能寄存器设置下降沿触发事件。
4. 配置外部中断滤波控制寄存器 GPIO_EXTIFLTCR 设置需求对应的滤波特性。
5. 配置外部中断使能寄存器对应的中断使能位，使得外部中断可以有效响应。

14.4.6 外设功能端口复用

使用复用功能时必须先对 GPIO 端口复用功能寄存器 0 或 GPIO 端口复用功能寄存器 1 进行配置，对应的配置参数请查看数据手册管脚功能复用表。

- ◇ 当复用功能为输入时，端口必须配置为输入模式（浮空、上拉或下拉），且输入引脚由外部驱动。
- ◇ 当复用功能为输出时，端口必须配置为输出模式（推挽或开漏）。在配置为开漏模式时，GPIO 可配置为输入功能有效，可以用作双向模式。

如果端口复用功能为输出，则引脚会和片上外设模块的输出信号连接，如果对应外设模块没有被激活，GPIO 的输出信号将不确定。

14.4.7 GPIO锁定

芯片 GPIO 锁定机制的处理是将端口配置冻结。当一个端口执行了锁定程序后，对应 GPIO 控制寄存器数值将被锁定，在下次复位之前，不能再被更改。

14.4.8 GPIO输入配置

当 GPIO 端口配置为输入模式时

- ◇ 输出缓冲器被禁止。
- ◇ 根据输入模式配置参数的不同，连接内部上拉、下拉。

- ◇ 输入数据采样到 GPIO 端口输入数据寄存器
- ◇ 访问 GPIO 端口输入数据寄存器即可得到 GPIO_n 状态数据

14.4.9 GPIO输出配置

当 GPIO 端口配置为输出模式时：

- ◇ 输出缓冲器被激活
- ◇ 根据配置参数的不同，连接内部上拉、下拉
- ◇ 输入数据采样到 GPIO 端口输入数据寄存器
- ◇ 在开漏模式下，访问输入数据寄存器得到当前 GPIO_n 的状态数据。
- ◇ 在推挽模式下，访问输出数据寄存器得到最后一次写的值。

14.4.10 模拟输入配置

当 GPIO 端口配置为模拟输入模式时：

- ◇ 输出缓冲器被禁止
- ◇ 施密特输入触发禁止
- ◇ 内部上拉或下拉禁止
- ◇ 访问输入数据寄存器得到的数据为全 0

14.5 特殊功能寄存器

14.5.1 寄存器列表

GPIO 寄存器列表		
名称	偏移地址	描述
基地址： GPIOA_BASE (4008_4000 _H) GPIOB_BASE (4008_4040 _H) GPIOC_BASE (4008_4080 _H) GPIOD_BASE (4008_40C0 _H)		
GPIO_DIN	000 _H	GPIO 端口输入数据寄存器
GPIO_DOUT	004 _H	GPIO 端口输出数据寄存器
GPIO_BSRR	008 _H	GPIO 端口置位和复位寄存器
GPIO_BIR	00C _H	GPIO 端口翻转寄存器
GPIO_MODE	010 _H	GPIO 端口模式寄存器
GPIO_OD	014 _H	GPIO 端口开漏寄存器
GPIO_PUPD	018 _H	GPIO 端口上拉和下拉寄存器
GPIO_ODRV	01C _H	GPIO 端口输出驱动寄存器
GPIO_FLT	020 _H	GPIO 端口滤波寄存器
GPIO_TYPE	024 _H	GPIO 端口类型寄存器
GPIO_FUNC0	028 _H	GPIO 端口复用功能寄存器 0
GPIO_FUNC1	02C _H	GPIO 端口复用功能寄存器 1
GPIO_LOCK	030 _H	GPIO 端口锁定寄存器
基地址：EXTI_BASE (4008_4300 _H)		
GPIO_EXTIRER	000 _H	外部中断上升沿触发使能寄存器
GPIO_EXTIFER	008 _H	外部中断下降沿触发使能寄存器
GPIO_EXTIEN	010 _H	外部中断使能寄存器
GPIO_EXTIFLAG	018 _H	外部中断标志寄存器
GPIO_EXTISFR	020 _H	外部中断标志置位寄存器
GPIO_EXTICFR	028 _H	外部中断标志清零寄存器
GPIO_EXTIPSR0	030 _H	外部中断端口选择寄存器 0
GPIO_EXTIPSR1	034 _H	外部中断端口选择寄存器 1
GPIO_EXTIFLTCR	040 _H	外部中断滤波控制寄存器

14.5.2 寄存器描述

14.5.2.1 GPIO端口输入数据寄存器 (GPIO_DIN)

GPIO 端口输入数据寄存器 (GPIO_DIN)																															
偏移地址: 00 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																DIN15	DIN14	DIN13	DIN12	DIN11	DIN10	DIN9	DIN8	DIN7	DIN6	DIN5	DIN4	DIN3	DIN2	DIN1	DIN0

Reserved	Bit 31-16	—	保留
DIN<y>	Bit 15-0	R	GPIO 输入数据

14.5.2.2 GPIO端口输出数据寄存器 (GPIO_DOUT)

GPIO 端口输出数据寄存器 (GPIO_DOUT)																															
偏移地址: 04 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																DOUT15	DOUT14	DOUT13	DOUT12	DOUT11	DOUT10	DOUT9	DOUT8	DOUT7	DOUT6	DOUT5	DOUT4	DOUT3	DOUT2	DOUT1	DOUT0

Reserved	Bit 31-16	—	保留
DOUT<y>	Bit 15-0	R/W	GPIO 输出数据

14.5.2.3 GPIO端口置位和复位寄存器 (GPIO_BSRR)

GPIO 端口置位和复位寄存器（GPIO_BSRR）																																
偏移地址：08 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
BRR15	BRR14	BRR13	BRR12	BRR11	BRR10	BRR9	BRR8	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0	BSR15	BSR14	BSR13	BSR12	BSR11	BSR10	BSR9	BSR8	BSR7	BSR6	BSR5	BSR4	BSR3	BSR2	BSR1	BSR0	

BRR<y>	Bit 31-16	W	GPIO 复位控制位 0: 无操作 1: 相应位复位 注: 如果同时对 GPIO 置位和复位, 置位的优先级更高
BSR<y>	Bit 15-0	W	GPIO 置位控制位 0: 无操作 1: 相应位置位

14.5.2.4 GPIO端口翻转寄存器 (GPIO_BIR)

GPIO 端口翻转寄存器（GPIO_BIR）																																
偏移地址：0C _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																BIR15	BIR14	BIR13	BIR12	BIR11	BIR10	BIR9	BIR8	BIR7	BIR6	BIR5	BIR4	BIR3	BIR2	BIR1	BIR0	

Reserved	Bit 31-16	—	保留
BIR<y>	Bit 15-0	W	GPIO 翻转控制位 0: 无操作 1: 相应位翻转

14.5.2.5 GPIO端口模式寄存器 (GPIO_MODE)

GPIO 端口模式寄存器（GPIO_MODE）																																
偏移地址：10 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
MODE15		MODE14		MODE13		MODE12		MODE11		MODE10		MODE9		MODE8		MODE7		MODE6		MODE5		MODE4		MODE3		MODE2		MODE1		MODE0		

MODE<y>	Bit 31-0	R/W	GPIO 端口模式控制位 00: 输入、输出同时禁止 01: 输入使能, 输出禁止 1x: 输入、输出同时使能
---------	----------	-----	--

14.5.2.6 GPIO端口开漏寄存器 (GPIO_OD)

GPIO 端口开漏寄存器（GPIO_OD）																																		
偏移地址：14 _H																																		
复位值：00000000_00000000_00000000_00000000 _B																																		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
OD15		OD14		OD13		OD12		OD11		OD10		OD9		OD8		OD7		OD6		OD5		OD4		OD3		OD2		OD1		OD0				

OD<y>	Bit 31-0	R/W	GPIO 开漏控制位 0x: 推挽输出 1x: 开漏输出
-------	----------	-----	------------------------------------

14.5.2.7 GPIO端口上拉和下拉寄存器（GPIO_PUPD）

GPIO 端口上拉和下拉寄存器（GPIO_PUPD）																																
偏移地址：18 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
PUPD15		PUPD14		PUPD13		PUPD12		PUPD11		PUPD10		PUPD9		PUPD8		PUPD7		PUPD6		PUPD5		PUPD4		PUPD3		PUPD2		PUPD1		PUPD0		

PUPD<y>	Bit 31-0	RW	GPIO 上拉和下拉控制位 00：无上拉和下拉 01：上拉 10：下拉 11：同时上拉和下拉
---------	----------	----	---

14.5.2.8 GPIO端口输出驱动寄存器（GPIO_ODRV）

GPIO 端口输出驱动寄存器（GPIO_ODRV）																																
偏移地址：1C _H																																
复位值：10101010_10101010_10101010_10101010 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
ODRV15		ODRV14		ODRV13		ODRV12		ODRV11		ODRV10		ODRV9		ODRV8		ODRV7		ODRV6		ODRV5		ODRV4		ODRV3		ODRV2		ODRV1		ODRV0		

ODRV<y>	Bits 31-0	RW	GPIO 输出驱动控制位 00：普通电流驱动 01：强电流驱动 1（仅拉电流，即端口输出高） 10：强电流驱动 2（仅灌电流，即端口输出低） 11：强电流驱动 3（拉/灌电流）
---------	-----------	----	---

14.5.2.9 GPIO端口滤波寄存器 (GPIO_FLT)

GPIO 端口滤波寄存器（GPIO_FLT）																															
偏移地址：20 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																FLT15	FLT14	FLT13	FLT12	FLT11	FLT10	FLT9	FLT8	FLT7	FLT6	FLT5	FLT4	FLT3	FLT2	FLT1	FLT0

Reserved	Bit 31-16	—	保留
FLT<y>	Bit 15-0	R/W	GPIO 滤波控制位 0: 输入滤波禁止 1: 输入滤波使能 注: 该 GPIO 输入滤波器为模拟滤波器, 滤波时间约 20ns

14.5.2.10 GPIO端口类型寄存器 (GPIO_TYPE)

GPIO 端口类型寄存器（GPIO_TYPE）																															
偏移地址：24 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																TYPE15	TYPE14	TYPE13	TYPE12	TYPE11	TYPE10	TYPE9	TYPE8	TYPE7	TYPE6	TYPE5	TYPE4	TYPE3	TYPE2	TYPE1	TYPE0

Reserved	Bit 31-16	—	保留
TYPE<y>	Bit 15-0	R/W	GPIO 类型选择位 0: CMOS 1: TTL

14. 5. 2. 11 GPIO端口复用功能寄存器 0 (GPIO_FUNC0)

GPIO 端口复用功能寄存器 0（GPIO_FUNC0）																															
偏移地址：28 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FSEL_IO7				FSEL_IO6				FSEL_IO5				FSEL_IO4				FSEL_IO3				FSEL_IO2				FSEL_IO1				FSEL_IO0			

FSEL_IO7	Bit 31-28	R/W	GPIO<7>功能复用选择位 请查看管脚功能复用表
FSEL_IO6	Bit 27-24	R/W	GPIO<6>功能复用选择位 请查看管脚功能复用表
FSEL_IO5	Bit 23-20	R/W	GPIO<5>功能复用选择位 请查看管脚功能复用表
FSEL_IO4	Bit 19-16	R/W	GPIO<4>功能复用选择位 请查看管脚功能复用表
FSEL_IO3	Bit 15-12	R/W	GPIO<3>功能复用选择位 请查看管脚功能复用表
FSEL_IO2	Bit 11-8	R/W	GPIO<2>功能复用选择位 请查看管脚功能复用表
FSEL_IO1	Bit 7-4	R/W	GPIO<1>功能复用选择位 请查看管脚功能复用表
FSEL_IO0	Bit 3-0	R/W	GPIO<0>功能复用选择位 请查看管脚功能复用表

14. 5. 2. 12 GPIO端口复用功能寄存器 1 (GPIO_FUNC1)

GPIO 端口复用功能寄存器 1 (GPIO_FUNC1)																															
偏移地址: 2C _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FSEL_IO15				FSEL_IO14				FSEL_IO13				FSEL_IO12				FSEL_IO11				FSEL_IO10				FSEL_IO9				FSEL_IO8			

FSEL_IO15	Bit 31-28	R/W	GPIO<15>功能复用选择位 请查看管脚功能复用表
FSEL_IO14	Bit 27-24	R/W	GPIO<14>功能复用选择位 请查看管脚功能复用表
FSEL_IO13	Bit 23-20	R/W	GPIO<13>功能复用选择位 请查看管脚功能复用表
FSEL_IO12	Bit 19-16	R/W	GPIO<12>功能复用选择位 请查看管脚功能复用表
FSEL_IO11	Bit 15-12	R/W	GPIO<11>功能复用选择位 请查看管脚功能复用表
FSEL_IO10	Bit 11-8	R/W	GPIO<10>功能复用选择位 请查看管脚功能复用表
FSEL_IO9	Bit 7-4	R/W	GPIO<9>功能复用选择位 请查看管脚功能复用表
FSEL_IO8	Bit 3-0	R/W	GPIO<8>功能复用选择位 请查看管脚功能复用表

14. 5. 2. 13 GPIO端口锁定寄存器 (GPIO_LOCK)

GPIO 端口锁定寄存器（GPIO_LOCK）																																
偏移地址：30 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
KEY																LOCK15	LOCK14	LOCK13	LOCK12	LOCK11	LOCK10	LOCK9	LOCK8	LOCK7	LOCK6	LOCK5	LOCK4	LOCK3	LOCK2	LOCK1	LOCK0	

KEY	Bit 31-16	W	GPIO 锁定寄存器关键码 注: 检测到写入关键码 0x55AA, 才可对 LOCK<y> 进行写操作, 读该位始终为 0
LOCK<y>	Bit 15-0	RW	GPIO<y>锁定控制位 0: 相应端口未锁定 1: 相应端口锁定 注: 被锁定相应端口只允许改变输出数据, LOCK<y>一旦被置位, 必须等到下一次 CPU 复位才被清除。

14.5.2.14 外部中断上升沿触发使能寄存器 (GPIO_EXTIRER)

外部中断上升沿触发使能寄存器（GPIO_EXTIRER）																																
偏移地址：00 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																EXTIRER15	EXTIRER14	EXTIRER13	EXTIRER12	EXTIRER11	EXTIRER10	EXTIRER9	EXTIRER8	EXTIRER7	EXTIRER6	EXTIRER5	EXTIRER4	EXTIRER3	EXTIRER2	EXTIRER1	EXTIRER0	

Reserved	Bit 31-16	—	保留
EXTIRER<y>	Bit 15-0	R/W	EXTI<y>上升沿触发使能位 0: 禁止 1: 使能

14.5.2.15 外部中断下降沿触发使能寄存器 (GPIO_EXTIFER)

外部中断下降沿触发使能寄存器（GPIO_EXTIFER）																															
偏移地址：08 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																EXTIFER15	EXTIFER14	EXTIFER13	EXTIFER12	EXTIFER11	EXTIFER10	EXTIFER9	EXTIFER8	EXTIFER7	EXTIFER6	EXTIFER5	EXTIFER4	EXTIFER3	EXTIFER2	EXTIFER1	EXTIFER0

Reserved	Bit 31-16	—	保留
EXTIFER<y>	Bit 15-0	R/W	EXTI<y>下降沿触发使能位 0: 禁止 1: 使能

14.5.2.16 外部中断使能寄存器 (GPIO_EXTIEN)

外部中断使能寄存器（GPIO_EXTIEN）																															
偏移地址：10 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																EXTIEN15	EXTIEN14	EXTIEN13	EXTIEN12	EXTIEN11	EXTIEN10	EXTIEN9	EXTIEN8	EXTIEN7	EXTIEN6	EXTIEN5	EXTIEN4	EXTIEN3	EXTIEN2	EXTIEN1	EXTIEN0

Reserved	Bit 31-16	—	保留
EXTIEN<y>	Bit 15-0	R/W	EXTI<y>中断使能位 0: 禁止 1: 使能

14.5.2.17 外部中断标志寄存器 (GPIO_EXTIFLAG)

外部中断标志寄存器（GPIO_EXTIFLAG）																															
偏移地址：18 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																EXTIFLAG15	EXTIFLAG14	EXTIFLAG13	EXTIFLAG12	EXTIFLAG11	EXTIFLAG10	EXTIFLAG9	EXTIFLAG8	EXTIFLAG7	EXTIFLAG6	EXTIFLAG5	EXTIFLAG4	EXTIFLAG3	EXTIFLAG2	EXTIFLAG1	EXTIFLAG0

Reserved	Bit 31-16	—	保留
EXTIFLAG<y>	Bit 15-0	R	EXTI<y>中断状态位 0: 未检测到有效中断 1: 检测到有效中断

14. 5. 2. 18 外部中断标志置位寄存器 (GPIO_EXTISFR)

外部中断标志置位寄存器（GPIO_EXTISFR）																																
偏移地址：20 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																EXTISFR15	EXTISFR14	EXTISFR13	EXTISFR12	EXTISFR11	EXTISFR10	EXTISFR9	EXTISFR8	EXTISFR7	EXTISFR6	EXTISFR5	EXTISFR4	EXTISFR3	EXTISFR2	EXTISFR1	EXTISFR0	

Reserved	Bit 31-16	—	保留
EXTISFR<y>	Bit 15-0	W1	EXTI<y>中断标志位置位 0: 无操作 1: 置位中断标志位 注: 对该位写 1 将中断标志置位, 写 0 无效

14. 5. 2. 19 外部中断标志清零寄存器 (GPIO_EXTICFR)

外部中断标志清零寄存器（GPIO_EXTICFR）																																
偏移地址：28 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																EXTICFR15	EXTICFR14	EXTICFR13	EXTICFR12	EXTICFR11	EXTICFR10	EXTICFR9	EXTICFR8	EXTICFR7	EXTICFR6	EXTICFR5	EXTICFR4	EXTICFR3	EXTICFR2	EXTICFR1	EXTICFR0	

Reserved	Bit 31-16	—	保留
EXTICFR<y>	Bit 15-0	W1	EXTI<y>中断标志位清零 0: 无操作 1: 清零中断标志位 注: 对该位写 1 将中断标志复位, 写 0 无效

14.5.2.20 外部中断端口选择寄存器 0 (GPIO_EXTIPSR0)

外部中断端口选择寄存器 0（GPIO_EXTIPSR0）																															
偏移地址：30 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTIS7				EXTIS6				EXTIS5				EXTIS4				EXTIS3				EXTIS2				EXTIS1				EXTIS0			

EXTIS7	Bit 31-28	R/W	EXTI<7>端口选择位 0000: PA7 0001: PB7 0010: PC7 0011: PD7 其他: 保留
EXTIS6	Bit 27-24	R/W	EXTI<6>端口选择位 0000: PA6 0001: PB6 0010: PC6 0011: PD6 其他: 保留
EXTIS5	Bit 23-20	R/W	EXTI<5>端口选择位 0000: PA5 0001: PB5 0010: PC5 0011: PD5 其他: 保留
EXTIS4	Bit 19-16	R/W	EXTI<4>端口选择位 0000: PA4 0001: PB4 0010: PC4 0011: PD4 其他: 保留
EXTIS3	Bit 15-12	R/W	EXTI<3>端口选择位 0000: PA3 0001: PB3 0010: PC3 0011: PD3 其他: 保留
EXTIS2	Bit 11-8	R/W	EXTI<2>端口选择位 0000: PA2 0001: PB2

			0010: PC2 0011: PD2 其他: 保留
EXTIS1	Bit 7-4	R/W	EXTI<1>端口选择位 0000: PA1 0001: PB1 0010: PC1 0011: PD1 其他: 保留
EXTIS0	Bit 3-0	R/W	EXTI<0>端口选择位 0000: PA0 0001: PB0 0010: PC0 0011: PD0 其他: 保留

14.5.2.21 外部中断端口选择寄存器 1 (GPIO_EXTIPSR1)

外部中断端口选择寄存器 1（GPIO_EXTIPSR1）																															
偏移地址：34 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTIS15				EXTIS14				EXTIS13				EXTIS12				EXTIS11				EXTIS10				EXTIS9				EXTIS8			

EXTIS15	Bit 31-28	R/W	EXTI<15>端口选择位 0000: PA15 0001: PB15 0010: PC15 0011: PIS3 其他: 保留
EXTIS14	Bit 27-24	R/W	EXTI<14>端口选择位 0000: PA14 0001: PB14 0010: PC14 0011: PIS2 其他: 保留
EXTIS13	Bit 23-20	R/W	EXTI<13>端口选择位 0000: PA13 0001: PB13 0010: PC13 0011: PIS1 其他: 保留
EXTIS12	Bit 19-16	R/W	EXTI<12>端口选择位 0000: PA12 0001: PB12 0010: PC12 0011: PIS0 其他: 保留
EXTIS11	Bit 15-12	R/W	EXTI<11>端口选择位 0000: PA11 0001: PB11 0010: PC11 0011: PD11 其他: 保留
EXTIS10	Bit 11-8	R/W	EXTI<10>端口选择位 0000: PA10 0001: PB10

			0010: PC10 0011: PD10 其他: 保留
EXTIS9	Bit 7-4	R/W	EXTI<9>端口选择位 0000: PA9 0001: PB9 0010: PC9 0011: PD9 其他: 保留
EXTIS8	Bit 3-0	R/W	EXTI<8>端口选择位 0000: PA8 0001: PB8 0010: PC8 0011: PD8 其他: 保留

14. 5. 2. 22 外部中断滤波控制寄存器 (GPIO_EXTIFLTCR)

外部中断滤波控制寄存器（GPIO_EXTIFLTCR）																															
偏移地址：40 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								FLTSEL								FLTEN15	FLTEN14	FLTEN13	FLTEN12	FLTEN11	FLTEN10	FLTEN9	FLTEN8	FLTEN7	FLTEN6	FLTEN5	FLTEN4	FLTEN3	FLTEN2	FLTEN1	FLTEN0

Reserved	Bit 31-24	—	保留
FLTSEL	Bit 23-16	RW	EXTI 端口中断去抖滤波时间选择位 滤波时间 = (FLTSEL<7:0> + 1) × 2 个 LRC (或 HRC48M 三分频) 时钟周期 (因时钟同步而引入的滤波时间偏差约 1 个时钟周期) 注 1: 该数字滤波器可滤除脉宽小于上述滤波时间的非连续抖动脉冲, 对连续抖动的群脉冲, 可能无法完全滤除。 注 2: 滤波时钟可通过寄存器 CMU_CFGR 的 IOFLT SW 位进行选择和 IOFLTEN 位使能, HRC48M 关闭后自动切换为 LRC 时钟。
FLTEN<y>	Bit 15-0	RW	EXTI<y>端口中断去抖滤波使能位 0: 禁止 1: 使能 注 1: 该位需在中断使能之前配置, 使能之后禁止更改。 注 2: 该位使能前需先设置滤波时钟及滤波时间。

第15章 循环冗余校验（CRC）

15.1 概述

循环冗余校验（CRC）发生器可以执行带可编程多项式设定的 CRC 计算，用于对数据传输的完整性和正确性进行校验。

15.2 特性

- ◆ 支持四个常用的多项式：CRC-CCITT，CRC-8，CRC-16 和 CRC-32
 - ◇ CRC-CCITT: $X^{16} + X^{12} + X^5 + 1$
 - ◇ CRC-8: $X^8 + X^2 + X + 1$
 - ◇ CRC-16: $X^{16} + X^{15} + X^2 + 1$
 - ◇ CRC-32: $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$
- ◆ 支持可编程的种子值
- ◆ 支持对输入数据和 CRC 校验值的可编程的反序设定
- ◆ 支持对输入数据和 CRC 校验值的可编程的反码设定
- ◆ 支持 8/16/32 位数据宽度
 - ◇ 8-bit 写模式：1 个 AHB 时钟周期操作
 - ◇ 16-bit 写模式：2 个 AHB 时钟周期操作
 - ◇ 32-bit 写模式：4 个 AHB 时钟周期操作
- ◆ 支持使用 DMA 写数据执行 CRC 操作

15.3 结构框图

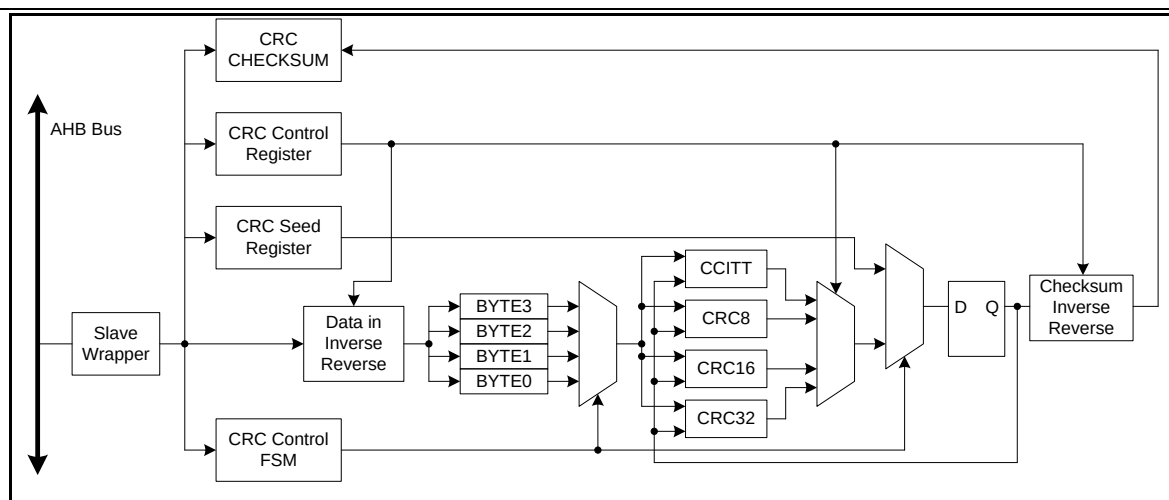


图 15-1 CRC 结构框图

15.4 功能描述

15.4.1 常规操作

CRC 发生器可以执行带可编程多项式设定的 CRC 运算。多项式操作包括 CRC-CCITT, CRC-8, CRC-16 和 CRC-32。用户可以通过设置 MODE 选择 CRC 多项式操作模式。

操作示例:

1. 通过设置 CRC_CR.EN 使能 CRC 发生器
2. CRC 运算初始化设置
 - a. 通过设置 CRC_CR.CHSINV 配置 CRC 校验值反码
 - b. 通过设置 CRC_CR.CHSREV 配置 CRC 校验值位反序
 - c. 通过设置 CRC_CR.DATINV 配置 CRC 写入数据反码
 - d. 通过设置 CRC_CR.DATREV 配置 CRC 写入数据位反序
 - e. 通过设置 CRC_CR.MODE 配置 CRC 校验模式
 - f. 通过设置 CRC_CR.DATLEN 配置 CRC 写入数据长度
3. 通过设置 CRC_CR.RST 执行 CRC 复位, CRC 复位将装载初始种子值到 CRC 运算电路
4. 写数据到 CRC_DATA 寄存器来计算 CRC 校验值
5. 通过读 CRC_CHECKSUM 寄存器来获得 CRC 校验结果

15.4.2 DMA请求

DMA 请求(在使能后)仅用于数据传输,当需要减少 MCU 负荷时可以使用 DMA 功能,在计算完 CRC 后, DMA 模块将 CRC_CHECKSUM 里面的计算值传输到用户提供的存储区中。

操作示例:

1. 通过设置 CRC_CR.EN 使能 CRC 发生器
2. CRC 运算初始化设置
 - a. 通过设置 CRC_CR.CHSINV 配置 CRC 校验值反码
 - b. 通过设置 CRC_CR.CHSREV 配置 CRC 校验值位反序
 - c. 通过设置 CRC_CR.DATINV 配置 CRC 写入数据反码
 - d. 通过设置 CRC_CR.DATREV 配置 CRC 写入数据位反序
 - e. 通过设置 CRC_CR.MODE 配置 CRC 校验模式
 - f. 通过设置 CRC_CR.DATLEN 配置 CRC 写入数据长度
3. 通过设置 CRC_CR.RST 执行 CRC 复位, CRC 复位将装载初始种子值到 CRC 运算

电路

4. 用户先定义一段特殊类型的存储区，假设此存储区命名为 `DESCR`，把 `DMA_CTRLBASE+x` 的地址赋给此存储区首地址，此存储区数据类型参考 DMA 章节
5. 将 `CRC_DATA` 寄存器的地址填入 `DESCR.DST`，表示每发生一次 CRC 的 DMA 申请事件，数据搬运的目标地址，数据都会从需要计算 CRC 的数据存储区中传到 `CRC_DATA` 寄存器地址下
6. 设置 `DESCR.DSR_INC`，表示目标地址每一次发生 CRC 的 DMA 申请事件后的地址增加量
7. 将用户定义的数据存储区的地址填入 `DESCR.SRC`，表示每发生一次 CRC 的 DMA 申请事件后数据搬运的源地址，数据都会从该存储区中传入 `CRC_DR` 地址下
8. 设置 `DESCR.SRC_INC`，表示源地址每一次发生 CRC 的 DMA 申请事件后的地址增加量
9. 需要传输的总字节数减 1 填入 `DESCR.N_MINUS_1`，则每发生一次 CRC 的 DMA 申请事件后，该值都会递减，注意最大字节数为 1024 个字节
10. 设置 `DMA_CHx_SELCON.MSEL` 选择触发 DMA 的输入源为 CRC
11. 通道的优先级通过设置 `DMA_CHPRSET` 或 `DMA_CHPRCLR` 寄存器来配置
12. 以上步骤都执行完毕后，初始化阶段完成了，需要激活该 DMA 通道，设置 `DMA_CHENSET` 使能用户选择的通道
13. 使能 `CRC_CR.DMAEN` 位。

15. 5 特殊功能寄存器

15. 5. 1 寄存器列表

CRC 寄存器列表		
名称	偏移地址	描述
CRC_CR	0000 _H	CRC 控制寄存器
CRC_DATA	0004 _H	CRC 写数据寄存器
CRC_SEED	0008 _H	CRC 种子寄存器
CRC_CHECKSUM	000C _H	CRC 校验值寄存器

15.5.2 寄存器描述

15.5.2.1 CRC控制寄存器 (CRC_CR)

CRC 控制寄存器 (CRC_CR)																															
偏移地址: 00 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							BYTORD	DATLEN	MODE	CHSINV	DATINV	CHSREV	DATREV	Reserved												DMAEN	CWERR	WERR	RST	EN	

Reserved	Bit 31-25	—	保留
BYTORD	Bit 24	RW	校验值字节顺序选择位 0: 优先校验低字节 1: 优先校验高字节 注: 优先校验低字节即优先校验Bit 7-0; 优先校验高字节, 16-bit模式即优先校验Bit 15-8, 32-bit模式优先校验Bit 31-24; 8-bit模式校验顺序无区别
DATLEN	Bit 23-22	RW	数据长度选择位 00: 通过写 CRC_DATA 寄存器方式自动判断 01: 数据为 8-bit (CRC_DATA<7:0>有效) 10: 数据为 16-bit (CRC_DATA<15:0>有效) 11: 数据为 32-bit (CRC_DATA<31:0>有效)
MODE	Bit 21-20	RW	模式选择位 00: CRC-CCITT 多项式模式 01: CRC-8 多项式模式 10: CRC-16 多项式模式 11: CRC-32 多项式模式
CHSINV	Bit 19	RW	校验值反码使能位 0: 禁止 1: 使能
DATINV	Bit 18	RW	写数据反码使能位 0: 禁止 1: 使能
CHSREV	Bit 17	RW	校验值反序使能位 0: 禁止 1: 使能
DATREV	Bit 16	RW	写数据反序使能位 0: 禁止 1: 使能
Reserved	Bit 15-5	—	保留
DMAEN	Bit 4	RW	DMA 使能位 0: 禁止

			1: 使能
CWERR	Bit 3	W1	CRC 写数据错误标志清除位 0: 无操作 1: 清除标志位
WERR	Bit 2	R	CRC 写数据错误标志位 0: 无错误 1: 发生写数据错误 注: 写入格式与 DATLEN 所选择不相符时会将标志位置位, 未在最低字节或低半字写数据时也会将标志位置位。
RST	Bit 1	W1	CRC 复位位 0: 无操作 1: 复位 注: 该位复位CRC内部状态机、DMAEN和缓存以及初始化种子值, 但不会复位寄存器值
EN	Bit 0	RW	CRC 使能位 0: 禁止 1: 使能

15.5.2.2 CRC写数据寄存器 (CRC_DATA)

CRC 写数据寄存器 (CRC_DATA)																																
偏移地址: 04 _H																																
复位值: 00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
DATA																																

DATA	Bit 31-0	RW	CRC 写入数据位 用户看可以通过 CPU 或 DMA 直接写数据到该位来执行 CRC 操作。 注 1: 当写数据长度是 8-bit 模式, 该位有效数据为 DATA<7:0>, 如果数据长度是 16-bit 模式, 该位有效数据为 DATA<15:0>。如果自动检测数据长度, 则可通过最低字节、低半字或字写入方式任意写入数值。 注 2: 当写入到错误的字节或半字时, 硬件会置位写数据错误标志位 WERR。
------	----------	----	---

15. 5. 2. 3 CRC种子寄存器（CRC_SEED）

CRC 种子寄存器（CRC_SEED）																															
偏移地址：08 _H																															
复位值：11111111_11111111_11111111_11111111 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEED																															

SEED	Bit 31-0	R/W	CRC 种子值 该位表示 CRC 校验种子值
------	----------	-----	---------------------------

15. 5. 2. 4 CRC校验值寄存器（CRC_CHECKSUM）

CRC 校验值寄存器（CRC_CHECKSUM）																															
偏移地址：0C _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHECKSUM																															

CHECKSUM	Bit 31-0	R	CRC 校验值 该位表示 CRC 校验结果
----------	----------	---	--------------------------

第16章 高级定时器(AD16C6T)

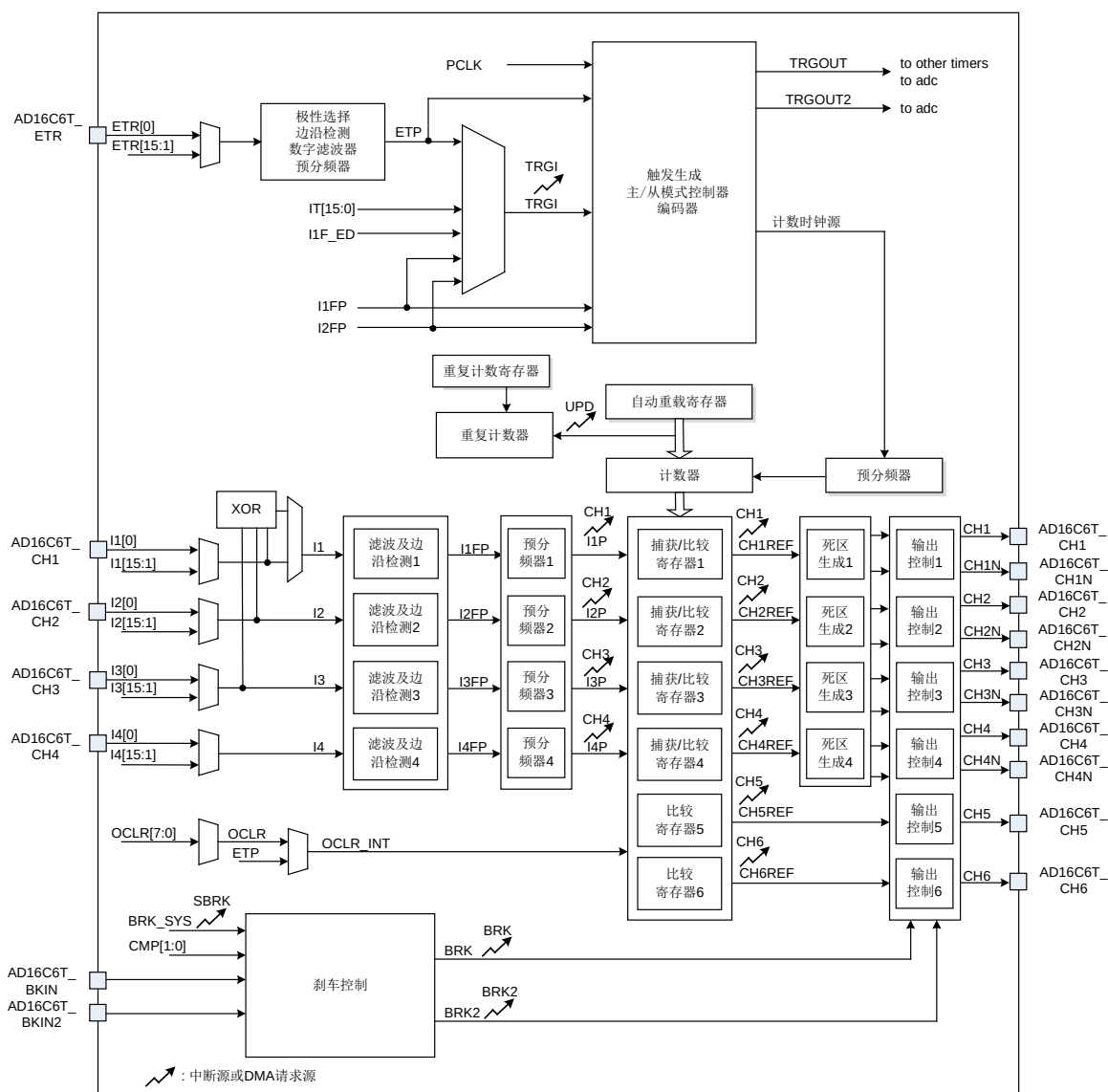
16.1 概述

高级定时器(AD16C6T)是一个功能强大、设置灵活的定时器模块，它包含一个 16 位计数器，具有定时、计数、脉冲输入信号测量（输入捕获）、产生特定 PWM 波形（输出比较）与可设置死区时间的互补输出等功能。

16.2 特性

- ◆ 三种 16 位自动重载计数器模式
 - ◇ 递增
 - ◇ 递减
 - ◇ 递增/递减
- ◆ 16 位可编程预分频器，可在定时器运行时对计数器工作时钟进行 1 到 65536 之间的任意分频
- ◆ 带有四个独立通道，每个通道支持以下功能
 - ◇ 输入捕获
 - ◇ 输出比较
 - ◇ PWM 输出（边沿和中心对齐模式）
 - ◇ 单脉冲输出
- ◆ 通道 1~4 支持互补输出，可设置死区时间
- ◆ 同步电路用于外部信号控制定时器及内部互联多个定时器
- ◆ 重复计数器，用于在给定数目的计数周期后更新定时器寄存器
- ◆ 支持两个刹车输入功能，并可设置刹车后定时器输出状态
- ◆ 下列事件支持产生中断与 DMA 请求：
 - ◇ 更新事件：计数器上溢或下溢，计数器初始化（通过软件或内部与外部触发）
 - ◇ 触发事件：计数器开启、停止、初始化或通过内部与外部触发计数
 - ◇ 换向事件（COM）
 - ◇ 输入捕获
 - ◇ 输出比较
 - ◇ 刹车输入
- ◆ 支持增量（正交）编码及霍尔电路进行定位
- ◆ 外部时钟输入触发计数器

16.3 结构图



16.4 引脚选择与内部连接表

16.4.1 引脚选择

设置 AD16C6T_CHRMP 寄存器，可重映射通道 1 到通道 4 输出/输入引脚(含其互补通道)，如下表：

CHnR MP	AD16C6T_C H1	AD16C6T_C H2	AD16C6T_C H3	AD16C6T_C H4	AD16C6T_C H1N	AD16C6T_C H2N	AD16C6T_C H3N	AD16C6T_C H4N
0000	*AD16C6T_ CH1	AD16C6T_C H1	AD16C6T_C H1	AD16C6T_C H1	AD16C6T_C H1	AD16C6T_C H1	AD16C6T_C H1	AD16C6T_C H1
0001	AD16C6T_C H2	*AD16C6T_ CH2	AD16C6T_C H2	AD16C6T_C H2	AD16C6T_C H2	AD16C6T_C H2	AD16C6T_C H2	AD16C6T_C H2
0010	AD16C6T_C H3	AD16C6T_C H3	*AD16C6T_ CH3	AD16C6T_C H3	AD16C6T_C H3	AD16C6T_C H3	AD16C6T_C H3	AD16C6T_C H3
0011	AD16C6T_C H4	AD16C6T_C H4	AD16C6T_C H4	*AD16C6T_ CH4	AD16C6T_C H4	AD16C6T_C H4	AD16C6T_C H4	AD16C6T_C H4
0100	AD16C6T_C H1N	AD16C6T_C H1N	AD16C6T_C H1N	AD16C6T_C H1N	*AD16C6T_ CH1N	AD16C6T_C H1N	AD16C6T_C H1N	AD16C6T_C H1N
0101	AD16C6T_C H2N	AD16C6T_C H2N	AD16C6T_C H2N	AD16C6T_C H2N	AD16C6T_C H2N	*AD16C6T_ CH2N	AD16C6T_C H2N	AD16C6T_C H2N
0110	AD16C6T_C H3N	AD16C6T_C H3N	AD16C6T_C H3N	AD16C6T_C H3N	AD16C6T_C H3N	AD16C6T_C H3N	*AD16C6T_ CH3N	AD16C6T_C H3N
0111	AD16C6T_C H4N	AD16C6T_C H4N	AD16C6T_C H4N	AD16C6T_C H4N	AD16C6T_C H4N	AD16C6T_C H4N	AD16C6T_C H4N	*AD16C6T_ CH4N

表 16-1 AD16C6T 引脚输出选择表

注：带*号为寄存器初始设定。

CHn_OUT_MUX 为最输出到引脚上的信号，在默认情况下，与实际 IO MUX 连接表上所定义的一致：

- ◆ AD16C6T_CH1 = AD16C6T_CH1 输出
- ◆ AD16C6T_CH2 = AD16C6T_CH2 输出
- ◆ AD16C6T_CH3 = AD16C6T_CH3 输出
- ◆ AD16C6T_CH4 = AD16C6T_CH4 输出
- ◆ AD16C6T_CH1N = AD16C6T_CH1N 输出
- ◆ AD16C6T_CH2N = AD16C6T_CH2N 输出
- ◆ AD16C6T_CH3N = AD16C6T_CH3N 输出
- ◆ AD16C6T_CH4N = AD16C6T_CH4N 输出

由于 CHn 的通道具有输入及输出性，因此真正进入定时器内部的输入信号源，也会经过重映射如下：

- ◆ AD16C6T_CH1 输入 = 设置 CHnRMP 为 0000b 的引脚
- ◆ AD16C6T_CH2 输入 = 设置 CHnRMP 为 0001b 的引脚

- ◆ AD16C6T_CH3 输入 = 设置 CHnRMP 为 0010b 的引脚
- ◆ AD16C6T_CH4 输入 = 设置 CHnRMP 为 0011b 的引脚
- ◆ CHnN 互补通道只具备输出，不具输入功能，暂不考虑

一般预设情况下：

- ◆ AD16C6T_CH1 输入 = AD16C6T_CH1
- ◆ AD16C6T_CH2 输入 = AD16C6T_CH2
- ◆ AD16C6T_CH3 输入 = AD16C6T_CH3
- ◆ AD16C6T_CH4 输入 = AD16C6T_CH4

需要要特别注意的是，应用时不允许同一个信号源映射在两个或以上不同引脚，假设设定成 CH1RMP = CH2RMP = 0011b：

- ◆ AD16C6T_CH1 = AD16C6T_CH4 输出
- ◆ AD16C6T_CH2 = AD16C6T_CH4 输出

在这种情况下，两个输出引脚都会变成 AD16C6T_CH4 的输出，而输入端会变成以下情况：

- ◆ AD16C6T_CH4 输入 = AD16C6T_CH1
- ◆ AD16C6T_CH4 输入 = AD16C6T_CH2

即两个引脚输入的信号都接到同一个 AD16C6T_CH4 输入，由于内部电路会将所有输入信号进行“或”运算，因此无法在 CH4 上分辨是 CH1 或 CH2 的信号源

16.4.2 引脚输入源

设置 AD16C6T_CHISEL 寄存器，可选择通道 1 到通道 4 引脚输入来源，如下表：

I1SEL	AD16C6T 通道 1
0000	AD16C6T_CH1
0001	ACMP0
0010	ACMP1
0011	ACMP2
其他	保留

表 16-2 通道 1 引脚输入来源

I2SEL	AD16C6T 通道 2
0000	AD16C6T_CH2
0001	ACMP0
0010	ACMP1
0011	ACMP2
其他	保留

表 16-3 通道 2 引脚输入来源

I3SEL	AD16C6T 通道 3
0000	AD16C6T_CH3
0001	ACMP0
0010	ACMP1
0011	ACMP2
其他	保留

表 16-4 通道 3 引脚输入来源

I4SEL	AD16C6 通道 4
0000	AD16C6T_CH4
0001	ACMP0
0010	ACMP1
0011	ACMP2
其他	保留

表 16-5 通道 4 引脚输入来源

设置 AD16C6T_AFR1 寄存器的 ETRSEL 位，可选择 ETR 引脚输入来源，如下表：

ETRSEL	AD16C6T
0000	AD16C6T_ETR
0001	ACMP0
0010	ACMP1
0011	ACMP2
0100	PIS_CH0_OUT
0101	PIS_CH1_OUT
0110	PIS_CH2_OUT
0111	PIS_CH3_OUT
1000	PIS_CH4_OUT
1001	PIS_CH5_OUT
1010	PIS_CH6_OUT
1011	PIS_CH7_OUT
其他	保留

表 16-6 ETR 引脚输入来源

16.4.3 内部触发连接表

IT0(TSSE =00000)	IT1(TSSEL =00001)	IT2(TSSEL =00010)	IT3(TSSEL =00011)	IT4(TSSEL =01000)	IT5(TSSEL =01001)	IT6(TSSEL =01010)	IT7(TSSEL =01011)	IT8(TSSEL =01100)
BS16T0	BS16T1	GP16C4T0	GP16C4T1	GP16C4T2	PIS_CH4_ OUT	PIS_CH5_ OUT	PIS_CH6_ OUT	PIS_CH7_ OUT

表 16-7 AD16C6T 内部触发连接表

16.5 功能描述

16.5.1 定时单位

定时器包含一个 16 位的计数器(AD16C6T_COUNT)，计数时钟由预分频寄存器(AD16C6T_PRES)进行分频。计数周期由自动重载计数器(AD16C6T_AR)设定。重复计数寄存器则可指定计数周期数目(AD16C6T_REPAR)。

自动重载寄存器(AD16C6T_AR)是一个可缓冲的寄存器。设置 AD16C6T_CON1 寄存器的 ARPEN 位为 0 时，关闭 AD16C6T_AR 寄存器缓冲功能，写入 AD16C6T_AR 寄存器的值会被立即反应到缓冲寄存器中；而设置 ARPEN 位为 1 时，AD16C6T_AR 寄存器具有缓冲功能，只有当产生更新事件(UPD)时，AD16C6T_AR 寄存器的重载值才会被更新到缓冲寄存器中。

设置 AD16C6T_CON1 寄存器的 DISUE 位为 0 时，计数器递增计数达到上溢值或递减达到下溢值时会产生更新事件(UPD)。另外可以通过 AD16C6T_SGE 寄存器的 SGUPD 位为 1 产生软件更新事件。设置 AD16C6T_CON1 寄存器的 CNTEN 为 1 时，计数器开始计数。

注：计数器在设置 CNTEN 位为 1 后，在 1 个定时器时钟周期后开始计数。

预分频器可对定时器工作时钟进行 AD16C6T_PRES 寄存器数值+1 次分频。由于 AD16C6T_PRES 是一个可缓冲寄存器，因此定时器运行时可以对该寄存器进行修改，修改值在下次更新事件(UPD)后有效。

下图给出了定时器运行过程中改变预分频值时计数器的计数情况。

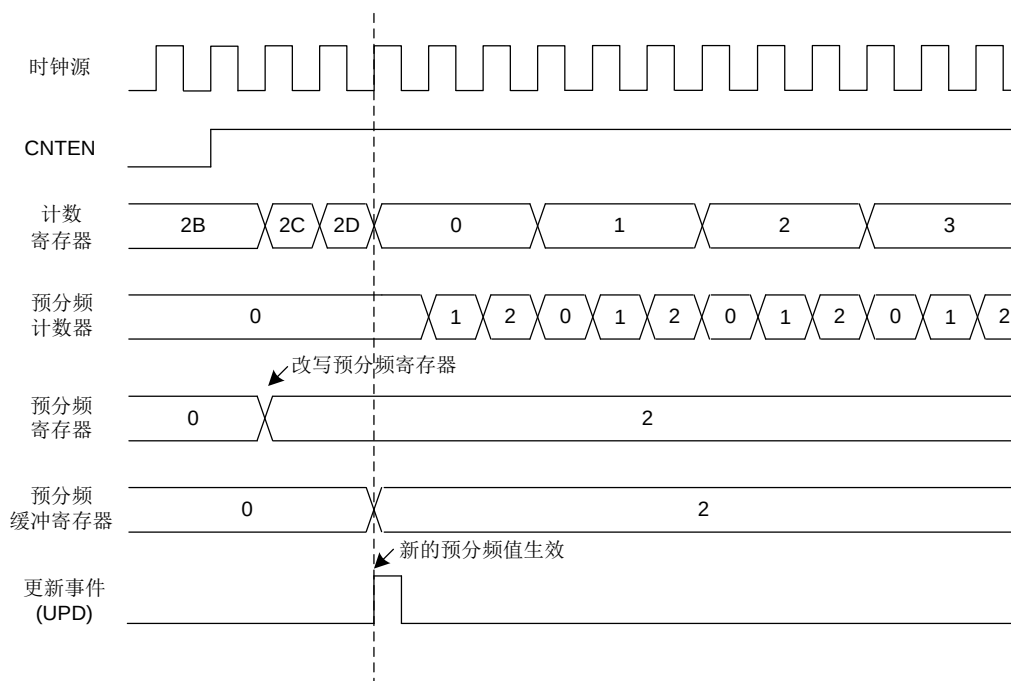


图 16-2 从 1 分频变为 3 分频时的计数时序图

16.5.2 重复计数器

重复计数器用于控制发生多少次上溢或下溢后产生更新事件。

重复计数器在下列情况下递减：

- ◆ 递增模式时计数器的每次上溢。
- ◆ 递减模式时计数器的每次下溢。
- ◆ 中心对齐模式时，计数器的每次上溢与下溢。中心对齐模式限制了最大重复次数为 32768 个 PWM 周期，每个 PWM 周期内可更新两次占空比。

AD16C6T_REPAR 寄存器是一个可缓冲寄存器。当由软件(设置 AD16C6T_SGE 寄存器的 SGUPD 位为 1)或硬件(从机模式控制方式)产生更新事件时，无论重复计数器为何值，重复寄存器的数值会立即被更新到重复缓冲寄存器。

中心对齐模式下，当 AD16C6T_REPAR 为奇数时，每次更新事件只会发生在上溢或只发生在下溢，取决于何时写 AD16C6T_REPAR 寄存器。

REPAR = 3 重复计数

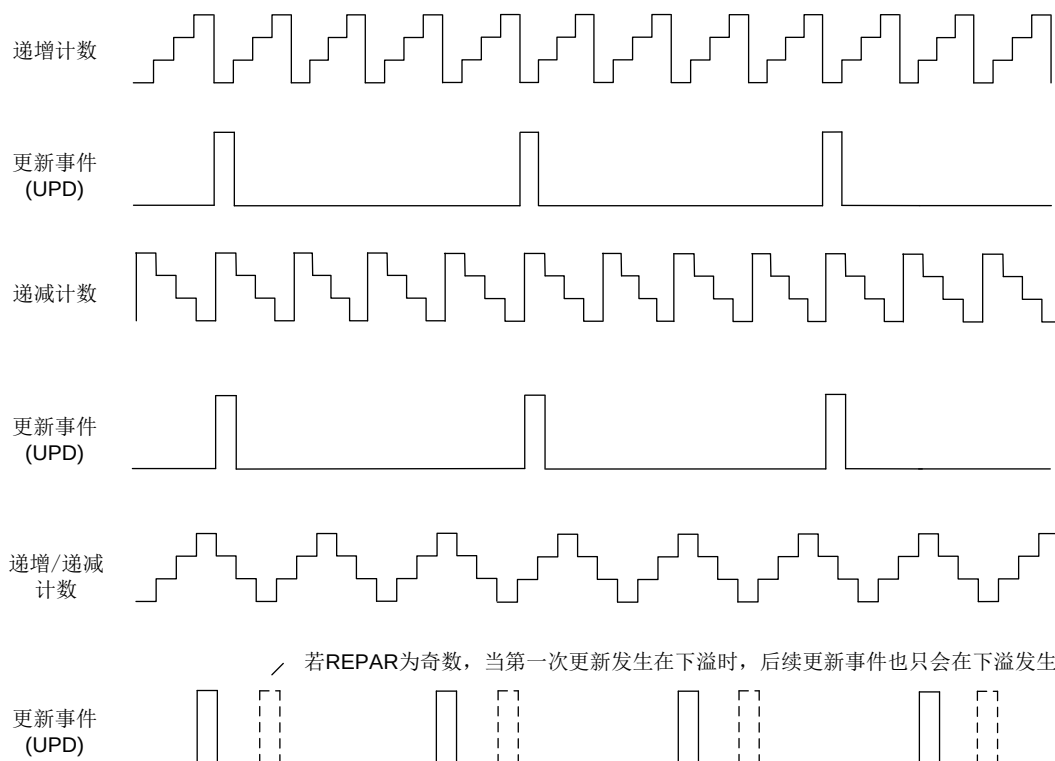


图 16-3 重复计数器工作模式

注：设置 AD16C6T_SGE 寄存器的 SGUPD 位为 1，也可以产生更新事件。

16.5.3 时钟源

计数器工作时钟可以选择内部时钟(INT_CLK)、外部时钟源 1(TRGI)、外部时钟源 2(ETP)与编码器输入。

16.5.3.1 内部时钟源(INT_CLK)

若从模式控制器被关闭(AD16C6T_SMCON 寄存器的 SMODS 位为 0000b)，则 AD16C6T_CON1 寄存器的 CNTEN、DIRSEL 位与 AD16C6T_SGE 寄存器的 SGUPD 位为控制位，这些位只能软件修改(SGUPD 位除外，仍由硬件自动清除)。一旦设置 CNTEN 位为 1，预分频器就由内部 INT_CLK 提供时钟。

INT_CLK 时钟来源为 APB 时钟(PCLK)，可以参考复位与时钟控制单元(RCU)。

下图给出了正常模式下没有分频控制电路和递增计数的情况。

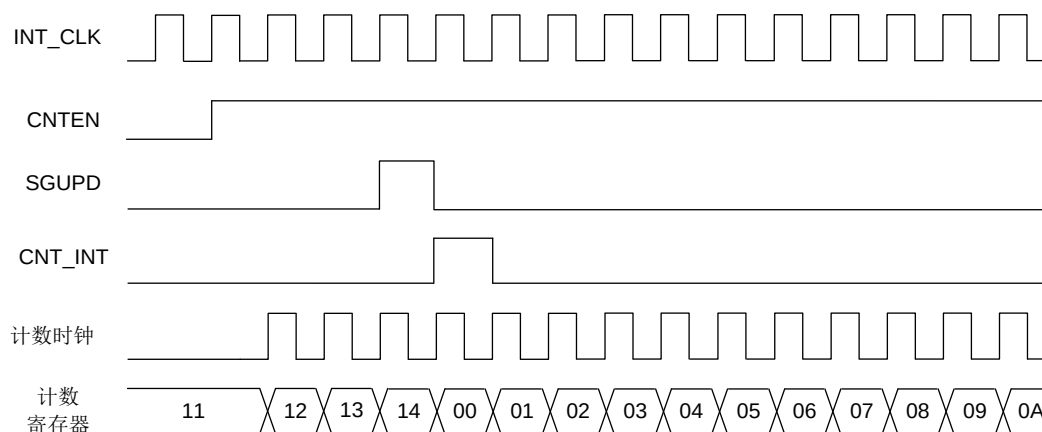


图 16-4 采用内部时钟计数

16.5.3.2 外部时钟源 1

AD16C6T_SMCON 寄存器的 SMODS 位为 0111b 时, 可选择外部时钟源 1。计数器可根据选定输入信号的上升沿或下降沿计数。

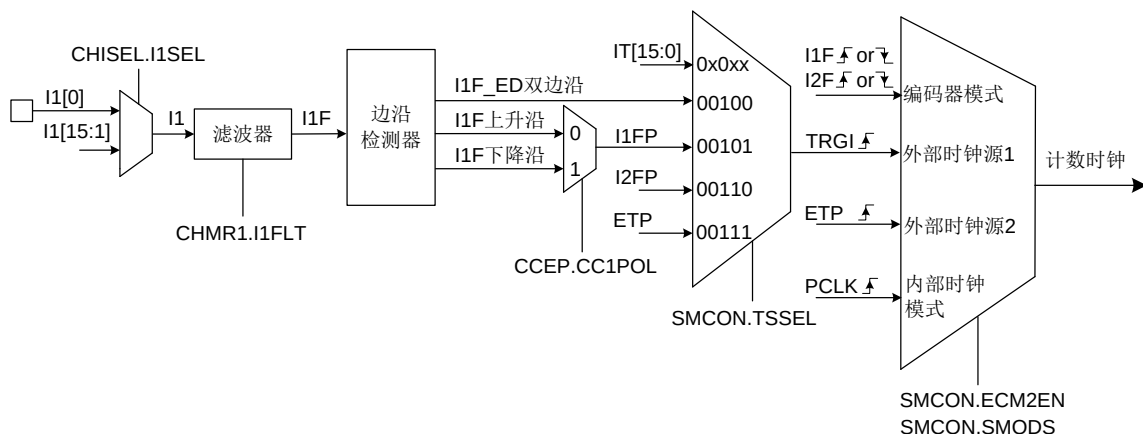


图 16-5 外部时钟连接

设置计数器外部时钟源为 I1 输入，并在 I1 上升沿时计数，步骤如下：

1. 设置 AD16C6T_CHISEL 寄存器的 CH1SEL 位为 0000b，选择 I1 由 IO 输入(默认值皆为 IO 输入，后续不再特别描述)。
2. 设置 AD16C6T_CHMR1 寄存器 CC1SSEL 位为 01b，让通道 1 为 I1 输入。
3. 设置 AD16C6T_CHMR1 寄存器的 I1FLT 位，输入滤波器时间(若没有滤波器需求，维持 I1FLT 位为 0000b)。
4. 设置 AD16C6T_CCEP 寄存器的 CC1NPOL 位为 0、CC1POL 位为 0，选择极性为上升沿。
5. 设置 AD16C6T_SMCON 寄存器的 TSSEL 位为 00101b，选择外部时钟源为 I1。
6. 设置 AD16C6T_SMCON 寄存器的 SMODS 位为 0111b，选择外部时钟模式 1。
7. 设置 AD16C6T_CON1 寄存器的 CNTEN 位为 1，开启计数器。

当 I1 上出现一次上升沿时，计数器计数一次且设置 TRGI 标志位为 1。I1 上升沿与实际时钟间的延迟，取决于 I1 输入的同步电路。

设置计数器外部时钟源为 IT6 输入，并在 IT6 上升沿时计数，步骤如下：

1. 设置 AD16C6T_SMCON 寄存器的 TSSEL 位为 01010b，选择外部时钟源为 IT6。
2. 设置 AD16C6T_SMCON 寄存器的 SMODS 位为 0111b，选择外部时钟模式 1。
3. 设置 AD16C6T_CON1 寄存器的 CNTEN 位为 1，开启计数器。

IT6 产生上升沿时, 计数器计数一次。

注：以 AD16C6T 为例，IT6 即为 PIS 通道 5 的输出 PIS CH5 OUT，详细可参考内部触发联结表。

16.5.3.3 外部时钟源 2

设置 AD16C6T_SMCON 寄存器的 ECM2EN 位为 1 选定外部时钟源 2。

计数器可对外部触发输入 ETR 进行上升沿或下降沿计数。

下图给出了外部触发输入模块的概况。

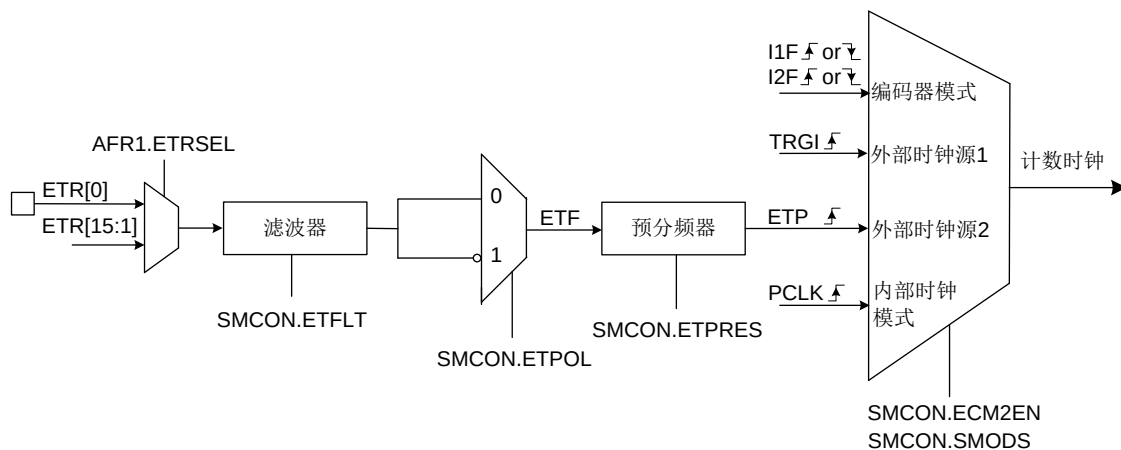


图 16-6 外部触发输入模块

设置计数器为外部时钟源 2，设置过程如下：

1. 设置 AD16C6T_SMCON 寄存器的 ETFLT 位，输入滤波器时间(若没有滤波器需求，维持 ETFLT 位为 0000b)预装载。
2. 设置 AD16C6T_SMCON 寄存器的 ETPRES 位为 0，关闭外部触发时钟预分频器。
3. 设置 AD16C6T_SMCON 寄存器的 ETPOL 位，检测 ETR 引脚上升沿或下降沿。
4. 设置 AD16C6T_SMCON 寄存器的 ECM2EN 位为 1，开启外部时钟模式 2。
5. 设置 AD16C6T_CON1 寄存器的 CNTEN 位为 1，开启计数器。

计数器在每个 ETR 上升沿计数一次。

16.5.4 计数模式

16.5.4.1 递增计数模式

设置 AD16C6T_CON1 寄存器的 DIRSEL 位为 0 时, 定时器设置为递增模式, 计数器从 0 开始递增, 直至 AD16C6T_AR 寄存器数值; 然后从 0 重新开始计数并产生一个更新事件(UPD)。

设置 AD16C6T_REPAR 寄存器不为 0 时, 则在 AD16C6T_REPAR+1 次计数后产生更新事件。

设置 AD16C6T_SGE 寄存器的 SGUPD 位为 1(通过软件或使用从模式控制器)同样会产生更新事件, 并让计数器和预分频器都重新从 0 开始计数。

通过软件设置 AD16C6T_CON1 寄存器中的 DISUE 位为 1 可关闭更新事件(UPD)产生。可以避免在写入预装载寄存器数值时产生更新事件(UPD)更新缓冲寄存器。在设置 DISUE 位为 0 之前都不会产生更新事件(UPD)。

此外, AD16C6T_CON1 寄存器中的 UERSEL 位为 1 时, 设置 SGUPD 位为 1 会产生更新事件(UPD), 但不会更新更新标志位(AD16C6T_RIF 寄存器的 UPD 位), 也不会产生中断或 DMA 请求。在这个配置下, 发生捕获事件时将计数器清零, 将不会同时产生更新中断和捕获中断。

发生更新事件(UPD)时, 所有预装载寄存器会更新到缓冲寄存器:

- ◆ 更新 AD16C6T_REPAR 寄存器数值到缓冲寄存器。
- ◆ 更新 AD16C6T_AR 寄存器数值到缓冲寄存器。
- ◆ 更新 AD16C6T_PRES 寄存器数值到缓冲寄存器。

下图为设置 AD16C6T_AR 寄存器为 0x16, 预分频设为 2 分频时的计数器时序。

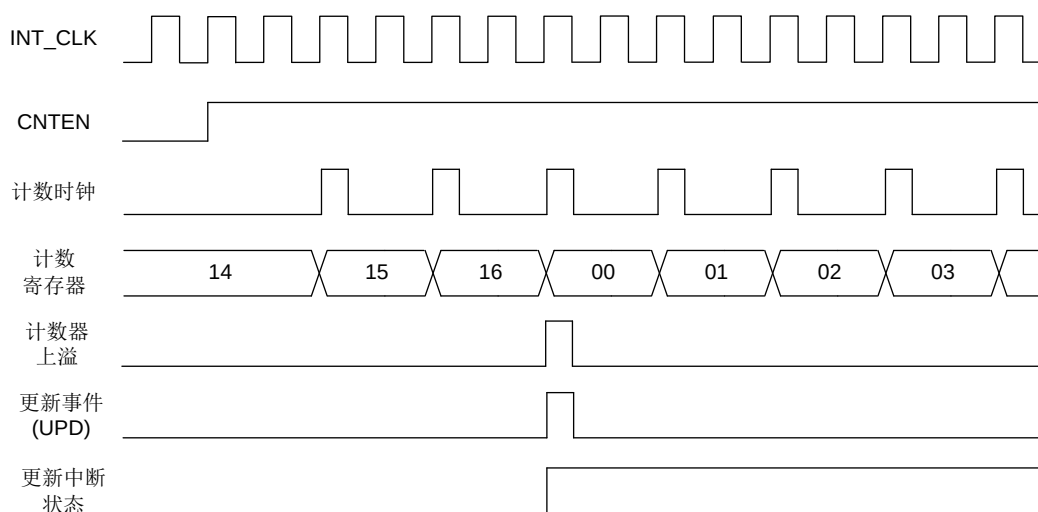


图 16-7 计数器递增计数时序图

下图为设置 AD16C6T_AR 寄存器从 0xF5 改成 0x16，分别在 ARPEN 为 0 或 1 时的计数器时序。

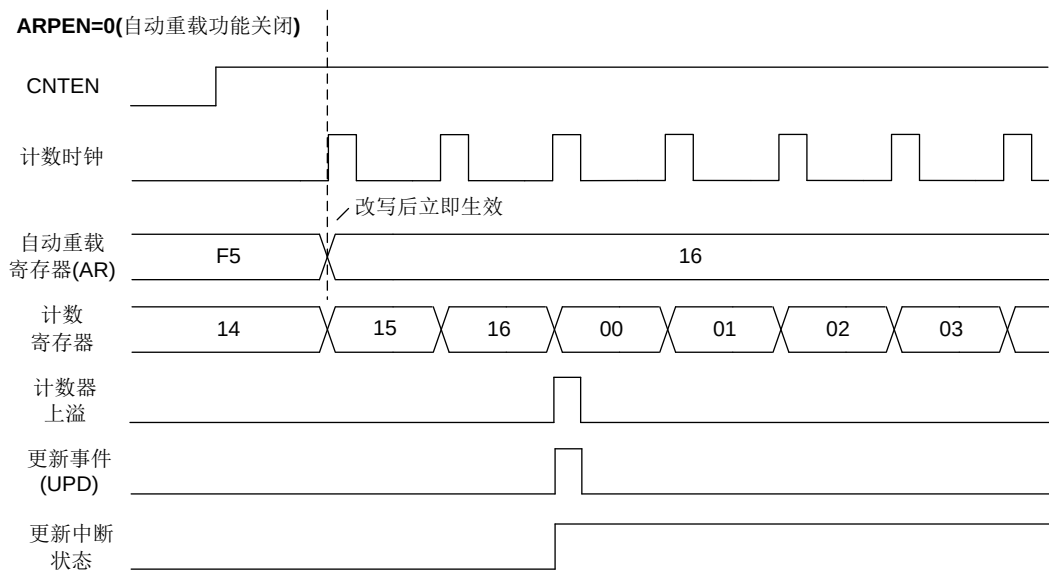


图 16-8 设置 ARPEN 位为 0 时计数器时序图

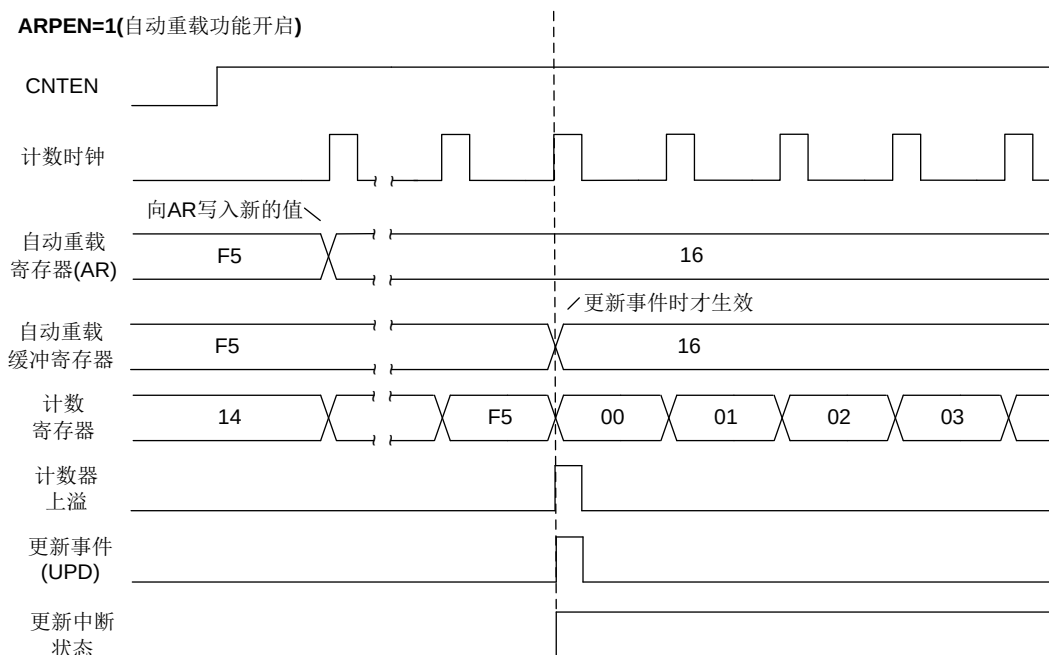


图 16-9 设置 ARPEN 位为 1 时计数器时序图

16.5.4.2 递减计数模式

设置 AD16C6T_CON1 寄存器的 DIRSEL 位为 1 时, 定时器设置为递减模式, 计数器从 AD16C6T_AR 寄存器数值开始递减至 0; 然后从 AD16C6T_AR 寄存器数值重新递减并产生更新事件(UPD)。设置 AD16C6T_REPAR 寄存器不为 0 时, 则在 AD16C6T_REPAR +1 次后产生更新事件。

设置 AD16C6T_SGE 寄存器的 SGUPD 位为 1(通过软件或使用从模式控制器)同样会产生更新事件, 并让计数器从自动重载值开始计数, 而预分频器从 0 开始计数。

通过软件设置 AD16C6T_CON1 寄存器中的 DISUE 位为 1 可关闭更新事件(UPD)产生。可以避免在写入预装载寄存器数值时产生更新事件(UPD)更新缓冲寄存器。在设置 DISUE 位为 0 之前都不会产生更新事件(UPD)。

此外, AD16C6T_CON1 寄存器中的 UERSEL 位为 1 时, 设置 SGUPD 位为 1 会产生更新事件(UPD), 但不会更新更新标志位(AD16C6T_RIF 寄存器的 UPD 位), 也不会产生中断或 DMA 请求。在这个配置下, 发生捕获事件时将计数器清零, 将不会同时产生更新中断和捕获中断。

发生更新事件(UPD)时, 所有预装载寄存器会更新到缓冲寄存器。

下图为设置 AD16C6T_AR 寄存器为 0x27, 预分频设为 1 分频时的计数器时序。

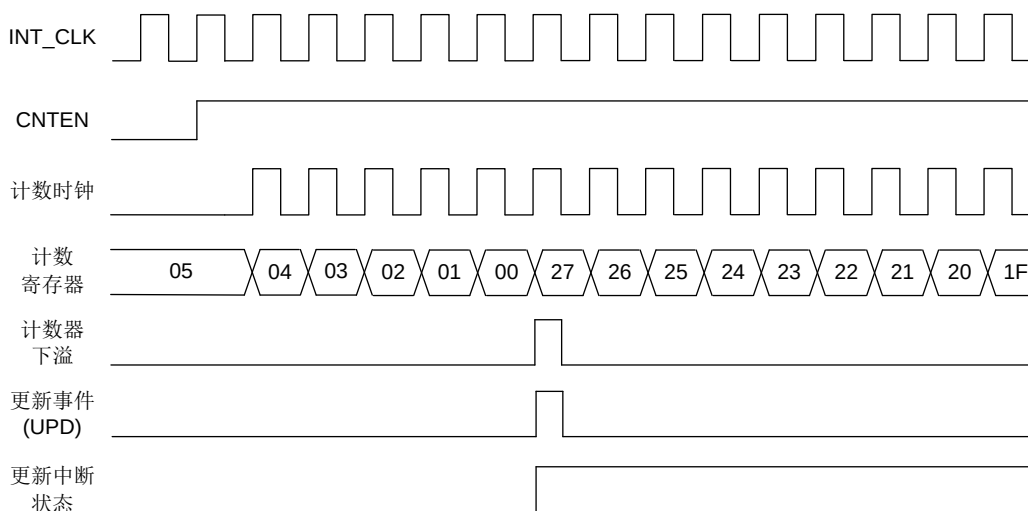


图 16-10 计数器递减计数时序图

16.5.4.3 中心对齐模式

若将 AD16C6T_CON1 寄存器的 CMSEL 位数值设置为非 00b 值, 则定时器会运作于中心对齐模式。在中心对齐模式下, 计数器会从 0 开始递增至 AD16C6T_AR 寄存器的数值减 1, 同时产生更新事件(UPD); 接着计数器会从 AD16C6T_AR 寄存器的数值递减至 1, 并再次产生更新事件; 最后计数器会从 0 重新开始计数, 进行循环计数。

将通道配置为输出模式时, 若要设置输出比较中断标志为 1, 则需考虑定时器工作在何种中心

对齐模式下:

- ◆ 中心对齐模式 1(设置 CMSEL 位为 01b): 输出比较中断标志只产生在计数器递减计数时。
- ◆ 中心对齐模式 2(设置 CMSEL 位为 10b): 输出比较中断标志只产生在计数器递增计数时。
- ◆ 中心对齐模式 3(设置 CMSEL 位为 11b): 输出比较中断标志在计数器递增递减计数时都会产生。

在中心对齐模式下, AD16C6T_CON1 寄存器的 DIRSEL 位无法进行写入操作, 该位由硬件自动更新, 指示当前计数方向。

计数上溢、下溢或者设置 AD16C6T_SGE 寄存器的 SGUPD 位为 1(通过软件或使用从模式控制器)都会产生更新事件, 而通过软件或使用从模式控制器的方式, 会让计数器和预分频器都重新从 0 开始递增计数。

通过软件设置 AD16C6T_CON1 寄存器中的 DISUE 位为 1, 可以关闭更新事件(UPD)的产生, 这可以避免在写入预装载寄存器数值时, 产生更新事件(UPD)并更新缓冲寄存器。在设置 DISUE 位为 0 之前, 不会产生更新事件(UPD)。

此外, 当设置 AD16C6T_CON1 寄存器中的 UERSEL 位为 1 时, 设置 SGUPD 位为 1 会产生更新事件(UPD), 但不会更新更新标志位(AD16C6T_RIF 寄存器的 UPD 位), 也不会产生中断或 DMA 请求。在这种配置下, 当发生捕获事件时, 计数器将被清零, 并且不会同时产生更新中断和捕获中断。

当发生更新事件(UPD)时, 所有预装载寄存器会被更新到缓冲寄存器中。

注: 若发生更新事件是因为计数器的上溢, 则在计数器重载之前, 自动重载缓冲寄存器就已经完成了更新。因此, 下一个计数周期将使用新的预装载值 (即计数器重载的新 AR 值)。

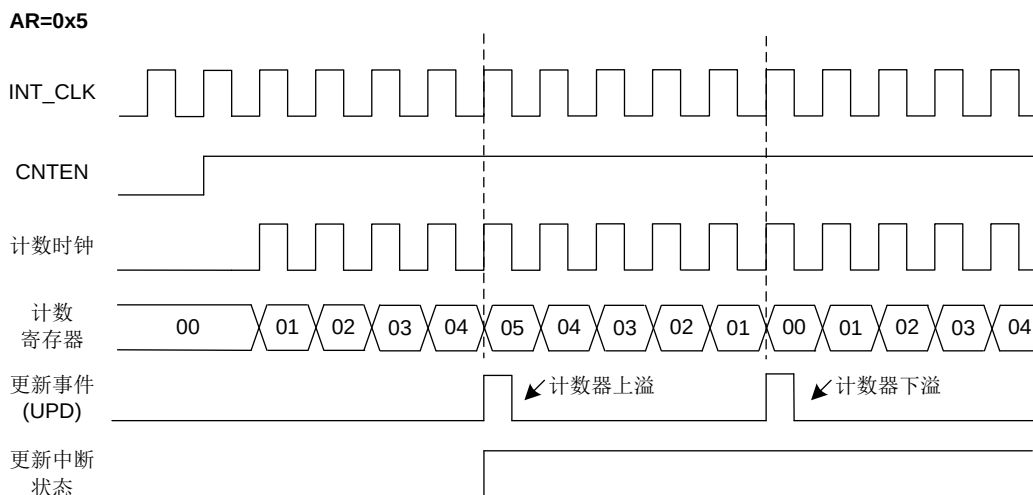


图 16-11 计数器递增减计数时序图

16.5.5 外部触发输入

定时器具有一个外部触发输入 ETR，主要作用于：

- ◆ 外部时钟模式。
- ◆ 从模式控制器的触发输入源。
- ◆ PWM 输出复位的触发输入源。

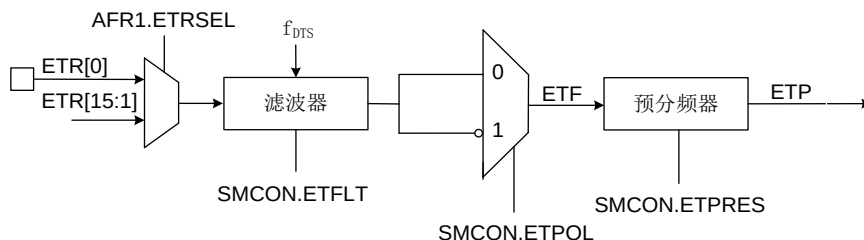


图 16-12 外部触发输入结构图

设置 AD16C6T_AFR1 寄存器的 ETRSEL 位，可选择 ETR 输入源为：

- ◆ ETR 输入引脚(默认选择)
- ◆ 比较器输出(ACMP0、ACMP1、ACMP2)
- ◆ PIS 通道输出(PIS_CH0_OUT~ PIS_CH7_OUT)

详细设定可参考引脚输入源章节。

16.5.6 捕获或比较通道

每个捕获或比较通道都包含一个捕获或比较预装载寄存器(包含缓冲寄存器)、一个输入捕获电路和一个输出比较电路。读写操作都是通过预装载寄存器进行的。在捕获模式下，实际的捕获是在缓冲寄存器中完成的，然后缓冲寄存器中的值被复制到预装载寄存器中。在比较模式下，预装载寄存器的值被复制到缓冲寄存器中，并与计数器进行比较。

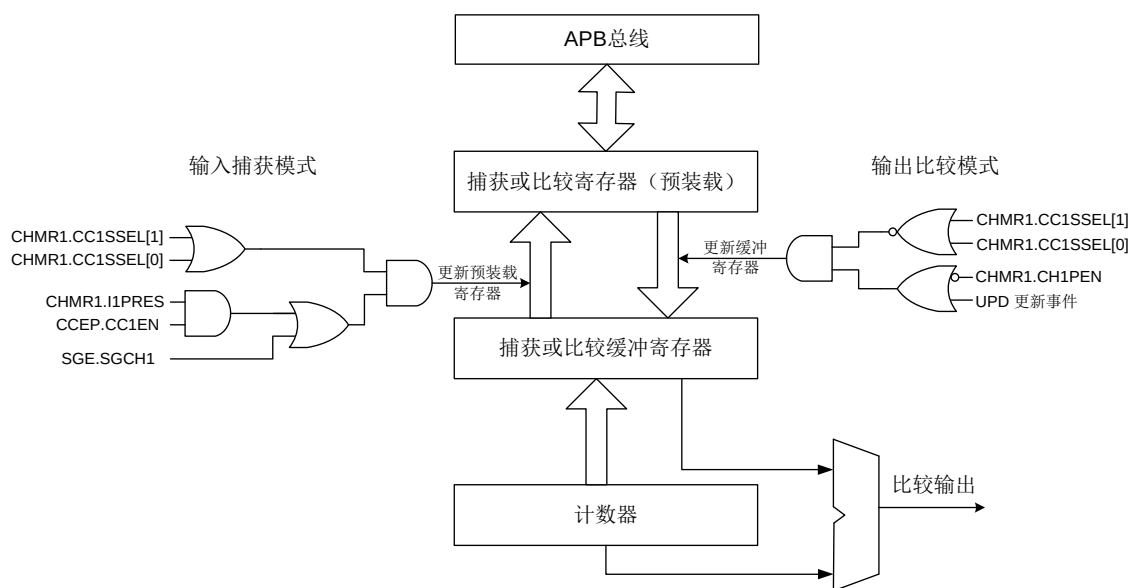


图 16-13 捕获或比较通道结构图(通道 1 为例)

16.5.6.1 输入捕获电路

输入捕获电路会对 In 输入端的信号进行采样, 经过数字滤波器后产生 InF 信号, 接着通过边沿检测器产生 InF 边沿信号, 包括上升沿、下降沿以及双边沿。最后, 根据 AD16C6T_CCEP 寄存器中的 CCnNPOL/CCnPOL 极性选择位, 生成 InFP 信号。这个信号可以输出到从模式控制器的触发输入(TRGI), 或作为捕获输入源(InP)之一, 而且还需要通过预分频器进行预处理。

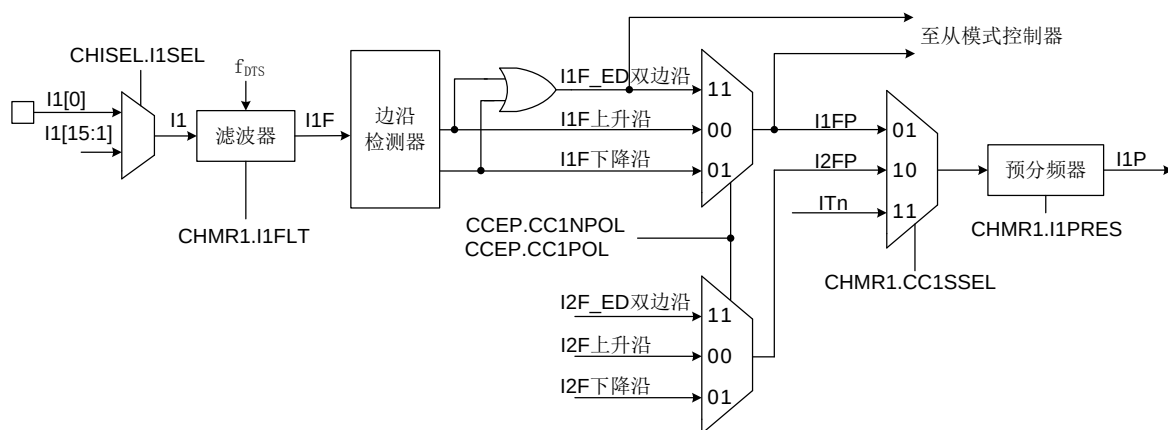


图 16-14 输入捕获电路(通道 1 为例)

16.5.6.2 输出比较电路

输出部分会根据 AD16C6T_CHMRn 寄存器中 CHnMOD 位的配置, 产生一个输出比较参考信号 CHnREF(高电平有效)。最终输出信号的极性则由 AD16C6T_CCEP 寄存器中的 CCnPOL/CCnNPOL 位所决定。

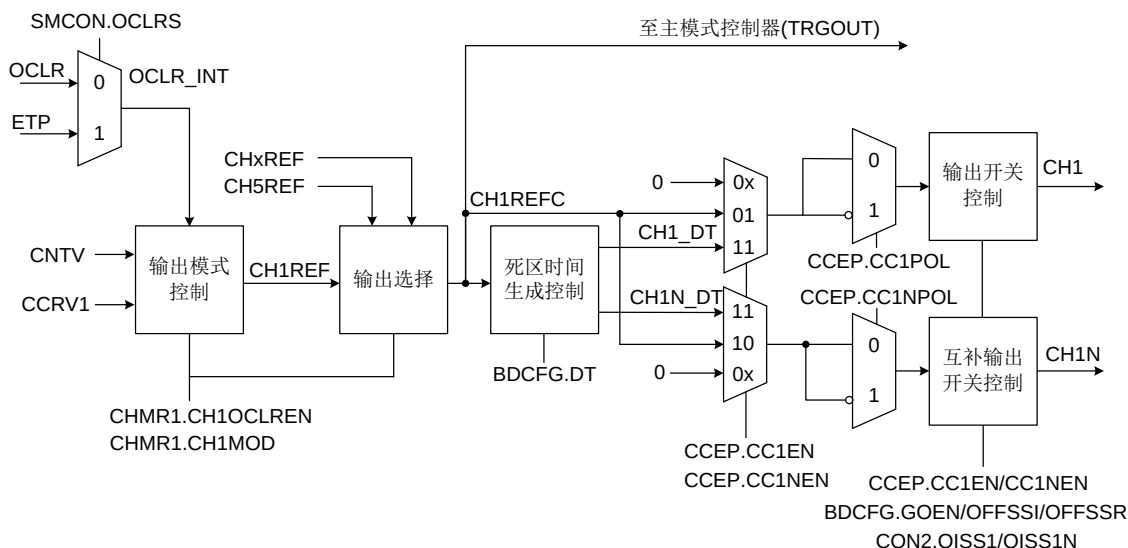


图 16-15 输出比较电路(通道 1 为例, 通道 2/3/4 架构相同)

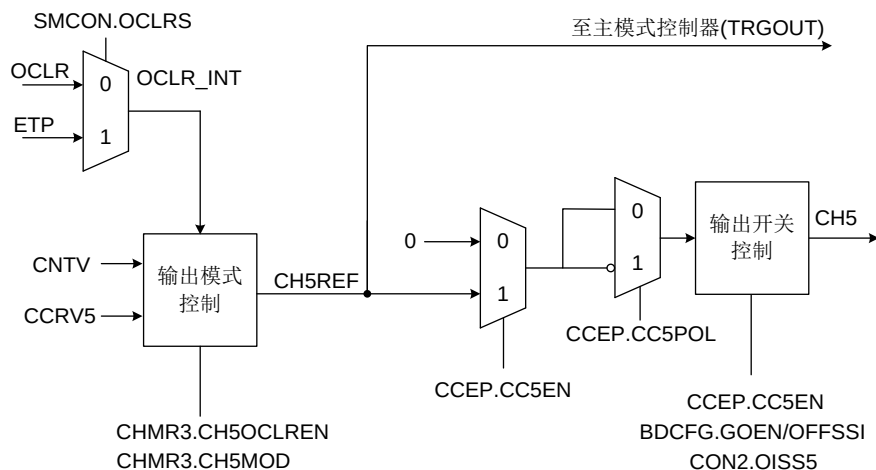


图 16-16 输出比较电路(通道 5 为例，通道 6 架构相同)

16.5.7 输入捕获模式

在输入捕获模式下，当 In 上检测到有效边沿变化时，计数器数值就会被锁存到捕获或比较寄存器(AD16C6T_CCVALn)中。此时，AD16C6T_RIF 寄存器中相应的 CHn 标志位会被设置为 1，同时触发中断或 DMA 请求(如果已开启)。

若相应的 CHn 标志位已经为 1，则当再次发生捕获事件时，相应的过捕获 CHnOV 标志位也会被设定为 1，表示曾经发生过捕获事件。

藉由软件将 AD16C6T_ICR 寄存器中的 CHn 位与 CHnOV 位设定为 1，可清除 AD16C6T_RIF 寄存器中相应的 CHn 与 CHnOV 标志位。

以下为以 I1 输入上升沿作为捕获输入时的流程：

1. 设置 AD16C6T_CHMR1 寄存器的 CC1SSEL 位为 01b，选择 I1 为有效输入端。只要 CC1SSEL 不为 00b，通道就会被设置成输入，且 AD16C6T_CCVAL1 寄存器为只读。
2. 设置 AD16C6T_CHMR1 寄存器的 I1FLT 位为 0011b，选择输入滤波器的持续时间，当 I1 检测到新的电平时，会进行连续 8 次采样，确认电平变化的有效性。
3. 设置 AD16C6T_CCEP 寄存器的 CC1NPOL 位为 0、CC1POL 位为 0，选择 I1 通道上升沿有效。
4. 设置 AD16C6T_CHMR1 寄存器的 I1PRES 位为 00b，关闭捕获预分频器，让每次有效上升沿皆执行捕获操作。
5. 如有需要，设置 AD16C6T_IER 寄存器的 CH1 位为 1，开启中断请求。设置 AD16C6T_DMAEN 寄存器的 CH1 位为 1，开启 DMA 请求。
6. 设置 AD16C6T_CCEP 寄存器的 CC1EN 位为 1，开启捕获计数器。

当发生输入捕获时：

1. AD16C6T_CCVAL1 寄存器获取计数器当前的值。
2. AD16C6T_RIF 寄存器的 CH1 位被设置。如果至少两个连续捕获发生，且标志位未被清除，则 CH1OV 位也被设置。

3. 中断的产生取决于 AD16C6T_IER 寄存器的 CH1 位。
4. DMA 请求的产生取决于 AD16C6T_DMAEN 寄存器的 CH1 位。

为了处理捕获溢出，建议在读取过捕获标志位之前先读取数据。这是为了避免在读取标志位和读取数据之间发生捕获溢出，从而丢失捕获讯息。

注：捕获中断请求可由软件设置 AD16C6T_SGE 寄存器的 SGCHn 位产生。

16.5.8 PWM输入模式

测量 I1 上 PWM 信号的周期和占空比的过程如下：

1. 设置 AD16C6T_CHMR1 寄存器的 CC1SSEL 位为 01b，通道 1 选择 I1 为有效输入端。
2. 设置 AD16C6T_CCEP 寄存器的 CC1NPOL 位为 0、CC1POL 位为 0，通道 1 选择 I1 上升沿有效，用于捕获数据到 AD16C6T_CCVAL1 寄存器。
3. 设置 AD16C6T_CHMR1 寄存器的 CC2SSEL 位为 10b，通道 2 同样选择 I1 为有效输入端。
4. 设置 AD16C6T_CCEP 寄存器的 CC2NPOL 位为 0、CC2POL 位为 1，通道 2 选择 I1 下降沿有效，用于捕获数据到 AD16C6T_CCVAL2 寄存器。
5. 设置 AD16C6T_SMCON 寄存器的 TSSEL1 位与 TSSEL2 位为 00101b，选择 I1FP 信号为有效的触发输入(TRGI)。
6. 设置 AD16C6T_SMCON 寄存器的 SMODS 位为 0100b，选择从模式控制器为复位模式，让每次有效触发输入(TRGI)初始化计数器。
7. 设置 AD16C6T_CCEP 寄存器的 CC1EN 位和 CC2EN 位为 1，开启捕获。
8. 设置 AD16C6T_CON1 寄存器的 CNTEN 位为 1，开启计数器。

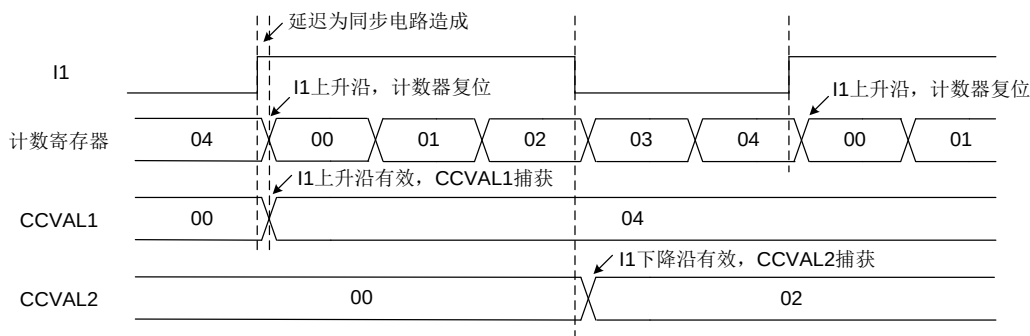


图 16-17 PWM 输入模式时序

- ◆ AD16C6T_CCVAL1 寄存器内的值为 PWM 周期(两次上升沿之间的时间),此范例中 PWM 周期为 5 个计数单位。
- ◆ AD16C6T_CCVAL2 寄存器内的值为 PWM 脉冲宽度(上升沿到下降沿之间的时间),此范例中 PWM 脉冲宽度为 3 个计数单位,可推算其占空比为 60%。

注：计数单位取决于时钟频率以及预分频设定值

16.5.9 PWM输出模式

脉宽调制 (PWM) 模式可以产生一个由 AD16C6T_AR 寄存器设置输出频率，由 AD16C6T_CCVALn 寄存器设置占空比的信号。若要开启相应的预装载寄存器，需将 AD16C6T_CHMRn 寄存器的 CHnPEN 位设置为 1，并将 AD16C6T_CON1 寄存器的 ARPEN 位设置为 1 以开启自动重载功能。

在开启预装载和自动重载功能后，只有当更新事件发生时，才会将预装载寄存器的值写入到缓冲寄存器中。因此，在开始计数前，必须通过将 AD16C6T_SGE 寄存器的 SGUPD 位设置为 1，以初始化所有的寄存器。

CHn 的极性可以通过 AD16C6T_CCEP 寄存器的 CCnPOL 位设置，有效电平可以设置为高电平或低电平。CHn 的输出由 AD16C6T_CCEP 寄存器的 CCnEN 位控制。

在 PWM 模式 1 或 2 中，AD16C6T_COUNT 会持续与 AD16C6T_CCVALn 寄存器的数值比较，以确定 $AD16C6T_CCVALn \leq AD16C6T_COUNT$ 或 $AD16C6T_CCVALn \geq AD16C6T_COUNT$ (取决于计数器的计数方向)。

定时器产生 PWM 波形时可以是边沿对齐或中心对齐，取决于 AD16C6T_CON1 寄存器的 CMSEL 位。

16.5.9.1 PWM边沿对齐模式

◆ 递增计数设置

设置 AD16C6T_CON1 寄存器的 DIRSEL 位为 0 时，计数器递增计数。

以 CH1 输出 PWM 模式 1 为例，相关配置流程如下：

1. 设置 AD16C6T_CHMR1 寄存器的 CH1MOD 位为 00110b，选择 PWM 模式 1。
2. 设置 AD16C6T_CCEP 寄存器的 CC1POL 位为 0，选择 CH1 通道输出为高电平有效。
3. 设置 AD16C6T_CCVAL1 寄存器的 CCRV1 位为 0x04，当计数器数到 4 时，PWM 输出低电平。
4. 设置 AD16C6T_AR 寄存器的 ARV 位为 0x08，当计数器递增至 8 后重载。
5. 设置 AD16C6T_CON1 寄存器的 CNTEN 位为 1，开启计数器。

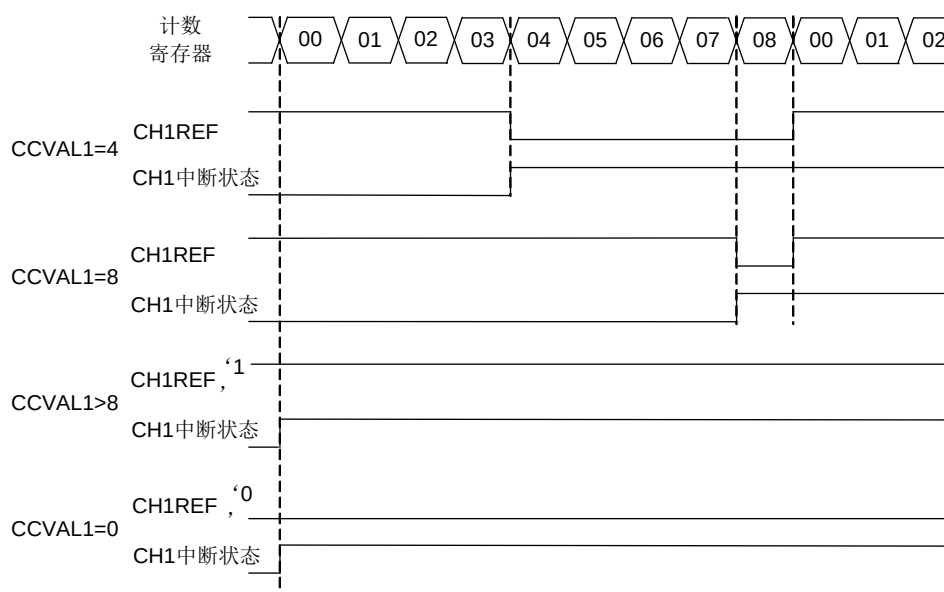


图 16-18 边沿对齐递增计数 PWM 波形(AR=8)

- ◆ AD16C6T_COUNT < AD16C6T_CCVAL1 时，CH1 为高电平。
- ◆ AD16C6T_COUNT ≥ AD16C6T_CCVAL1 时，CH1 为低电平。

通过改变 AD16C6T_CCVAL1 寄存器的 CCRV1 位，可以改变 PWM 信号的占空比。如果将 AD16C6T_CCVAL1 设置为大于 AD16C6T_AR 的值，则 CH1 将永远输出高电平，并在计数器上溢时产生比较匹配事件。如果将 AD16C6T_COUNT 设置为 0，则 CH1 将永远输出低电平。

◆ 递减计数设置

设置 AD16C6T_CON1 寄存器的 DIRSEL 位为 1 时，计数器递减计数

下图以 CH1 输出 PWM 模式 1 为例，相关配置流程如下：

1. 设置 AD16C6T_CON1 寄存器的 DIRSEL 位为 1，计数器递减计数。
2. 设置 AD16C6T_AR 寄存器的 ARV 位为 0x08，当计数器递减到 0 后重载。
3. 设置 AD16C6T_SGE 寄存器的 SGUPD 位为 1，软件触发更新事件，将 ARV 重载到 AD16C6T_COUNT 寄存器中。

4. 设置 AD16C6T_CHMR1 寄存器的 CH1MOD 位为 00110b，选择 PWM 模式 1。
5. 设置 AD16C6T_CCEP 寄存器的 CC1POL 位为 0，选择 CH1 通道输出为高电平有效。
6. 设置 AD16C6T_CCVAL1 寄存器的 CCRV1 位为 0x04，当计数器数到 4 时，PWM 输出高电平。
7. 设置 AD16C6T_CON1 寄存器的 CNTEN 位为 1，开启计数器。

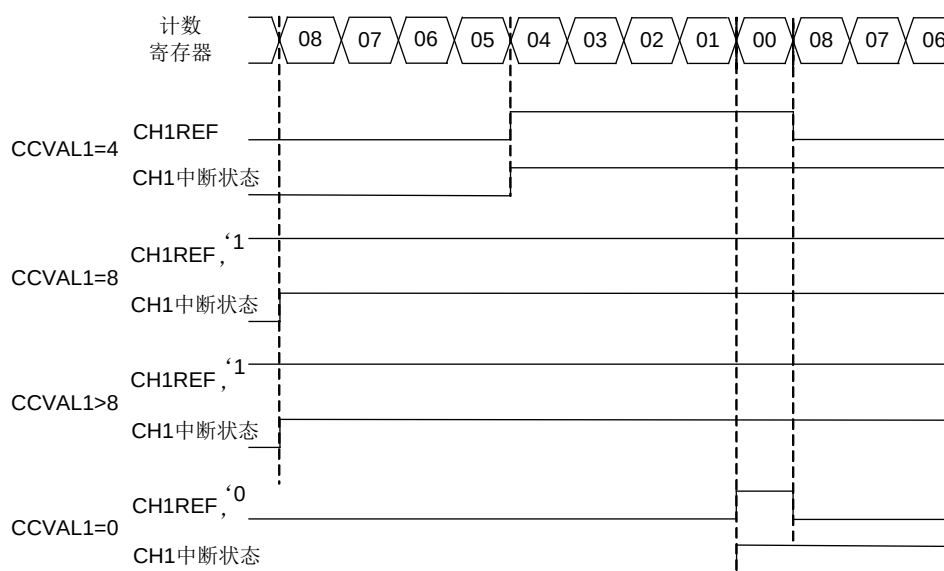


图 16-19 边沿对齐递减计数 PWM 波形(AR=8)

- ◆ $AD16C6T_COUNT \leq AD16C6T_CCVAL1$ 时，CH1 为高电平。
- ◆ $AD16C6T_COUNT > AD16C6T_CCVAL1$ 时，CH1 为低电平。

其中比较特别的是，若设定 $AD16C6T_CCVAL1 \geq AD16C6T_AR$ 时，CH1 会永远输出高电平(并在下溢时产生比较匹配事件)。此模式下不可能产生永远低电平的 PWM 波形。

16.5.9.2 PWM中心对齐模式

若设置 AD16C6T_CON1 寄存器的 CMSEL 位不为 00b, 就启用了中心对齐模式。根据 CMSEL 位的设置, 计数器可以只在递增、只在递减或者在递增递减同时计数时, 设置 AD16C6T_RIF 寄存器的比较标志位为 1。

在中心对齐模式下, 计数器会在到达上溢或下溢时自动反向计数, 而不需要额外的软件控制。DIRSEL 位控制计数方向的选择由硬件更新, 软件无法修改。

下图为中心对齐模式下, CH1 输出 PWM 模式 1 为例, AR 位为 0x08:

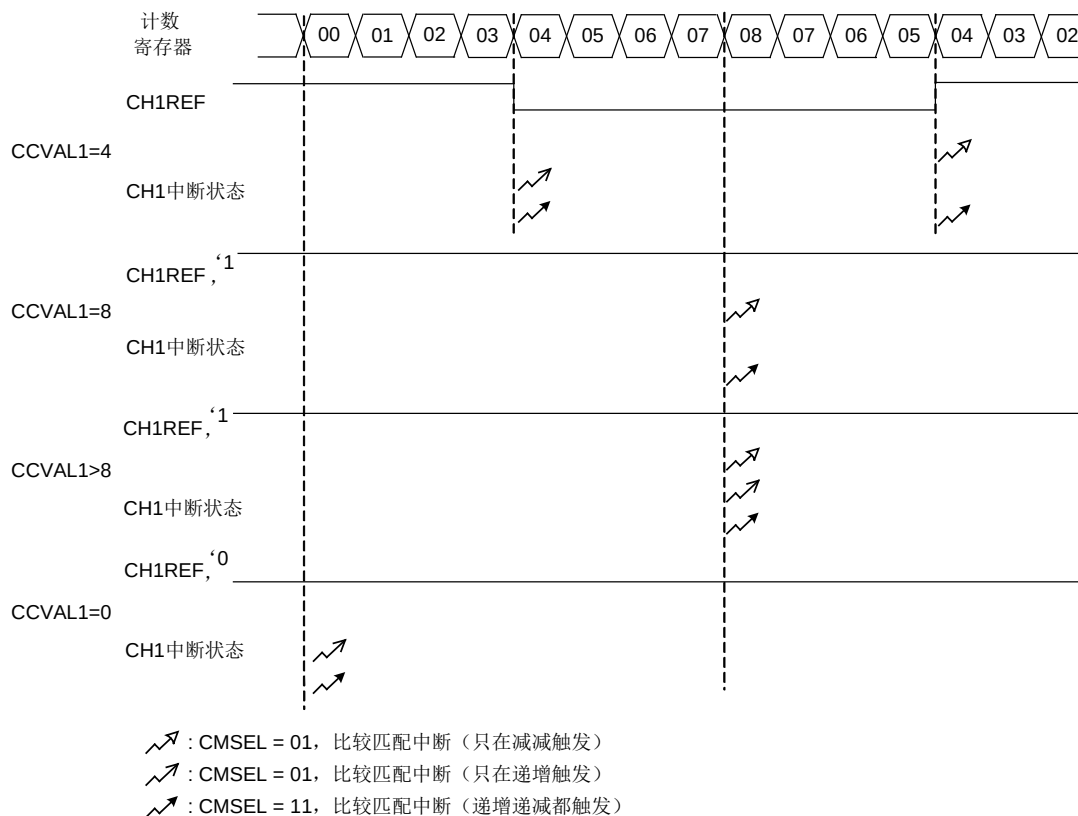


图 16-20 中心对齐 PWM 波形(AR=0x08)

中心对齐模式的使用技巧:

- ◆ 进入中心对齐模式后, 计数器会根据原本的递增或递减设置进行计数。递增或递减的方向取决于 AD16C6T_CON1 寄存器的 DIRSEL 位原本的设定。需要注意的是, 软件不得同时修改 DIRSEL 和 CMSEL 位。
- ◆ 计数器在中心对齐模式下运行时, 不建议对 AD16C6T_COUNT 执行写入操作。如果在递增计数的情况下, 向计数器写入的数值大于自动重载值 (AD16C6T_COUNT > AD16C6T_AR), 计数方向不会更新, 会持续计数下去。
- ◆ 使用中心对齐模式最安全的方式是在计数器开始计数前通过软件产生更新事件 (设置 AD16C6T_SGE 寄存器的 SGUPD 位为 1), 并在计数器运行过程中不对 AD16C6T_COUNT 寄存器进行写值。这样可以保证计数器的计数方向正确, 避免出现错误。

16.5.9.3 抖动模式

通过在 AD16C6T_CON1 寄存器中启用 DITHEN 位, 可以启用抖动模式, 从而增加 PWM 模式的有效分辨率。这适用于 AD16C6T_CCVALn(用于占空比分辨率增加)和 AD16C6T_AR(用于 PWM 频率分辨率增加)两种情况。

操作原理是在 16 个连续的 PWM 周期中, 通过预定义的模式, 微调实际的 CCVALn(或 AR)值(添加或不添加一个定时器时钟周期)。这使得平均占空比或 PWM 周期的分辨率增加了 16 倍。下图显示了抖动模式应用于 4 个连续 PWM 周期的原理。

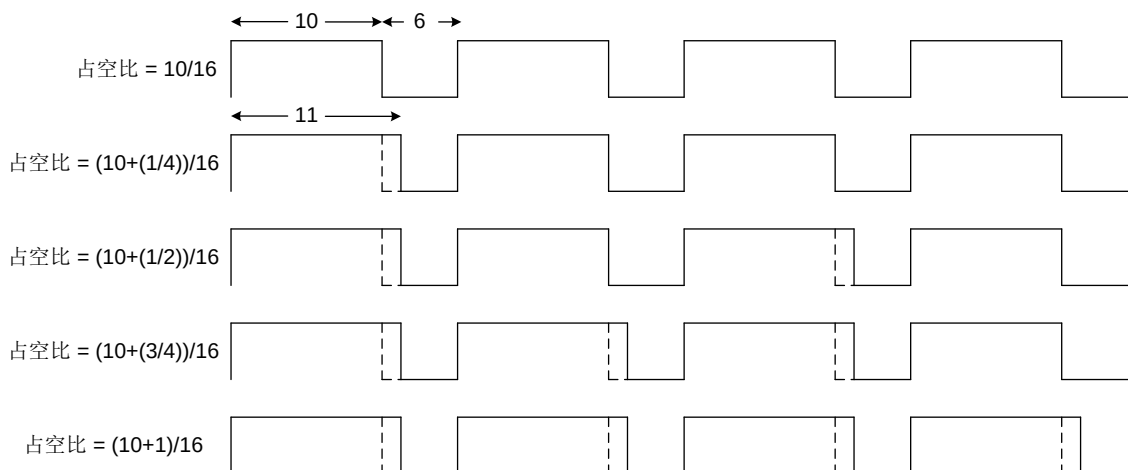


图 16-21 抖动模式原理

当开启抖动模式, AD16C6T_CCVALn 与 AD16C6T_AR 寄存器内容会被重定义如下:

- ◆ 最高 16 位<19:4>为原寄存器左移 4 位后的值, 等效于 $\times 16$ 倍。
- ◆ 最低 4 位<3:0>为用来提高分辨率的控制位。

抖动模式下的寄存器格式

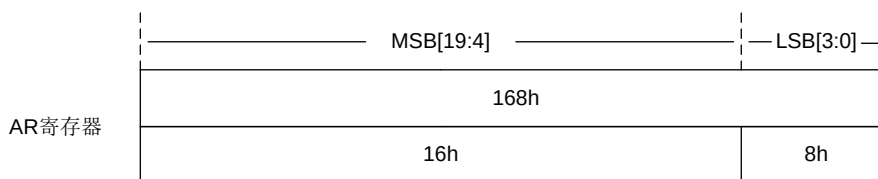


图 16-22 抖动模式下寄存器格式(以 AR 为例)

- ◆ AR<19:4> = 0x16: 16 个 PWM 周期的 AR 值。
- ◆ AR<3:0> = 0x8: 16 个 PWM 周期内, 共延长了 8 个定时器时钟单位(被平均在这 16 个 PWM 周期内)。

若尚未开启抖动模式(DITHEN = 0)前的 AR 寄存器值为 0x16, 在开启抖动模式后(DITHEN = 1), 其中的值会被定时器自动改为 0x160。

注: AD16C6T_CCVALn 与 AD16C6T_AR 寄存器在抖动模式下的最大值为 0xFFFEF。

下图为递增计数模式下，不同 LSB 设定值在连续 16 个 PWM 周期内的变化情形：

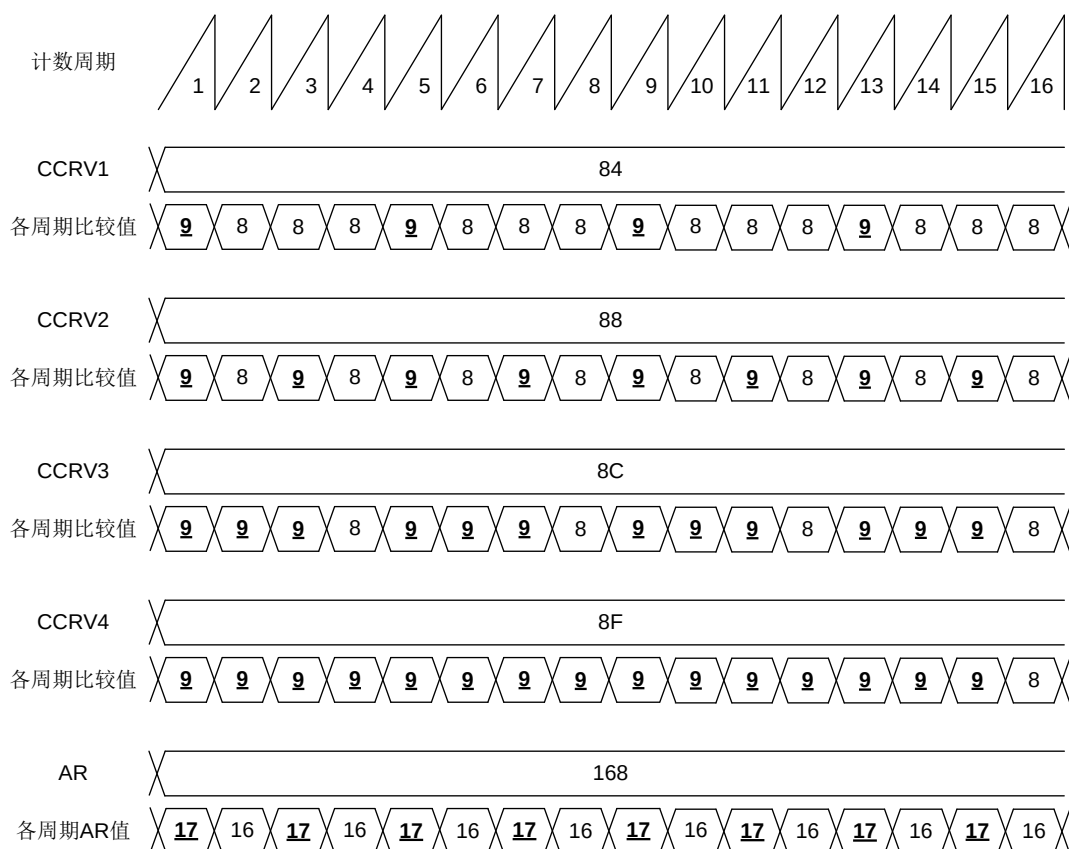


图 16-23 抖动模式下不同 LSB 的寄存器值

CCRVn 与 AR 值在 16 个周期内的所有变化表整理如下：

LSB	PWM 周期															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0000	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0001	+1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0010	+1	-	-	-	-	-	-	-	+1	-	-	-	-	-	-	-
0011	+1	-	-	-	+1	-	-	-	+1	-	-	-	-	-	-	-
0100	+1	-	-	-	+1	-	-	-	+1	-	-	-	+1	-	-	-
0101	+1	-	+1	-	+1	-	-	-	+1	-	-	-	+1	-	-	-
0110	+1	-	+1	-	+1	-	-	-	+1	-	+1	-	+1	-	-	-
0111	+1	-	+1	-	+1	-	+1	-	+1	-	+1	-	+1	-	-	-
1000	+1	-	+1	-	+1	-	+1	-	+1	-	+1	-	+1	-	+1	-
1001	+1	+1	+1	-	+1	-	+1	-	+1	-	+1	-	+1	-	+1	-
1010	+1	+1	+1	-	+1	-	+1	-	+1	+1	+1	-	+1	-	+1	-
1011	+1	+1	+1	-	+1	+1	+1	-	+1	+1	+1	-	+1	-	+1	-
1100	+1	+1	+1	-	+1	+1	+1	-	+1	+1	+1	-	+1	+1	+1	-

LSB	PWM 周期															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
1101	+1	+1	+1	+1	+1	+1	+1	-	+1	+1	+1	-	+1	+1	+1	-
1110	+1	+1	+1	+1	+1	+1	+1	-	+1	+1	+1	+1	+1	+1	+1	-
1111	+1	+1	+1	+1	+1	+1	+1	+1	+1	+1	+1	+1	+1	+1	+1	-

表 16-8 CCRVn 与 AR 值在抖动模式下的所有变化(边沿对齐)

抖动模式同样适用在中心对齐模式时，AD16C6T_CCVALn 与 AD16C6T_AR 寄存器会在连续的 8 个 PWM 周期内变化，如下表：

LSB	PWM 周期															
	1		2		3		4		5		6		7		8	
	递增	递减	递增	递减	递增	递减	递增	递减	递增	递减	递增	递减	递增	递减	递增	递减
0000	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0001	+1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0010	+1	-	-	-	-	-	-	-	+1	-	-	-	-	-	-	-
0011	+1	-	-	-	+1	-	-	-	+1	-	-	-	-	-	-	-
0100	+1	-	-	-	+1	-	-	-	+1	-	-	-	+1	-	-	-
0101	+1	-	+1	-	+1	-	-	-	+1	-	-	-	+1	-	-	-
0110	+1	-	+1	-	+1	-	-	-	+1	-	+1	-	+1	-	-	-
0111	+1	-	+1	-	+1	-	+1	-	+1	-	+1	-	+1	-	-	-
1000	+1	-	+1	-	+1	-	+1	-	+1	-	+1	-	+1	-	+1	-
1001	+1	+1	+1	-	+1	-	+1	-	+1	-	+1	-	+1	-	+1	-
1010	+1	+1	+1	-	+1	-	+1	-	+1	+1	+1	-	+1	-	+1	-
1011	+1	+1	+1	-	+1	+1	+1	-	+1	+1	+1	-	+1	-	+1	-
1100	+1	+1	+1	-	+1	+1	+1	-	+1	+1	+1	-	+1	+1	+1	-
1101	+1	+1	+1	+1	+1	+1	+1	-	+1	+1	+1	-	+1	+1	+1	-
1110	+1	+1	+1	+1	+1	+1	+1	-	+1	+1	+1	+1	+1	+1	+1	-
1111	+1	+1	+1	+1	+1	+1	+1	+1	+1	+1	+1	+1	+1	+1	+1	-

表 16-9 CCRVn 与 AR 值在抖动模式下的所有变化(中心对齐)

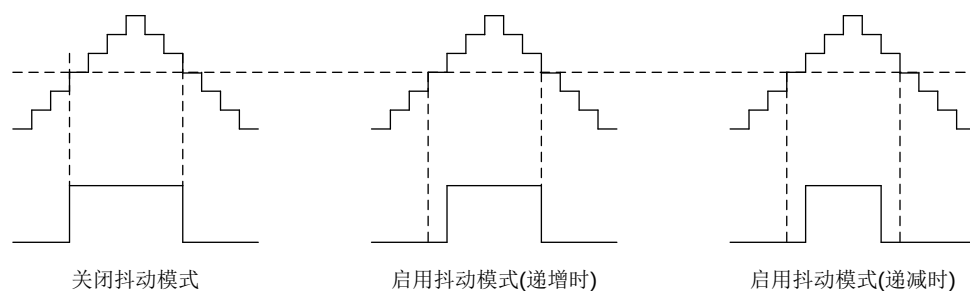


图 16-24 抖动模式下 PWM 输出影响(中心对齐)

16.5.10 输出比较模式

这个功能被用来控制一个输出波形或是指示一段时间是否已经过去。

通道 1 到通道 4 可输出到 IO 引脚，而通道 5 和 6 只在 MCU 内部使用(例如定时器互联或 ADC 触发)。

当捕获或比较寄存器和 AD16C6T_COUNT 寄存器数值匹配时：

- ◆ AD16C6T_CHMRn 寄存器的 CHnMOD 位选择输出模式，而输出极性由 AD16C6T_CCEP 寄存器的 CCnPOL 位控制：
 - ◇ 设置 CHnMOD 位为 00000b：当计数器匹配比较器时输出保持其电平。
 - ◇ 设置 CHnMOD 位为 00001b：当计数器匹配比较器时输出有效电平(假设 CCnPOL=0，有效电平为高电平)。
 - ◇ 设置 CHnMOD 位为 00010b：当计数器匹配比较器时输出无效电平(假设 CCnPOL=0，无效电平为低电平)。
 - ◇ 设置 CHnMOD 位为 00011b：当计数器匹配比较器时翻转电平。
- ◆ 设置中断状态寄存器的标志位为 1(AD16C6T_RIF 寄存器的 CHn 位)。
- ◆ 若设置相应的中断开启位为 1(AD16C6T_IER 寄存器的 CHn 位)，则产生中断。
- ◆ 若设置相应的开启位为 1(AD16C6T_DMAEN 寄存器的 CHn 位，AD16C6T_CON2 寄存器的 CCDMASEL 位用于 DMA 请求的选择)，则发送 DMA 请求。

设置 AD16C6T_CHMRn 寄存器的 CHnPEN 位数值可决定 AD16C6T_CCVALn 寄存器是否有缓冲功能。

在输出比较模式中，更新事件 UPD 对 CHn 的输出没有影响。输出比较模式同样可以用来输出单个脉冲(单脉冲模式)。

输出比较的设置过程：

1. 选定计数器时钟(内部、外部、预分频)。
2. 设置 AD16C6T_AR 与 AD16C6T_CCVALn 寄存器并写入所需数据。
3. 若需要产生中断请求，设置 AD16C6T_IER 寄存器的 CHn 位为 1。
4. 选择输出模式，例如：
 - 设置 CHnMOD 位为 00011b，当 CNTV 与 CCRVALn 匹配时，CHn 输出翻转。
 - 设置 CHnPEN 位为 0，关闭预装载功能。
 - 设置 CCnPOL 位为 0，选择有效电平为高电平。
 - 设置 CCnEN 位为 1，开启输出。
5. 设置 AD16C6T_CON1 寄存器的 CNTEN 位为 1，开启计数器。

假设预装载寄存器开启(CHnPEN 位为 1)，设置 AD16C6T_CCVALn 寄存器数值在下次更新事件发生时更新至缓冲寄存器。预装载寄存器未开启(CHnPEN 位为 0)，通过设置 AD16C6T_CCVALn 寄存器数值可随时更新控制输出波形。

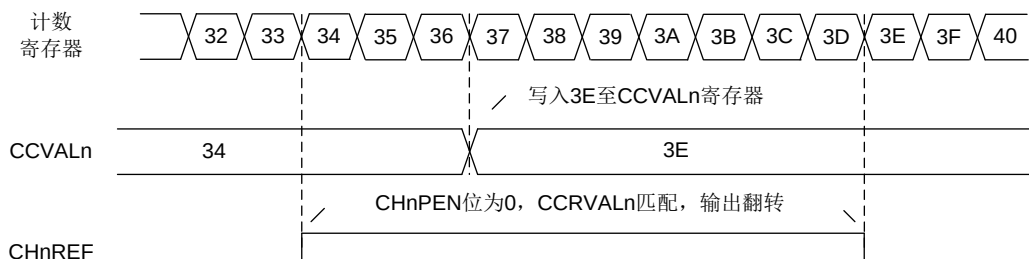


图 16-25 输出比较模式，触发 CHn

16.5.11 强制输出模式

在输出模式(AD16C6T_CHMRn 寄存器的 CCnSSEL 位为 00b)下, 通过软件可以将输出比较信号强制设置为高电平或低电平, 输出信号并不会参考 AD16C6T_CCVALn 寄存器和 AD16C6T_COUNT 寄存器之间的比较结果。

设置 AD16C6T_CHMRn 寄存器的 CHnMOD 位为 00101b, 输出比较参考信号(CHnREF)为强制高电平, 输出比较信号(CHn/CHnN)强制为有效电平(极性由 AD16C6T_CCEP 寄存器对应的 CCnPOL 位或 CCnNPOL 位决定)。反之, 若设置 CHnMOD 位为 00100b 则强制设置低电平。

例如: 设置 CCnPOL 位为 0(CHn 高电平有效), 则 CHn 被强制为高电平。

在此模式下, AD16C6T_CCVALn 寄存器和 AD16C6T_COUNT 寄存器之间的比较仍然进行, 仍可设置相应的标志位为 1, 并发送相应的中断以及 DMA 请求。

16. 5. 12 非对称PWM模式

在非对称 PWM 模式下，产生两个可编程相位移的中心对齐 PWM 信号。配置 AD16C6T_AR 寄存器数值决定 PWM 频率，占空比以及相位移则由成对的 AD16C6T_CCVALn 寄存器配置。这对寄存器分别控制递增计时和递减计时时产生的 PWM 波形，并在每半个 PWM 周期调整一次 PWM 输出。

- ◆ CH1REFC(或 CH2REFC)由配置 AD16C6T_CCVAL1 和 AD16C6T_CCVAL2 控制。
- ◆ CH3REFC(或 CH4REFC)由配置 AD16C6T_CCVAL3 和 AD16C6T_CCVAL4 控制。

2 个通道可以独立选择非对称 PWM 模式，每对 CCVALn 决定一个 CHn 输出。

设置 AD16C6T_CHMRn 寄存器的 CHnMOD 位写入 01110b 为非对称 PWM 模式 1, 写入 01111b 为非对称 PWM 模式 2。

注：CHnMOD<4:0>位分为两个部分，最高两位与其他位在寄存器中的位置不连续。

在非对称 PWM 模式下，通道 1 的 CH1REFC 信号在递增计数时会使用 CCRV1 输出比较，而在递减计数时会使用 CCRV2。虽然这种模式需要成对使用 CCVALn，但相对应的通道 2 可以选择正常输出 CH2REF，或者也可以输出非对称的 CH2REFC 信号，这取决于 AD16C6T_CHMR1 寄存器中的 CH2MOD 设置。

下图为使用非对称 PWM 模式 2，产生两个 50%占空比、90 度相位移的 PWM 信号波形：

CCVAL1=7，CCVAL2=1
CCVAL3=3，CCVAL4=5

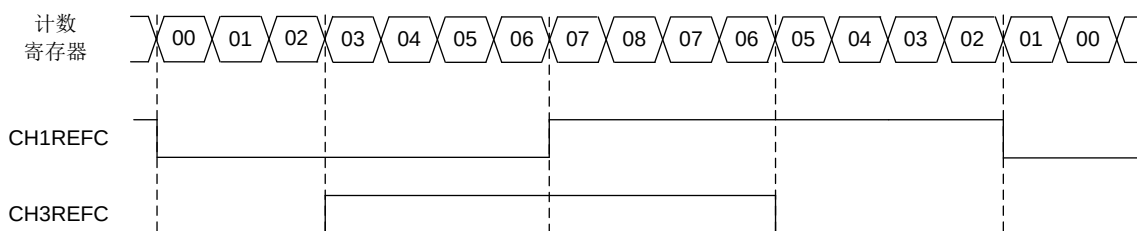


图 16-26 非对称 PWM 模式输出波形

16.5.13 组合PWM模式

在组合模式中，产生两个可编程延迟的边沿或中心对齐 PWM 波形。配置 AD16C6T_AR 寄存器数值决定 PWM 频率，PWM 占空比和延迟由两个 AD16C6T_CCVALn 寄存器配置。产生的 PWM 波形由两个参考的 PWM 波形做"或"运算或"与"运算所组成。

- ◆ CH1REFC(或 CH2REFC)由配置 AD16C6T_CCVAL1 和 AD16C6T_CCVAL2 控制。
- ◆ CH3REFC(或 CH4REFC)由配置 AD16C6T_CCVAL3 和 AD16C6T_CCVAL4 控制。

2 个通道可以独立选择非对称 PWM 模式，每对 CCVALn 决定一个 CHn 输出。

设置 AD16C6T_CHMRn 寄存器的 CHnMOD 位写入 01100b 为组合 PWM 模式 1, 写入 01101b 为组合 PWM 模式 2。

当通道设置为组合 PWM 模式时，2 个通道必须设置成不同的 PWM 模式，例如通道 1 设置组合 PWM 模式 1，通道 2 必须设置组合 PWM 模式 2。

注：CHnMOD<4:0>位分为两个部分，最高两位与其他位在寄存器中的位置不连续。

下图为组合 PWM 模式中，可以产生的通道波形，通过以下配置：

- ◆ 通道 1 配置组合 PWM 模式 2。
- ◆ 通道 2 配置 PWM 模式 1。
- ◆ 通道 3 配置组合 PWM 模式 1。
- ◆ 通道 4 配置 PWM 模式 2。

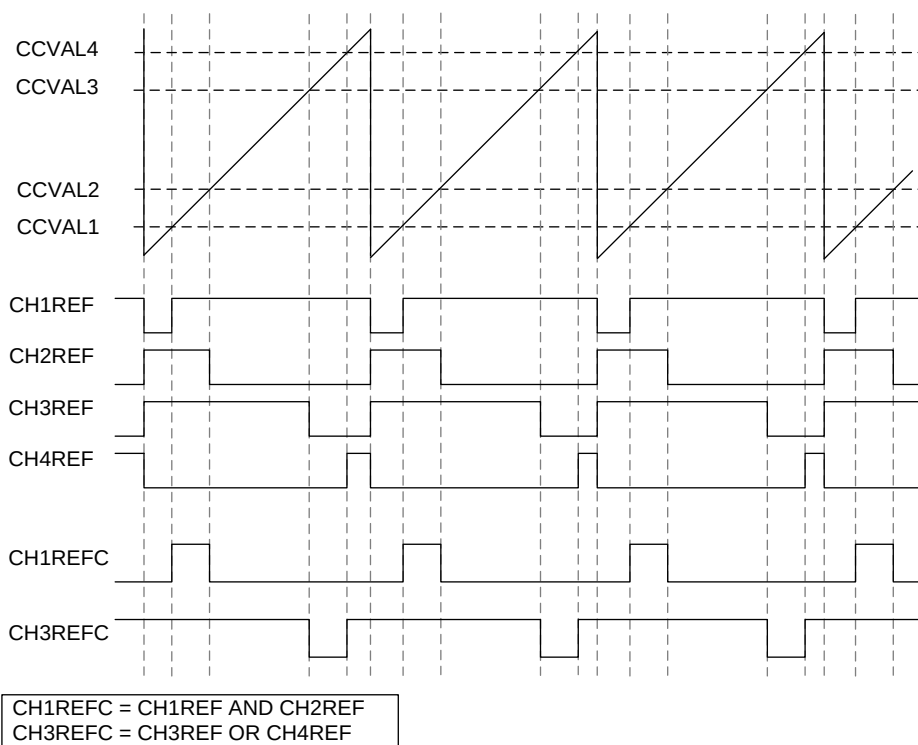


图 16-27 组合 PWM 模式输出波形

16.5.14 组合三相PWM模式

在组合三相 PWM 模式中，其通道 1 到通道 3 产生的 PWM 信号，可与通道 5 产生的 PWM 信号做"与"运算所组成。

通道 5 产生的 CH5REF 信号用于定义组合信号。设置 AD16C6T_CCVAL5 的 GC5Cn 位选择 CH5REF 与通道 1 到通道 3 的 PWM 波形做组合"与"运算。

- ◆ 设置 GC5C1，则 CH1REFC 由配置 AD16C6T_CCVAL1 和 AD16C6T_CCVAL5 控制。
- ◆ 设置 GC5C2，则 CH2REFC 由配置 AD16C6T_CCVAL2 和 AD16C6T_CCVAL5 控制。
- ◆ 设置 GC5C3，则 CH3REFC 由配置 AD16C6T_CCVAL3 和 AD16C6T_CCVAL5 控制。

通道 1 到通道 3 可以独立选择组合三相 PWM 模式，配置 GC5Cn 位选择。

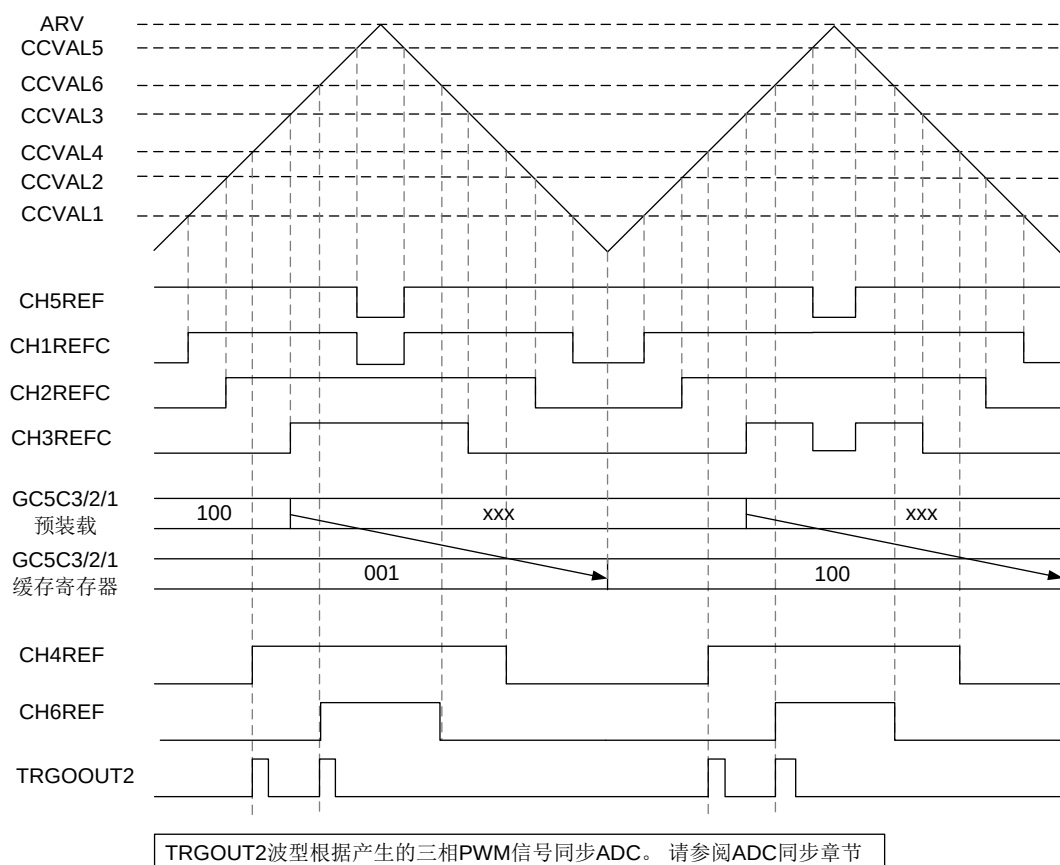


图 16-28 组合三相 PWM 模式输出波形

16. 5. 15 组合三相非对称PWM模式

在组合三相非对称 PWM 模式中，其通道 1 到通道 3 产生的 PWM 信号，可以独立选择与通道 5 组合三相非对称 PWM 模式。通过设定 AD16C6T_CHMR1 与 AD16C6T_CHMR2 寄存器的 CHnMOD 位为 10000b 或 10001b，分别产生 PWM 模式 1 或 PWM 模式 2 波形。

- ◆ CH1REFC 由配置 AD16C6T_CCVAL1 和 AD16C6T_CCVAL5 控制。
- ◆ CH2REFC 由配置 AD16C6T_CCVAL2 和 AD16C6T_CCVAL5 控制。
- ◆ CH3REFC 由配置 AD16C6T_CCVAL3 和 AD16C6T_CCVAL5 控制。

下图为组合三相非对称 PWM 模式中，可以产生的通道波形：

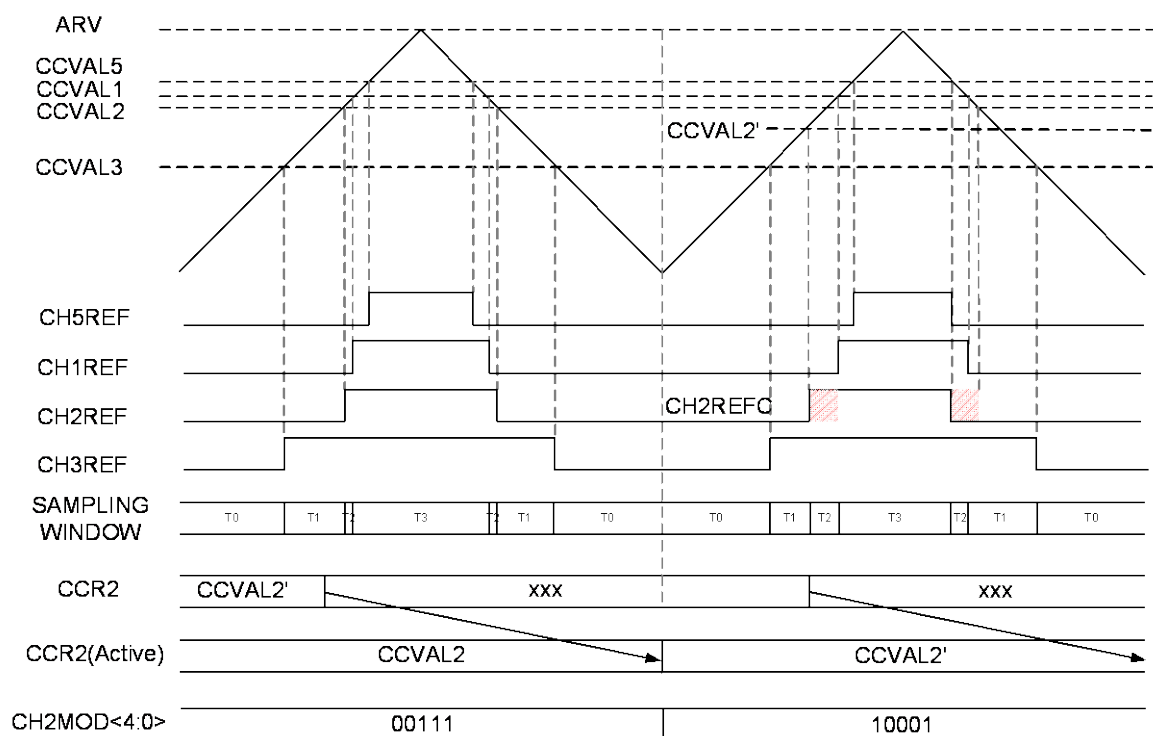


图 16-29 组合三相非对称 PWM 模式输出波形

在应用上，当两个通道比较值相近时，留给 ADC 采样的 Sampling window(T2)不足时，可以配置通道为非对称 PWM 模式(以通道 2 为例)，让 ADC 有足够采样时间。

ADC 触发信号源可以参考 ADC 触发事件章节。

除了上述方式外，还可以通过设置 AD16C6T_CON1 寄存器中的 CCRFEN 位，开启递减比较寄存器功能来实现三相非对称 PWM 模式。通过设定 AD16C6T_CHMR1 与 AD16C6T_CHMR2 寄存器的 CHnMOD 位为 00110b 或 00111b，分别产生 PWM 模式 1 或 PWM 模式 2 波形。

- ◆ CH1REFC 由配置 AD16C6T_CCVAL1 和 AD16C6T_CCRF1 控制。
- ◆ CH2REFC 由配置 AD16C6T_CCVAL2 和 AD16C6T_CCRF2 控制。
- ◆ CH3REFC 由配置 AD16C6T_CCVAL3 和 AD16C6T_CCRF3 控制。

16.5.16 外部事件清除比较输出

设置相对应的 AD16C6T_CHMRn 寄存器的 CHnOCLREN 位为 1，在选定的 OCLR_INT 输入端为高准位时，可将相对应的输出信号暂时清除为 0，直到下一次更新事件(UPD)产生。该功能只能在输出比较模式和 PWM 模式下使用，在强制模式下不起作用。

如下图所示，OCLR_INT 的输入来源根据 AD16C6T_SMCON 寄存器的 OCLRS 位设定，可以是经过数字滤波及极性选择后的 ETP 信号，也可以是 AD16C6T_AFR2 寄存器的 OCLRSEL 位所指定的 OCLR 输入源。

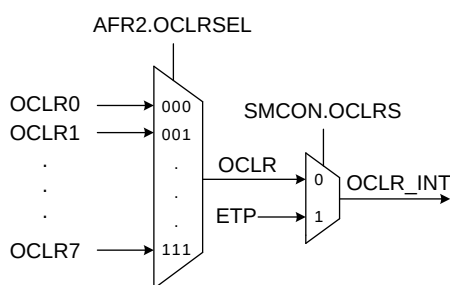


图 16-30 清除比较输出源 OCLR_INT

选择来源为 ETP 时，相关配置如下：

1. 设置 AD16C6T_SMCON 寄存器中的 OCLRS 位为 1，选择输出通道清除来源为 ETP。
2. 设置 AD16C6T_SMCON 寄存器中的 ETPRES 位为 00b，关闭外部触发预分频器。
3. 设置 AD16C6T_SMCON 寄存器的 ECM2EN 位为 0，关闭外部时钟源 2。
4. 外部触发极性(ETPOL)和外部触发滤波器(ETFLT)可根据用户需要设置。

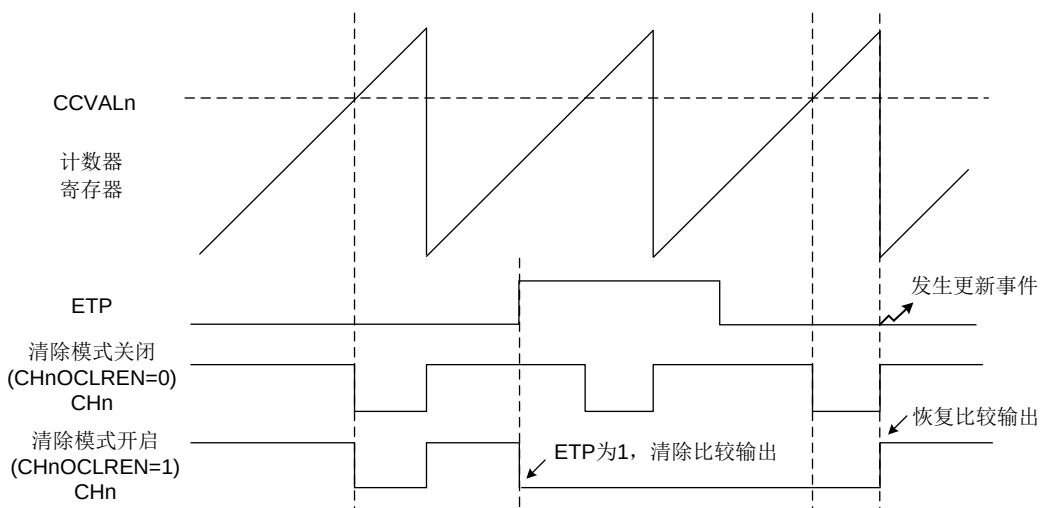


图 16-31 清除比较输出 CHn

16.5.17 单脉冲模式

单脉冲模式(SPMEN)是一个特殊模式。在此模式下，计数器可以通过外部触发下启动，并可以产生一个脉宽可编成的波形。

通过从模式控制器开启计数器。在输出比较模式或 PWM 模式下生成波形。设置 AD16C6T_CON1 寄存器的 SPMEN 位为 1 选择单脉冲模式，在下一次发生更新事件后，计数器将自动停止计数。

只有当 AD16C6T_CCVALn 寄存器值和初始 AD16C6T_COUNT 寄存器值不同时，才能正确产生一个脉冲。计数器开始计数前(定时器等待触发)，必须如下设置：

- ◆ 递增计数： $CNTV < CCVALn \leq AR$ (注意： $0 < CCVALn$)
- ◆ 递减计数： $CNTV > CCVALn$

举例来说，假设要达到以下效果：当检测到 I2 输入引脚出现上升沿后，定时器自动开启计数，并经过 T 延迟的时间后，在 CH1 上产生一个长度为 T 脉冲的正脉冲。就可以设定成单脉冲模式。

选择 I2 作为触发源，相关配置如下：

1. 设置 AD16C6T_CHMR1 寄存器中的 CC2SSEL 位为 01b，选择通道输入源为 I2。
2. 设置 AD16C6T_CCEP 寄存器中的 CC2POL、CC2NPOL 位为 0，选择 I2 上升沿有效。
3. 设置 AD16C6T_SMCON 寄存器的 TSSEL 位为 00110b，选择触发来源(TRGI)为 I2 滤波后信号(I2FP)。
4. 设置 AD16C6T_SMCON 寄存器的 SMODS 位为 0110b，选择触发模式，在检测到 TRGI 上升沿时自动开启计数器。

脉冲波形由 AD16C6T_CCVAL1 寄存器决定，其中：

- ◆ $T_{延迟} = AD16C6T_CCVAL1$ 寄存器的值。
- ◆ $T_{脉冲} = AD16C6T_AR$ 与 $AD16C6T_CCVAL1$ 之间的差决定。

AR = 0Ah, CCVAL1 = 07h

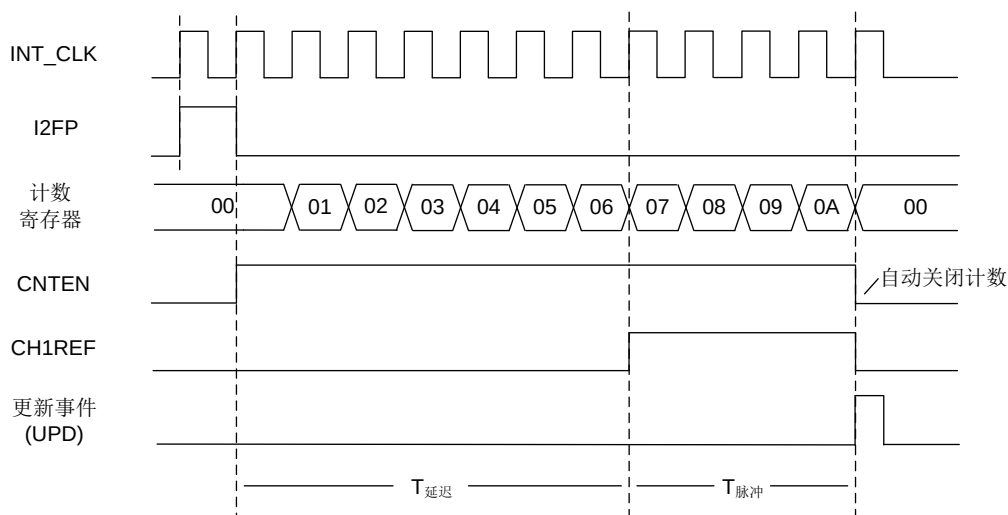


图 16-32 通道 1 触发模式下，基于 PWM 模式 2 单脉冲输出波形

CHn 快速开启模式

在单脉冲模式下，In 输入的有效边沿会自动开启计数器(硬件设置 CNTEN 位为 1)，并在 AD16C6T_COUNT 与 AD16C6T_CCVALn 比较后输出信号。然而在这个过程中需要数个时钟周期，将会延长 In 输入边沿与输出信号之间的延迟。

如果要使用最小延迟输出信号，可以设置 AD16C6T_CHMR1 寄存器的 CHnFEN 位为 1 开启快速开启模式。当检测到 In 输入的有效边沿时，不再考虑比较值，强制让输出信号等效于匹配成功后的电平。此配置只在 PWM 模式 1 或 PWM 模式 2 时才能使用。

16.5.18 多次触发单脉冲模式

多次触发单脉冲模式下，当在一个计时周期中发生多次触发事件可以延长脉冲长度，与发单脉冲模式差别如下：

- ◆ 发生触发时，立即产生脉冲(无延迟)。
- ◆ 在前次触发脉冲结束前，又发生新的触发，则会延长脉冲长度。

以通道 1 多次触发单脉冲模式为例，相关配置如下：

1. 设置 AD16C6T_SMCON 寄存器中的 SMODS 位为 1000b，选择组合复位+触发模式。
2. 设置 AD16C6T_CHMR1 寄存器中的 CH1MOD 位为 01000b 或 01001b，选择多次触发单脉冲模式 1 或模式 2。

定时器配置递增计数模式时，对应的 CCVALn 必须配置 0，由 ARV 配置脉冲长度。

定时器配置递减计数模式时，对应的 CCVALn 必须大于或等于 ARV 数值。

注：这个模式不能和中心对齐的 PWM 模式一起使用，CMSEL 位需设置 0。

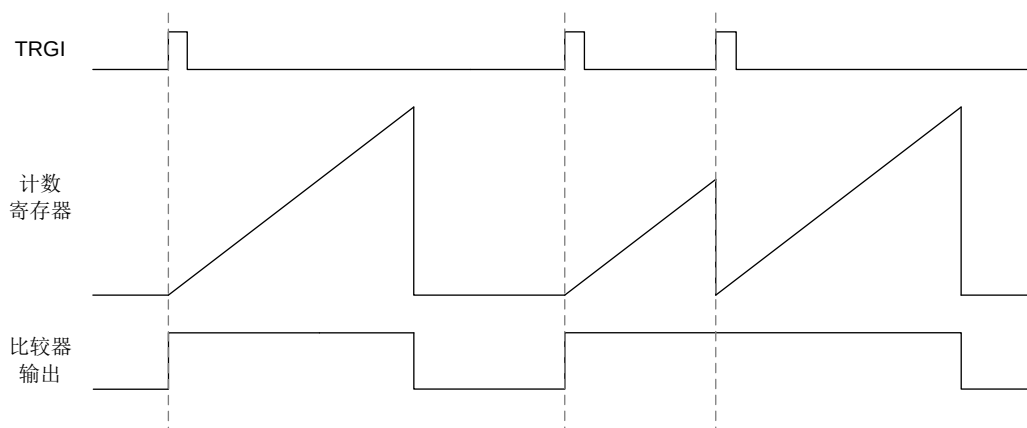


图 16-33 多次触发单脉冲模式

16.5.19 比较脉冲模式

此模式可以在比较器发生比较匹配时，产生一个脉冲宽度可编程的输出信号。只适用在通道 3 和通道 4，结构如下图：

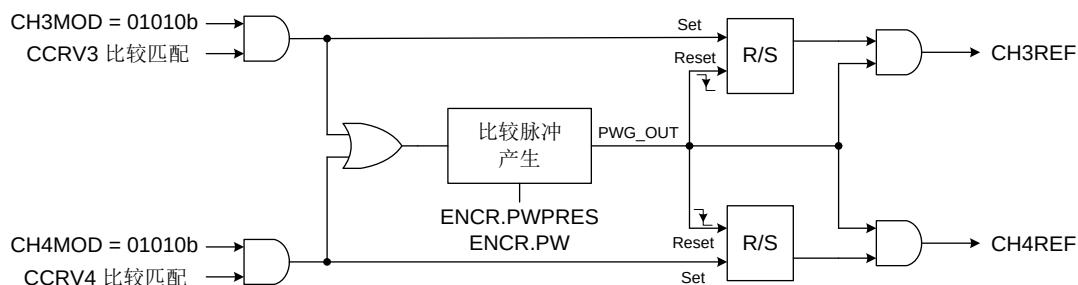


图 16-34 比较脉冲模式结构图

设置 AD16C6T_CHMR2 寄存器的 CH3MOD、CH4MOD 位为 01010b 可选择此模式。设置 AD16C6T_ENCR 寄存器的 PWPRES 和 PW 位，可编程脉冲宽度，公式如下：

- ◆ $t_{PWG} = (2^{(PWPRES < 2:0>)}) \times t_{INT_CLK}$
- ◆ $t_{PW} = PW < 7:0> \times t_{PWG}$

下图显示如何在边沿对齐模式下生成比较脉冲波形：

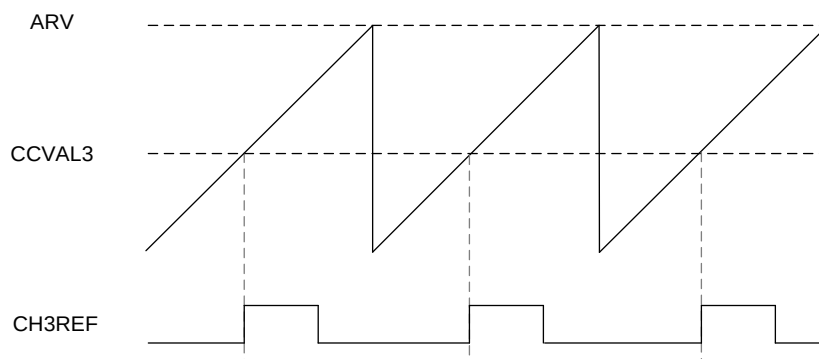


图 16-35 边沿对齐模式下的比较脉冲波形

比较脉冲是可以被重新触发的，一旦前次脉冲尚未结束前又发生新的触发，此时前次脉冲宽度持续时间将会被延长。

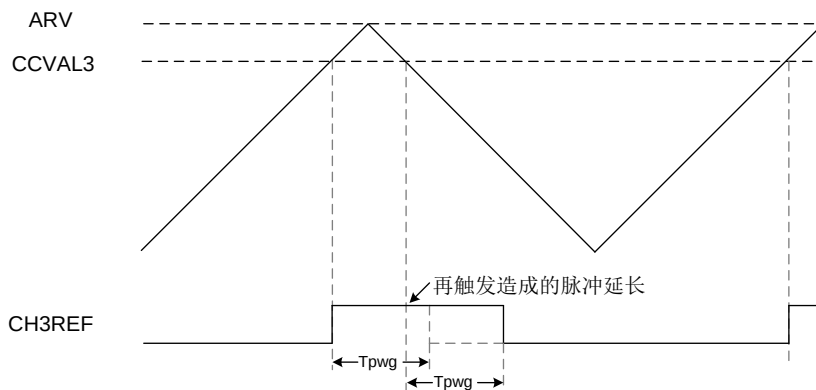


图 16-36 再触发延长脉冲宽度的比较脉冲波形

如果同时启用两个通道，其中一个通道上的比较脉冲尚未结束，但另一个通道又产生脉冲，则原通道的脉冲宽度持续时间将会被延长。

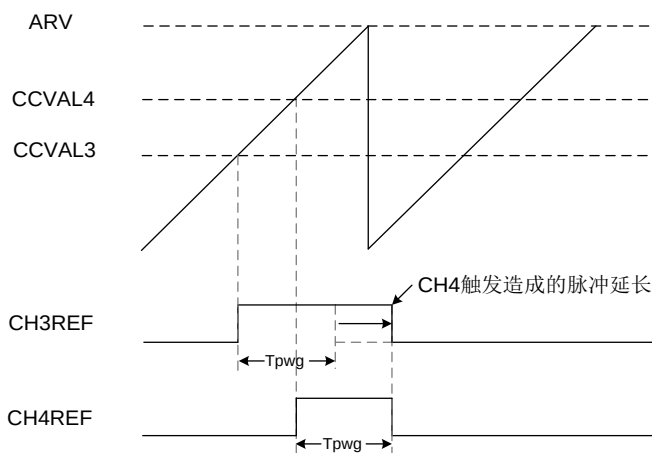


图 16-37 双通道延长脉冲宽度的比较脉冲波形

16. 5. 20 互补输出与死区时间

在控制输出时，需要根据连接到输出的装置特性（如电平转换器的固有延迟时间，功率开关的延迟时间等），延迟两个互补输出开关的时间，这个瞬时的延迟即为死区时间。

每个输出的极性（主输出 CHn 或互补输出 CHnN）可以独立选择，通过在 AD16C6T_CCEP 寄存器中写入 CCxP 和 CCxNP 位来实现。

互补信号 CHn 和 CHnN 是由多个控制位的组合所控制的，分别是 AD16C6T_CCEP 寄存器的 CCnEN 和 CCnNEN 位，AD16C6T_BDCFG 和 AD16C6T_CON2 寄存器的 GOEN、OISSn、OISSnN、OFFSSI 及 OFFSSR 位(可参考输出引脚控制章节)。

值得注意的是，当切换为空闲状态(GOEN 变为 0)后，死区时间依然有效。

死区时间长度计算公式可参考 AD16C6T_BDCFG 寄存器的 DT 位，用来控制所有通道的死区时间长短。输出波形参考 CHnREF 信号，产生 CHn 和 CHnN 两路输出。当 CHn 和 CHnN 皆为高电平有效时，两路输出行为如下：

- ◆ CHn 的输出信号与参考信号(CHnREF)一致。相较于参考信号的上升沿, CHn 上升沿输出会有延迟。
- ◆ CHnN 的输出信号与参考信号相反。相较于参考信号的下降沿, CHnN 上升沿输出会有延迟。

设置 AD16C6T_DCFG2 寄存器的 DTAEN 位为 1 时, 开启非对称死区延迟功能:

- ◆ 相较于参考信号的上升沿, CHn 上升沿输出延迟为 AD16C6T_BDCFG 寄存器的 DT 位设定。
- ◆ 相较于参考信号的下降沿, CHnN 上升沿输出延迟为 AD16C6T_DCFG2 寄存器的 DT2 位设定。

设置 AD16C6T_DCFG2 寄存器的 DTPEN 位为 1 时, 死区延迟(DT、DT2)设定具有缓冲功能, 只有在更新事件发生时, 才会将预装载的值写入到缓冲寄存器中。

下图给出了死区时间输出信号和比较输出波形之间的关系(假设 CCnPOL 位为 0, CCnNP 位为 0, GOEN 位为 1, CCnEN 位为 1, 和 CCnNEN 位为 1)。

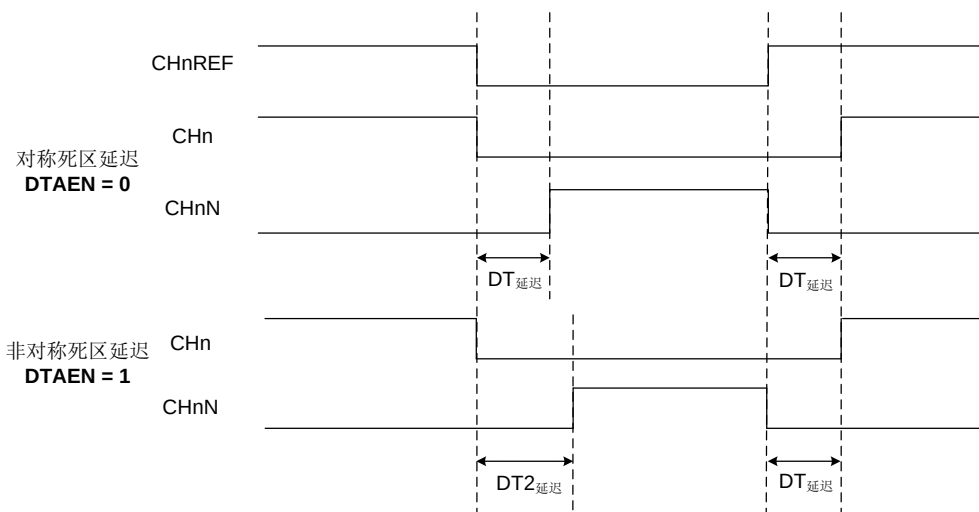


图 16-38 互补输出含死区时间插入

任何情况下, CHn 与 CHnN 的输出信号都不能同时为有效电平。

若延迟时间大于有效输出的宽度(CHn 或 CHnN), 则相应的脉冲不会产生。

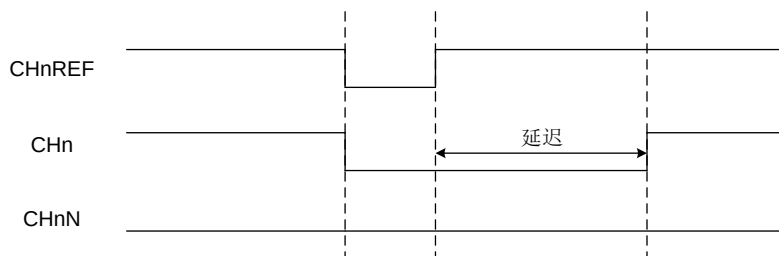


图 16-39 死区延迟时间大于 CHnN 脉冲

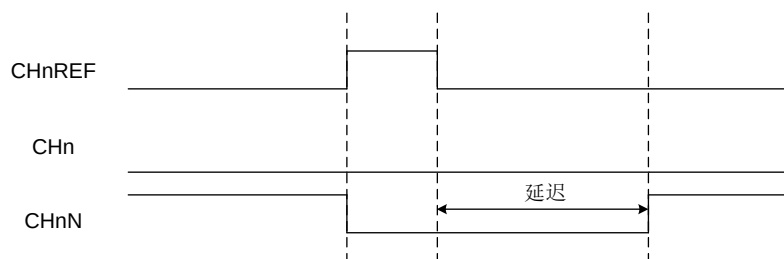


图 16-40 死区延迟时间大于 CHn 脉冲

16.5.21 刹车功能

刹车功能是为了保护受到 PWM 信号驱动的电路。该功能包含两个刹车输入通道，用来检测故障事件。当发生刹车事件时，硬件会自动关闭 PWM 输出，并将其强制设置为预先配置好的安全准位。此外，刹车事件也可以选择 MCU 内部事件当作刹车输入源。

刹车功能拥有两个通道。刹车输入通道 1 可以检测系统级的故障(如时钟失效、Hard Fault、低电压检测等)和应用故障(来自输入引脚和内置比较器)，并在死区延迟后强制将输出设置为预配置的电平(有效或无效)。刹车输入通道 2 仅包括应用故障，可以强制将输出设置为无效状态。

刹车期间的输出开启信号与输出电平由以下几个控制位进行决定：

- ◆ AD16C6T_BDCFG 寄存器的 GOEN 位，通过软件开启或关闭输出，并在刹车输入通道 1 或 2 检测到刹车事件时清 0。
- ◆ AD16C6T_BDCFG 寄存器的 OFFSSI 位，用来定义此时输出是由定时器控制成无效状态，或由 GPIO 控制(通常处于 High-Z 高阻态)。
- ◆ AD16C6T_CON2 寄存器的 OISSn 和 OISSnN 位，用来定义在输出空闲状态时的输出状态(有效或无效)。

注：OISSn 和 OISSnN 位无法配置成同时输出有效电平。

详细信息可参考输出引脚控制章节。

系统复位后，刹车电路被禁止且 GOEN 位为 0。可以通过在 AD16C6T_BDCFG 寄存器中设置 BRKEN 和 BRK2EN 位来启用刹车功能。刹车输入极性可以通过在同一寄存器中配置 BRKP 和 BRK2P 位来选择。

刹车(BRK)信号来源为：

- ◆ BKIN 输入引脚
- ◆ PIS 通道 6
- ◆ 内部来源
 - ◇ 时钟停振事件由时钟控制器(RCU)中的时钟安全系统(CSS)产生
 - ◇ 内部 LOCKUP(Hard Fault)输出
 - ◇ PVD 输出
 - ◇ 内部比较器输出 (ACMP1 和 ACMP2)

刹车 2(BRK2)信号来源为：

- ◆ BKIN2 输入引脚
- ◆ PIS 通道 7
- ◆ 内部比较器输出 (ACMP0 和 ACMP1)

软件可以配过配置 AD16C6T_SGE 寄存器的 SGBRK 位与 SGBRK2 位产生刹车事件。

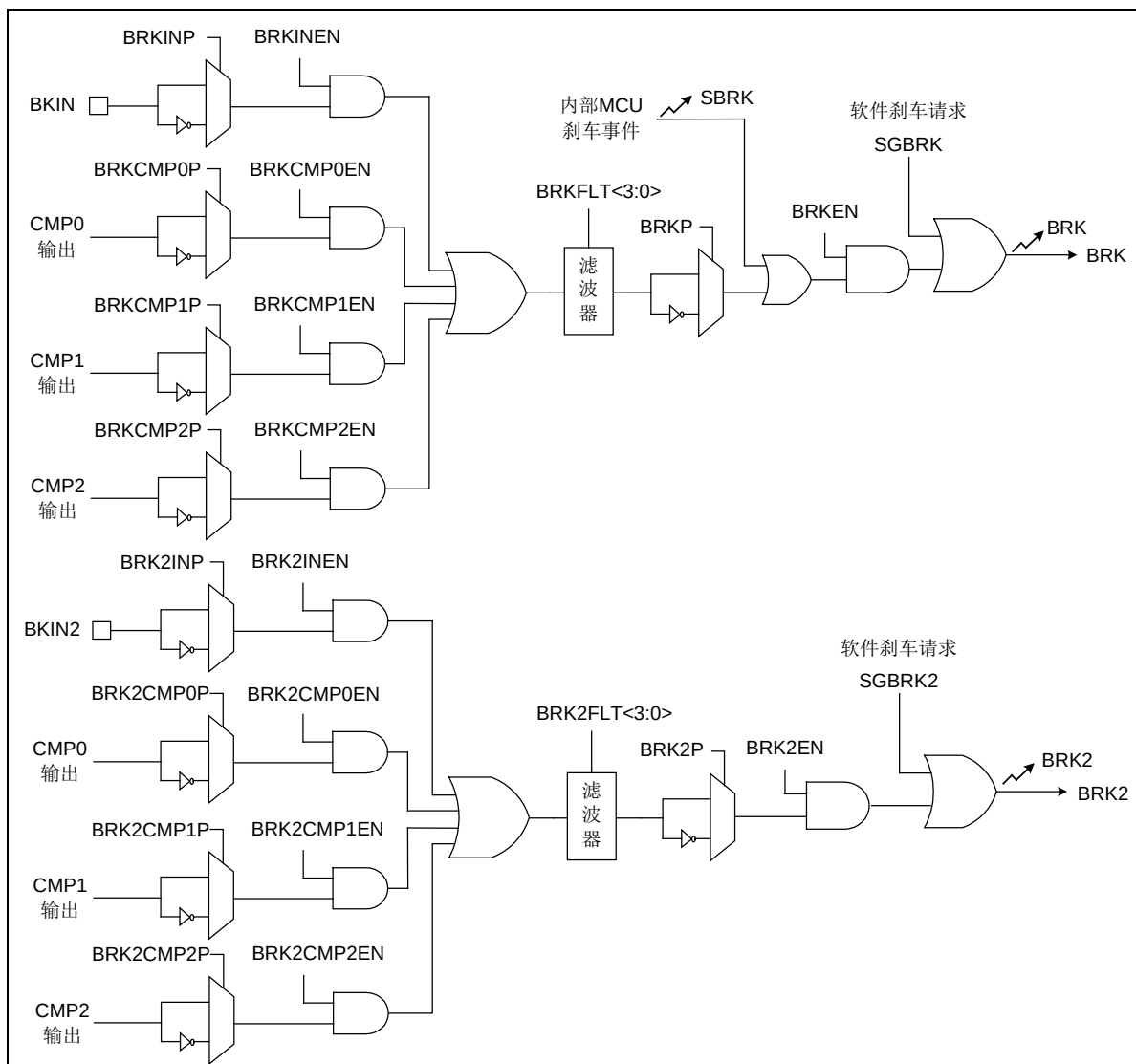


图 16-41 刹车与刹车 2 通道电路

当发生刹车事件，也就是刹车输入检测到有效电平时，会有以下几个情况：

首先，GOEN 位会被清除为 0。如果 OFFSSI 位为 0，输出通道将处于高阻态，此时不受定时器控制。

如果 OFFSSI 位为 1，则输出通道的行为取决于是否为互补输出。对于非互补输出，输出端会根据 AD16C6T_CON2 寄存器中的 OISSn/OISSn 位设定，输出预先配置好的空闲电平。

对于互补输出，首先输出端会输出无效状态(取决于极性)。接着在死区时间之后，才会根据 AD16C6T_CON2 寄存器中的 OISSn/OISSn 位设定，输出预先配置好的空闲电平。

在刹车事件发生时，还会根据不同的刹车事件，设置 AD16C6T_RIF 寄存器中的相应 BRK、BRK2、SBRK 位。如果 AD16C6T_IER 寄存器中相应位开启，则会触发中断。

最后，如果 AD16C6T_BDCFG 寄存器中的 AOEN 位为 1，则在下一次更新事件(UPD)发生时，硬件会自动将 GOEN 位设为 1。

注：刹车输入为电平有效。因此当刹车输入持续有效电平时，无法将 GOEN 设置为 1(自动或者通过软件)。此外，BRK、BRK2 中断状态也无法被清除。

除刹车输入和输出管理，为保证应用程序的安全，内部刹车电路具有写保护功能。用户可冻结几个配置参数，通过 AD16C6T_BDCFG 寄存器的 LOCKLVL 位，可从三个保护等级中选择一种保护等级。MCU 复位后，只能对 LOCKLVL 位执行一次写操作。

以下两张图分别说明在互补与非互补输出，响应 BRK 有效刹车事件时的输出电位(OFFSSI=1)。

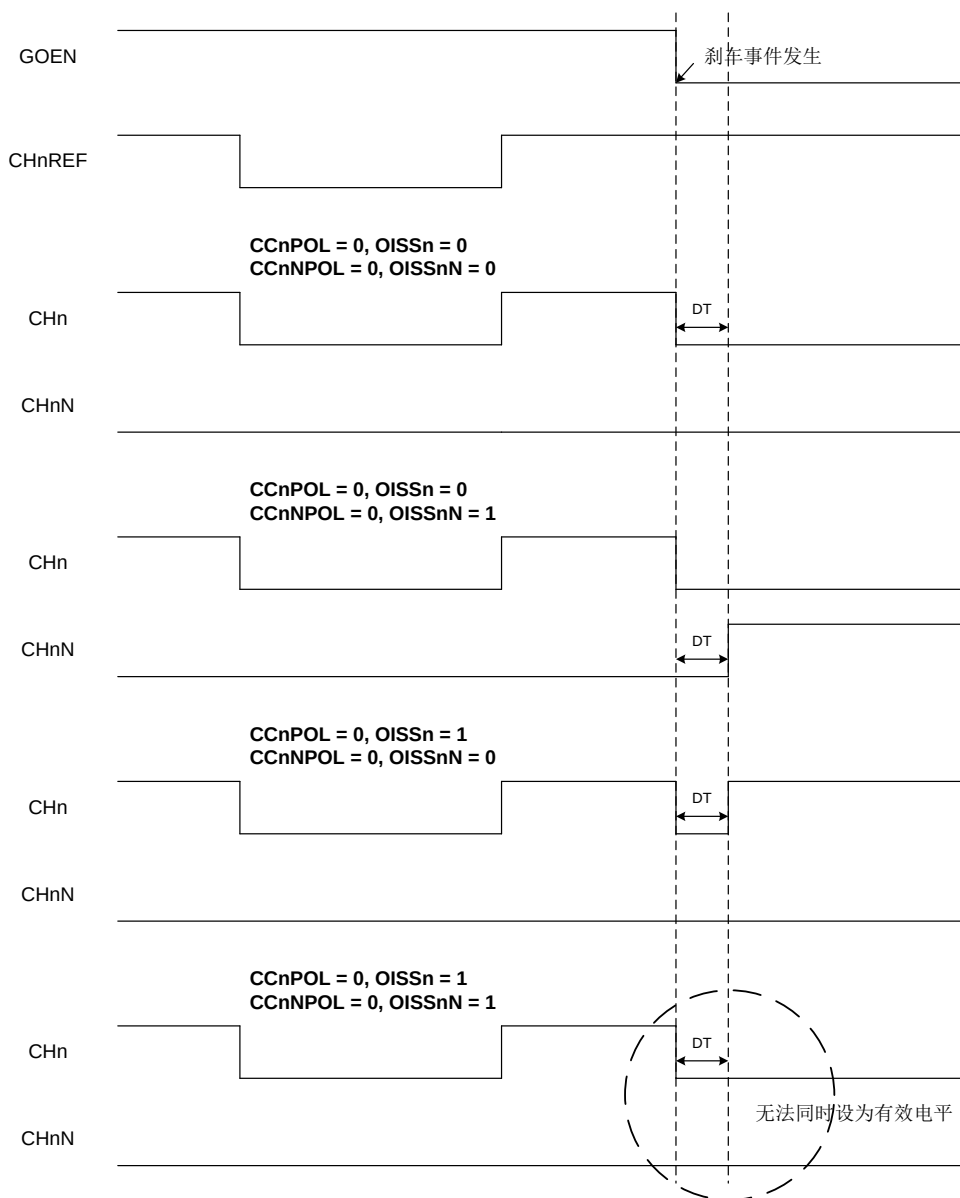


图 16-42 非互补输出模式下的刹车事件(OFFSSI=1, CCnEN = 1, CCnNEN = 0)

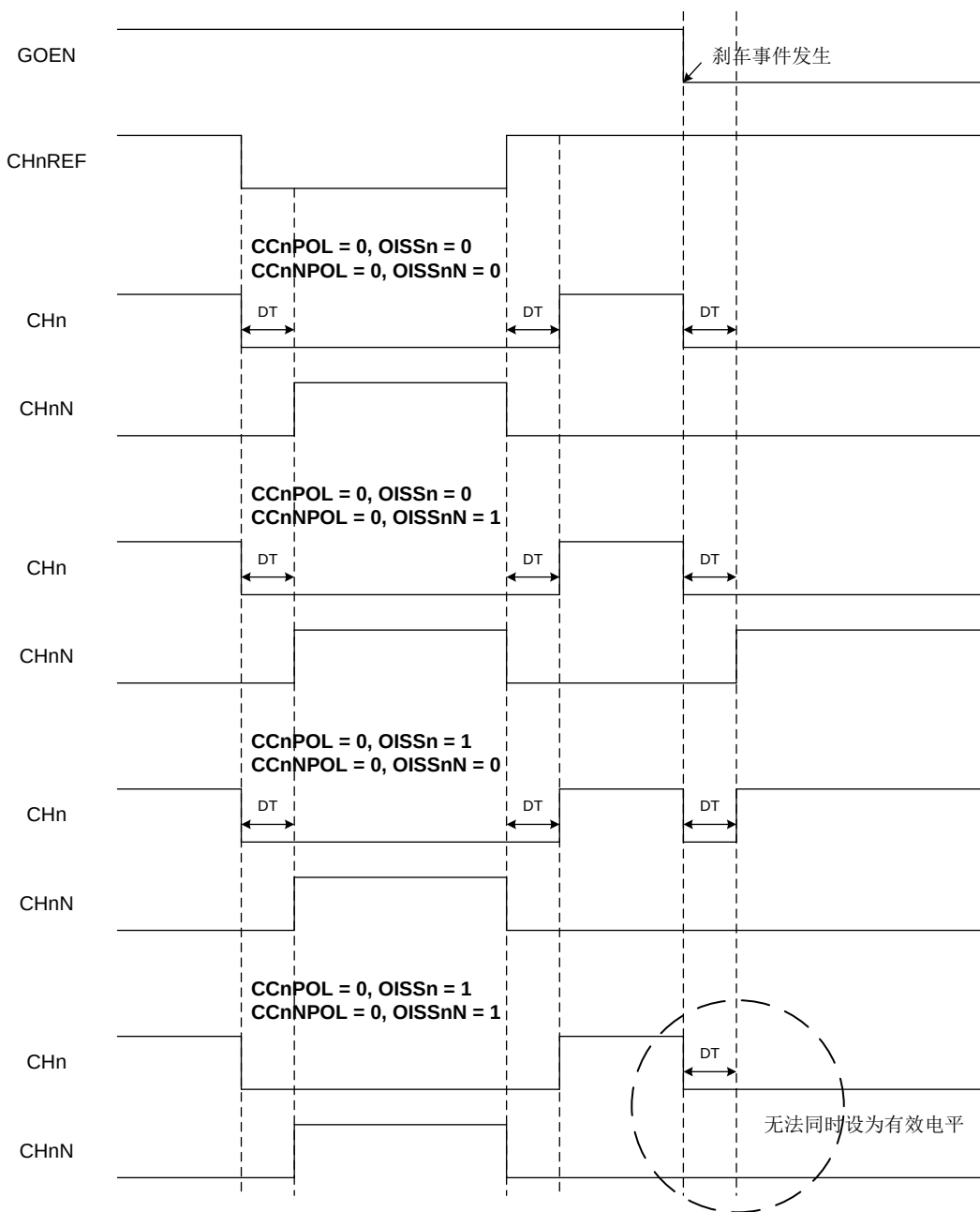


图 16-43 互补输出模式下的刹车事件(OFFSSI=1, CCnEN = 1, CCnNEN = 1)

有效刹车输入所响应的刹车事件，在 BRK 与 BRK2 有不同的行为：

- ◆ BRK 刹车事件可以让引脚输出无效状态，或输出预先配置好的电平。
- ◆ BRK2 刹车事件只能让引脚输出无效状态。

此外，BRK 刹车事件的优先权大于 BRK2，如下图：

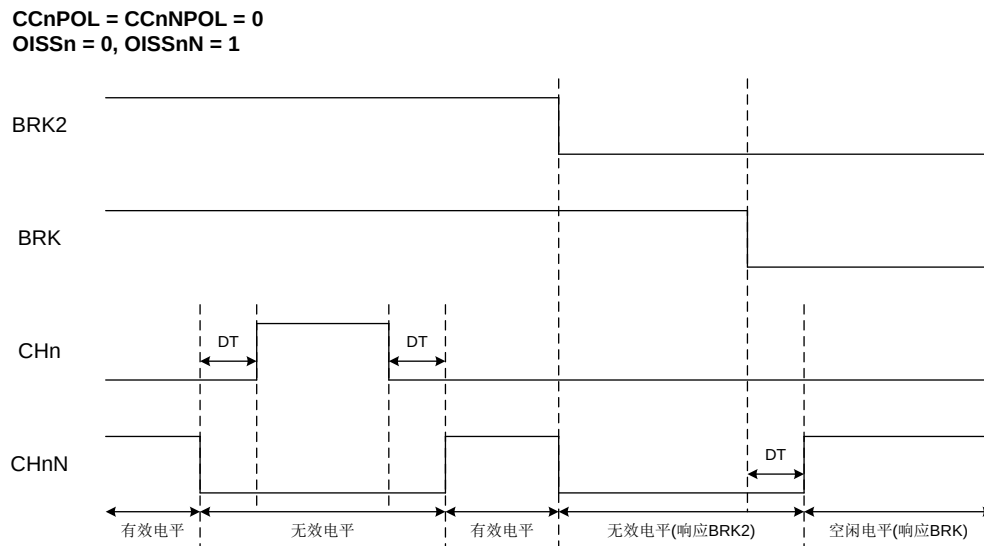


图 16-44 响应 BRK 与 BRK2 刹车事件后的 PWM 输出波形(OFFSSI=1)

注：BRK2 功能必须在 OFFSSR 和 OFFSSI 皆设为 1 时使用。

16.5.22 双向刹车输入

定时器支持双向刹车输入引脚(BKIN 和 BKIN2)，如下图：

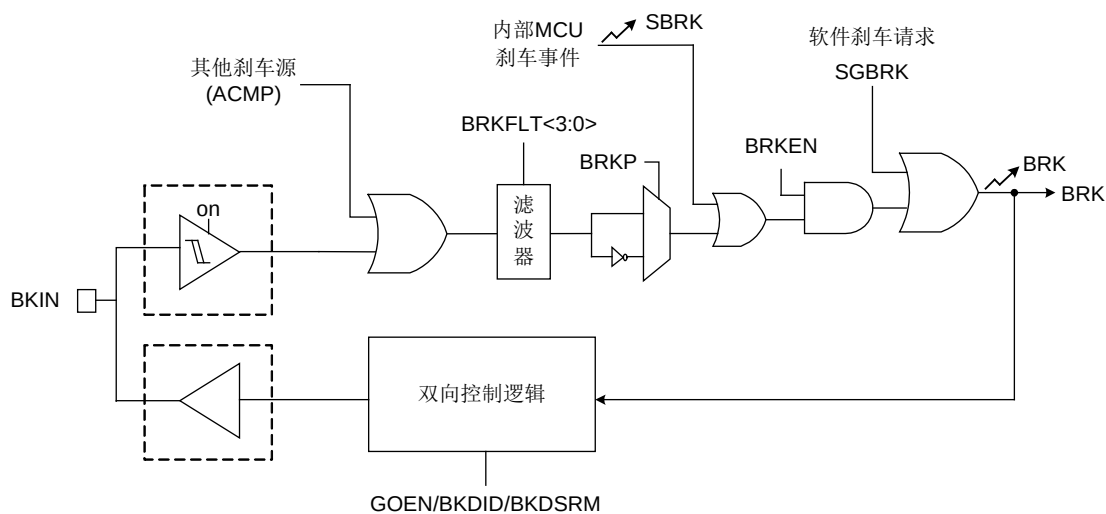


图 16-45 刹车输入通道(以 BKIN 为例)

- ◆ 通过刹车输入引脚向外部 MCU 或驱动电路发送故障信号。
- ◆ 内部刹车源与外部刹车输入引脚使用"或"运算，触发刹车事件。

启用双向刹车输入模式需要设置 AD16C6T_BDCFG 寄存器的 BKDID 和 BK2BID 位为 1，将刹车输入引脚 BKIN 和 BKIN2 配置为双向模式。

当发生刹车事件时，定时器会将刹车输入引脚(BKIN 和 BKIN2)强制设为低电平输出，用来向外部驱动电路指示发生了故障事件。

因此在使用双向刹车模式时，外部驱动电路的有效刹车信号源必须设计成低电平有效，如下图：

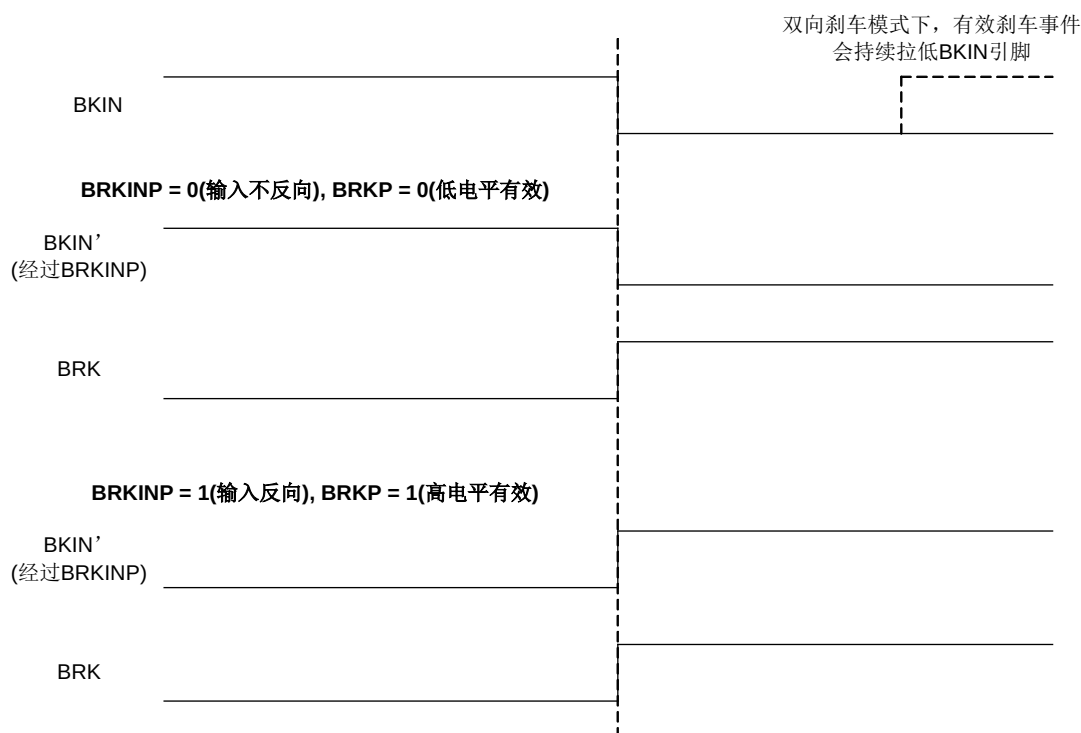


图 16-46 有效双向刹车输入模式(以 BKIN 为例)

注：当刹车极性位配置错误时(例如配置成高电平有效)，为了安全目的无法支持双向刹车输入模式。

使用软件刹车事件 SGBRK(SGBRK2)也会将 BKIN(BKIN2)引脚强制设为低电平输出。但若在刹车输入关闭(BRKEN/BRK2EN = 0)的情况下使用软件触发刹车信号，定时器只会生成有效刹车事件，并不会影响 BKIN(BKIN2)引脚状态。

当发生有效刹车事件后(GOEN 清 0)，可通过以下步骤让刹车保护机制重新启用：

1. 设置 AD16C6T_BDCFG 寄存器的 BKDSRM/BK2DSRM 位为 1，硬件释放刹车输入引脚(不强制设为低电平输出)。
2. 定时器会持续检测刹车输入引脚电平，直到为无效电平，硬件将自动清除 BKDSRM/BK2DSRM 位为 0。
3. 软件持续检测 BKDSRM/BK2DSRM 位，直到被硬件自动清 0，表示此时刹车保护机制重

新进入警备状态。

4. 清除相关刹车中断事件(若有开启中断)。
5. 软件设置 GOEN 位为 1，重新输出 PWM 信号，若开启 AOEN，定时器在更新事件后自动开启 PWM 输出。

16.5.23 输出引脚控制

在输出模式(强制输出、输出比较或 PWM 模式)下，设置参考信号 CHnREF 映射到 CHn 输出或 CHnN 输出的方式，可以通过配置 AD16C6T_CCEP 寄存器的 CCnEN、CCnNEN 位来实现。而输出的极性可以由 AD16C6T_CCEP 寄存器的 CCnPOL 与 CCnNPOL 位决定。此外，死区延迟可以通过 AD16C6T_BDCFG 寄存器的 DT 位和 AD16C6T_DCFG2 寄存器的 DT2 位(若开启非对称死区)来设置。

在运行模式下(GOEN=1)，如果关闭输出(CCnEN=0 或 CCnNEN=0)，硬件会直接禁止 CHn 或 CHnN 输出，使引脚为 Hi-Z 高阻态(不由定时器控制)。但是，如果开启了 AD16C6T_BDCFG 寄存器的 OFFSSR 位，并且关闭输出的通道的互补通道是开启状态，那么该通道会将输出设为无效电平(由 AD16C6T_CCEP 寄存器的 CCnPOL 位或 CCnNPOL 位决定)。

当 GOEN 位因刹车事件或软件写入为 0 时，硬件会直接禁止 CHn 或 CHnN 输出，使引脚为 Hi-Z 高阻态(不由定时器控制)。但是，如果开启了 AD16C6T_BDCFG 寄存器的 OFFSSI 位，并且 CCnEN 与 CCnNEN 位不全为 0，那么通道会先输出无效电平，并且在死区延迟后，改为输出其空闲电平(根据 AD16C6T_CON2 寄存器的 OISSn 及 OISSnN 位决定)。

所有输出引脚控制状态整理如下表：

控制位					输出状态	
GOEN	OFFSSI	OFFSSR	CCnEN	CCnNEN	CHn	CHnN
1	x	x	0	0	禁止引脚输出(Hi-Z，不由定时器控制)	
		0	0	1	禁止引脚输出(Hi-Z，不由定时器控制)	CHnN = CHnREF + 极性(CCnNPOL)
		0	1	0	CHn = CHnREF + 极性(CCnPOL)	禁止引脚输出(Hi-Z，不由定时器控制)
		x	1	1	CHn = CHnREF + 极性(CCnPOL) + 死区(DT)	CHnN = ~CHnREF + 极性(CCnNPOL) + 死区(DT)
		1	0	1	运行模式下关闭状态(输出无效电平) CHn = 极性(CCnPOL)	CHnN = CHnREF + 极性(CCnNPOL)
		1	1	0	CHn=CHnREF + 极性(CCnPOL)	运行模式下关闭状态(输出无效电平) CHnN=极性(CCnNPOL)
0	0	x	x	X	禁止引脚输出(Hi-Z，不由定时器控制)	
	1		0	0		

控制位					输出状态	
GOEN	OFFSSI	OFFSSR	CCnEN	CCnNEN	CHn	CHnN
			0	1	空闲模式下关闭状态(输出无效电平) CHn = 极性(CCnPOL), CHnN = 极性(CCnNPOL) 在死区(DT)时间后, 输出空闲电平 CHn = OISSn, CHnN = OISSnN 注: 禁止设置 OISSn 与 OISSnN 皆为有效电平	
			1	0		
			1	1		

表 16-10 输出引脚状态表

16. 5. 24 生成 6 步PWM

配置 AD16C6T_CON2 寄存器的 CCPCEN 位可实现 CHnMOD、CCnEN、CCnNEN 位的预装载功能。而 CCUSEL 位可以选择预装载事件的来源。当 CCUSEL 位为 1 时, 预装载位会在 COM 事件时载入到缓冲寄存器中。这使得用户可以预先编程下一个步骤的配置, 并在同一时间更新所有通道的配置。COM 事件可以通过软件设置 AD16C6T_SGE 寄存器中的 SGCOM 位产生, 也可以通过硬件 (在 TRGI 上升沿) 产生。

当发生 COM 事件时, 硬件会自动设置 AD16C6T_RIF 寄存器的 COM 位为 1。开启 AD16C6T_IER 寄存器的 COM 位可以产生中断。开启 AD16C6T_DMAEN 寄存器的 COM 位可以产生 DMA 请求。

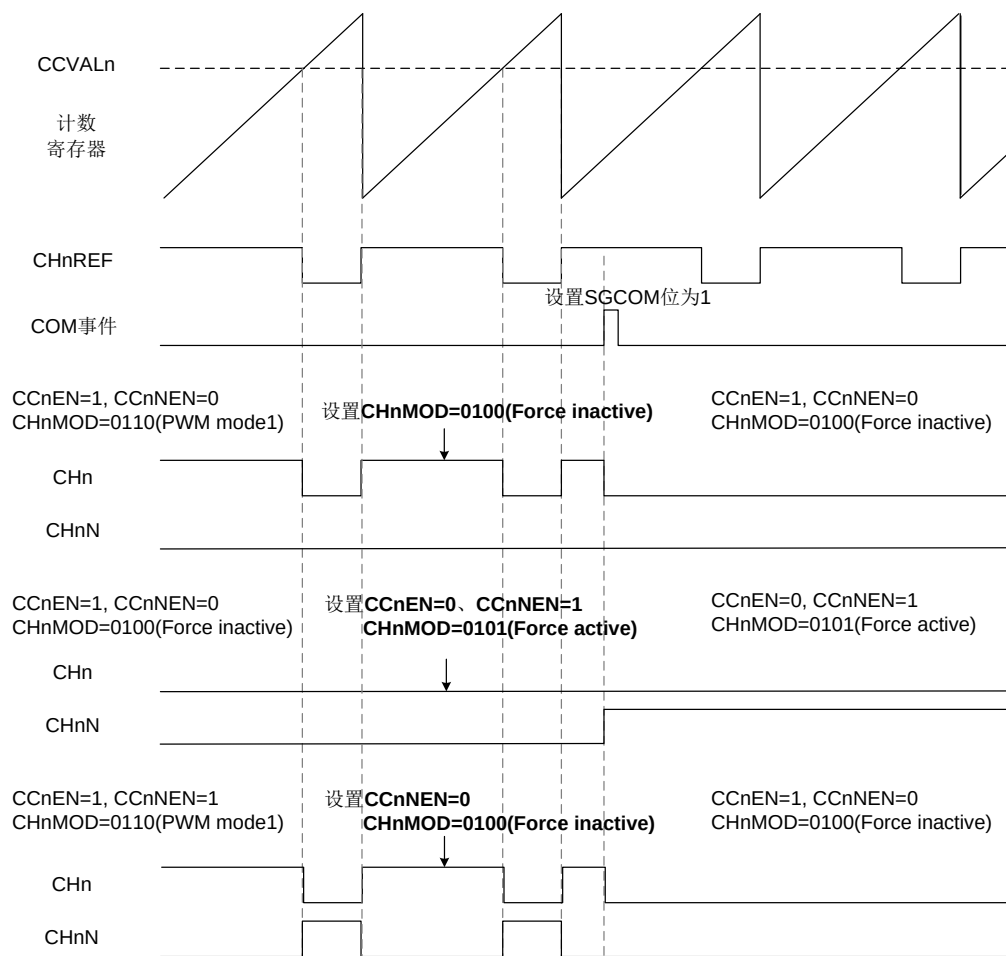


图 16-47 COM 事件生成 6 步 PWM(OFFSSR=1)

16. 5. 25 编码器接口

16. 5. 25. 1 正交编码器模式

正交编码器模式有以下五种计数方式：

- ◆ 正交编码器模式 1(x2)：设置 AD16C6T_SMCON 寄存器的 SMODS 位为 00001b，计数器根据 I2 电平在 I1 边沿递增或递减计数。
- ◆ 正交编码器模式 2(x2)：设置 AD16C6T_SMCON 寄存器的 SMODS 位为 00010b，计数器根据 I1 电平在 I2 边沿递增或递减计数。
- ◆ 正交编码器模式 3(x4)：设置 AD16C6T_SMCON 寄存器的 SMODS 位为 00011b，计数器根据 I2/I1 电平在 I1/I2 边沿递增或递减计数。
- ◆ 正交编码器模式 4(x1)：设置 AD16C6T_SMCON 寄存器的 SMODS 位为 01110b，计数器根据 I2 指定电平在 I1 边沿递增或递减计数。
- ◆ 正交编码器模式 5(x1)：设置 AD16C6T_SMCON 寄存器的 SMODS 位为 01111b，计数器根据 I1 指定电平在 I2 边沿递增或递减计数。

注：倍数是指在一个编码器输入信号的周期内，计数器可计算的次数。

可以通过设置 AD16C6T_CCEP 寄存器中的 CC1POL 和 CC2POL 位数值，选择正交编码器的

输入 I1 和 I2 的极性(CC1NPOL 和 CC2NPOL 位必须置 0)。如果需要,也可以设置输入滤波器。

在正交编码器模式下,CH1 和 CH2 被用作输入接口。当计数器启动时(将 AD16C6T_CON1 寄存器的 CNTEN 位设置为 1),计数器时钟由 I1 和 I2 经过滤波后的有效电平 I1FP 和 I2FP 转换提供。I1FP 和 I2FP 转换序列会产生计数脉冲和方向信号。计数器的递增或递减由信号的转换序列决定,而 AD16C6T_CON1 寄存器的 DIRSEL 方向位则由硬件自动更新。

正交编码器模式的工作方式类似于带有方向选择的外部时钟。计数器会在 0 到 AD16C6T_AR 寄存器中的自动重载值之间进行连续计数。因此,在开始计数之前需要设置 AD16C6T_AR 寄存器的值。在这种模式下,捕获器、预分频器、重复计数器和触发输出的功能都可以正常工作。需要注意的是,编码模式和选择外部时钟源 2 不兼容,因此不能同时选择。

此模式下,计数器会根据正交编码器的速度和方向自动修改,计数器的数值反映的是编码器的位置。计数方向对应着连接传感器的旋转方向。

下表列出了所有的可能组合(假设 I1 和 I2 不同时变换):

正交编码器模式	SMODS	有效边沿	有效边沿的相对信号电平(*注)	I1FP 上升沿	I1FP 下降沿	I2FP 上升沿	I2FP 下降沿
模式 1(x2)	00001b	仅在 I1 计数	高电平	递减	递增	不计数	不计数
			低电平	递增	递减	不计数	不计数
模式 2(x2)	00010b	仅在 I2 计数	高电平	不计数	不计数	递增	递减
			低电平	不计数	不计数	递减	递增
模式 3(x4)	00011b	在 I1 和 I2 上计数	高电平	递减	递增	递增	递减
			低电平	递增	递减	递减	递增
模式 4(x1)	01110b	仅在 I1 计数	高电平	递减	递增	不计数	不计数+
			低电平	不计数	不计数	不计数	不计数
模式 5(x1)	01111b	仅在 I2 计数	高电平	不计数	不计数	递增	递减
			低电平	不计数	不计数	不计数	不计数

表 16-11 计数方向与编码器输入信号的关系(CC1POL = CC2POL = 0)

注:

有效边沿的相对信号电平指的是:

在 I1FP 上升沿或下降沿计数时,计数方向由 I2FP 的电平高或低决定。

在 I2FP 上升沿或下降沿计数时,计数方向由 I1FP 的电平高或低决定。

正交编码器可直接与 MCU 连接,但一般会通过比较器将正交编码器的差分输出转换为数字信号。下面给出了计数信号产生和方向控制的配置和计数过程示例:

1. 设置 AD16C6T_CHMR1 寄存器的 CC1SSEL 位为 01b,选择通道为 I1 输入。
2. 设置 AD16C6T_CHMR1 寄存器的 CC2SSEL 位为 01b,选择通道为 I2 输入。

3. 设置 AD16C6T_CCEP 寄存器的 CC1POL 位为 0、CC1NPOL 为 0，选择非反相输入。
4. 设置 AD16C6T_CCEP 寄存器的 CC2POL 位为 0、CC2NPOL 为 0，选择非反相输入。
5. 设置 AD16C6T_SMCON 寄存器的 SMODS 位为 00011b，选择计数器同时根据 I1 和 I2 上的边沿计数。
6. 设置 AD16C6T_CON1 寄存器 CNTEN 位为 1 开启计数器。

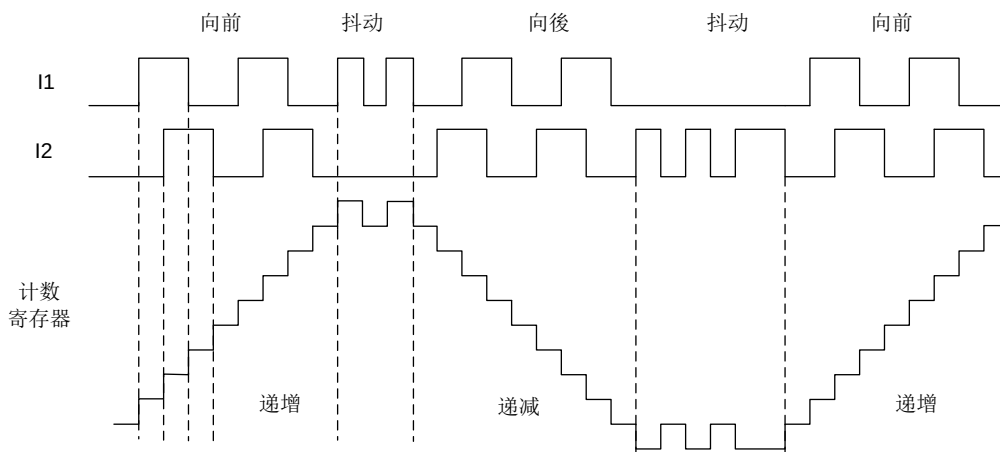


图 16-48 编码器接口模式下的计数操作

下图给出了计数器在 I1 滤波信号极性反相时的计数过程(除了设置 CC1POL 位为 1，其他设置与上面一致):

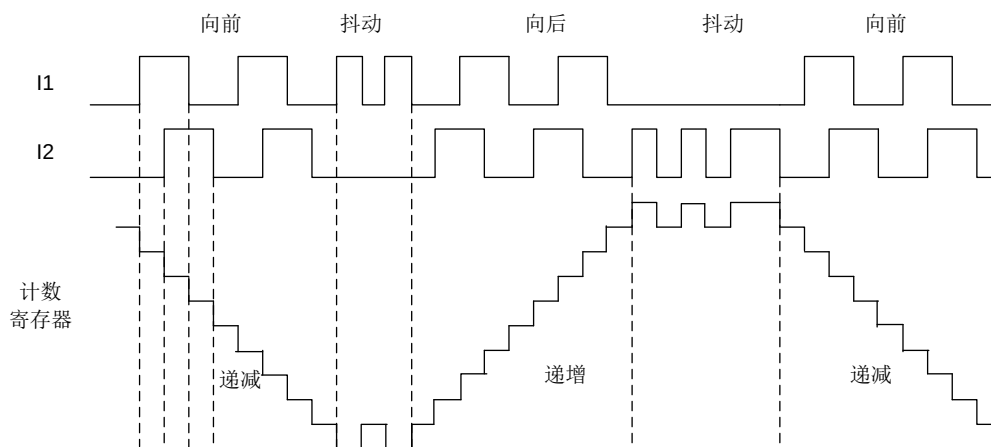


图 16-49 滤波后极性反相时编码器接口例子

下图为不同正交编码器模式下的计数方式(AR = 0x08):

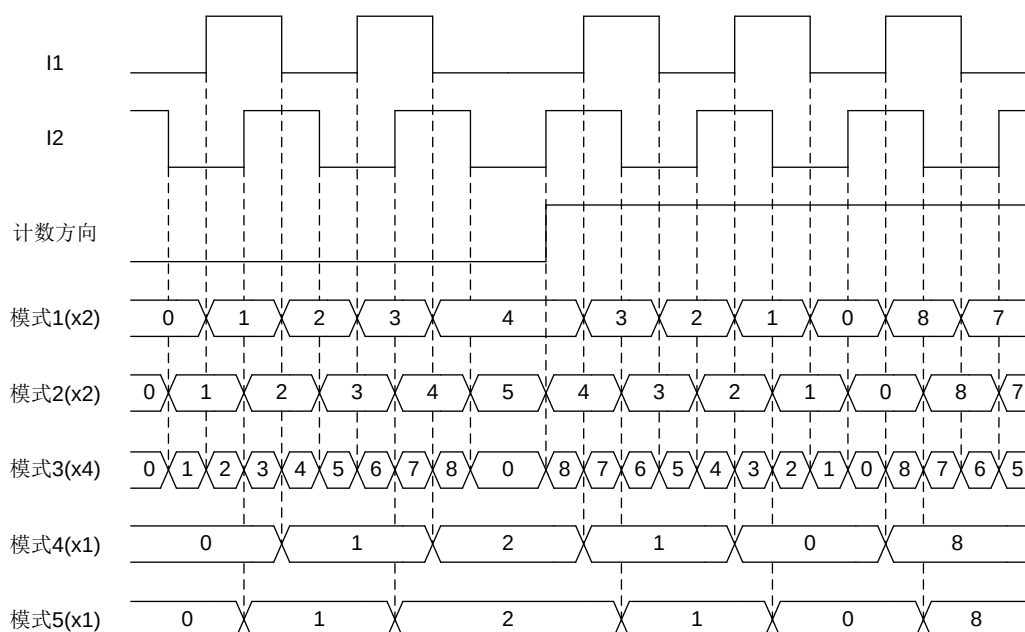


图 16-50 不同正交编码器模式下的计数方式

除了正交编码器模式外，定时器还提供了以下两种编码器模式：时钟加方向编码器模式和定向时钟编码器模式。

16. 5. 25. 2 时钟加方向编码器模式

在此模式下，定时器计数方向(递增/递减)由 I1 的电位控制，而计数时钟由 I2 的上升沿/下降沿控制，整理如下：

CC1POL	I1 电平	计数方向
0	高电平	递增
	低电平	递减
1	高电平	递减
	低电平	递增

表 16-12 计数方向与极性 & I1 电平之间的关系

时钟加方向编码器模式	SMODS	CC2POL	I2 上升沿	I2 下降沿
模式 1(x2)	01010b	x	计数	计数
模式 2(x1)	01011b	0	计数	不计数
		1	不计数	计数

表 16-13 计数时钟与极性 & I2 边沿之间的关系

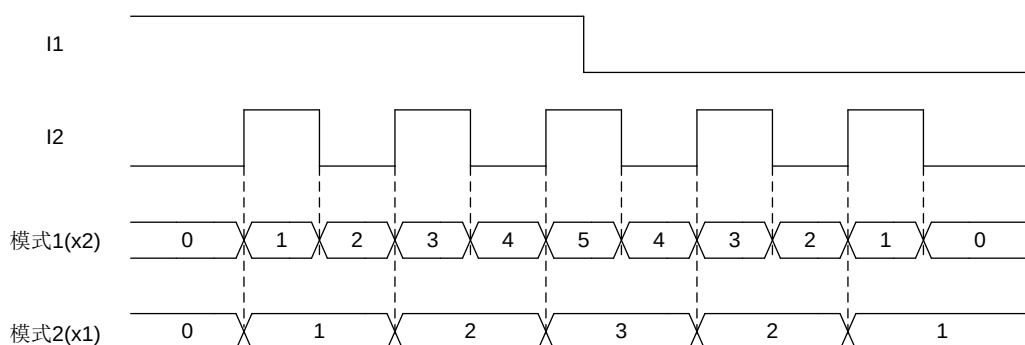


图 16-51 时钟加方向编码器模式(CC1POL = 0, CC2POL = 0)

16. 5. 25. 3 定向时钟编码器模式

与时钟加方向编码器模式不同的是，此模式下 I1/I2 皆用来控制定时器计数，I1 上升沿或下降递减计数，I2 上升沿或下降沿递增计数，如下表所示：

定向时钟编码器模式	SMODS	CCnPOL	有效边沿的相对信号电平	I1FP 上升沿	I1FP 下降沿	I2FP 上升沿	I2FP 下降沿
模式 1(x2)	01100b	0	高电平	递减	递减	递增	递增
			低电平	不计数	不计数	不计数	不计数
		1	高电平	不计数	不计数	不计数	不计数
			低电平	递减	递减	递增	递增
模式 2(x1)	01101b	0	高电平	不计数	递减	不计数	递增
			低电平	不计数	不计数	不计数	不计数
		1	高电平	不计数	不计数	不计数	不计数

			低电平	递减	不计数	递增	不计数
--	--	--	-----	----	-----	----	-----

表 16-14 计数方向与编码器输入信号的关系

CC1POL = 0, CC2POL = 0

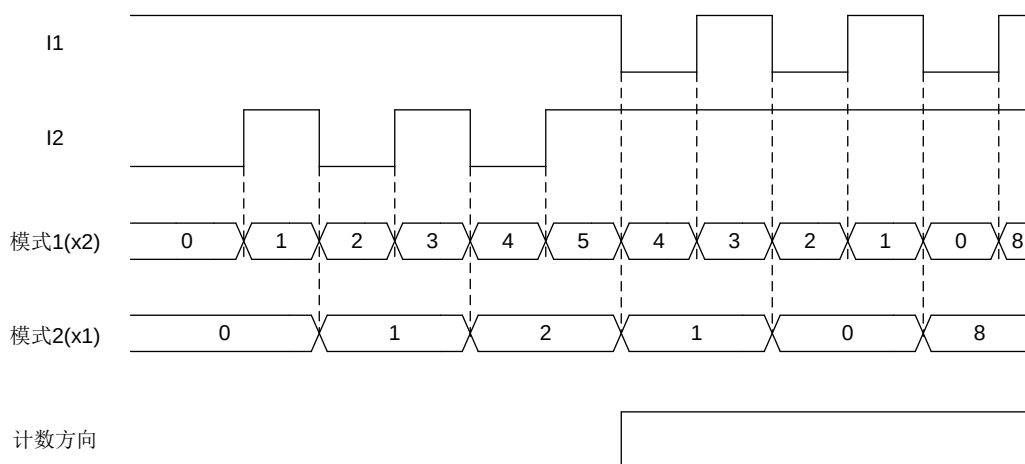


图 16-52 定向时钟编码器模式(CC1POL = 0, CC2POL = 0)

CC1POL = 1, CC2POL = 1

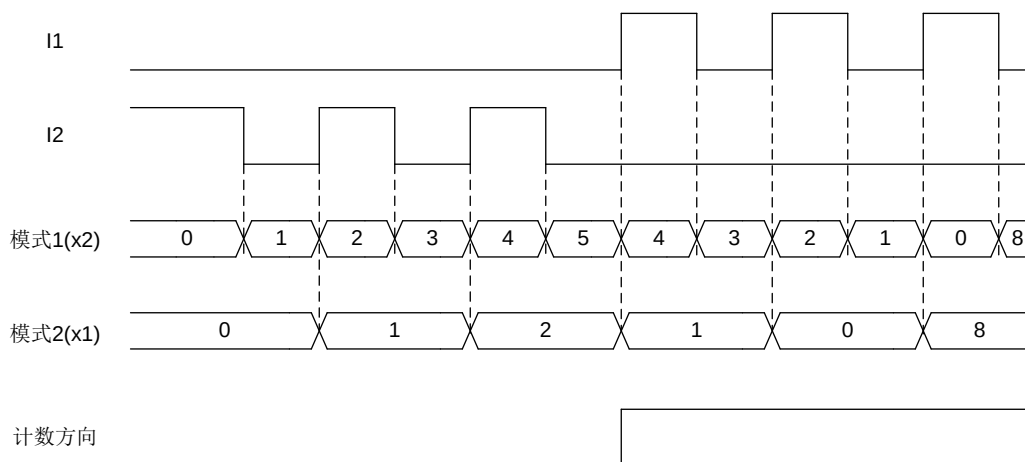


图 16-53 定向时钟编码器模式(CC1POL = 1, CC2POL = 1)

16. 5. 25. 4 正交编码器模式下的索引(Index)输入

编码器的第三个输出(Z 相/Index)用于指示机械零点，可以连接到 ETR 引脚，用来触发计数器复位。

设置 AD16C6T_ENCR 寄存器的 IDXEN 位为 1，开启索引侦测的功能。此功能只适用在 AD16C6T_SMCON 寄存器的 SMODS 设定为编码器模式(0001b、0010b、0011b、1010b、1011b、1100b、1101b、1110b、1111b)时。

大部分的编码器都具备有调整索引脉冲宽度的选项，主要有以下三种模式：

- ◆ AB 相门限模式：索引脉冲在 A、B 相的两个有效边沿对齐，宽度为 1/4 编码器输入周期。
- ◆ A 相(或 B 相)门限模式：索引脉冲在 A(或 B 相)的两个有效边沿对齐，宽度为 1/2 编码器输入周期。
- ◆ 非门限模式：索引脉冲不与 A、B 相的两个有效边沿对齐，宽度为 1 个编码器输入周期。

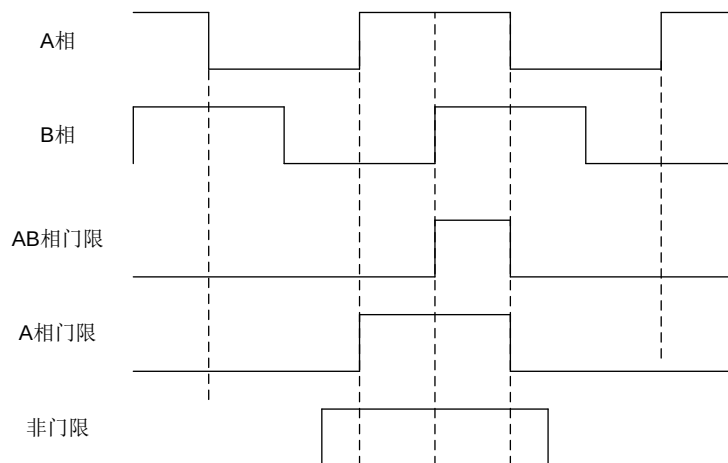


图 16-54 索引脉冲宽度

索引脉冲的抖动是可以被允许的，但抖动范围不能超过两个编码器输入周期，否则会造成计数器多次重置。

通过 AD16C6T_ENCRR 寄存器的 IDXPOS 位，可以定义索引信号在哪个 AB 相位为有效输入，因其物理特性的关系，索引只会永远出现在其中一种相位上(假设使用的是 AB 相门限)。

下图为编码器正转时的 AB 相变化，与索引出现在不同相位时，所需要对应的 IDXPOS 位设置。

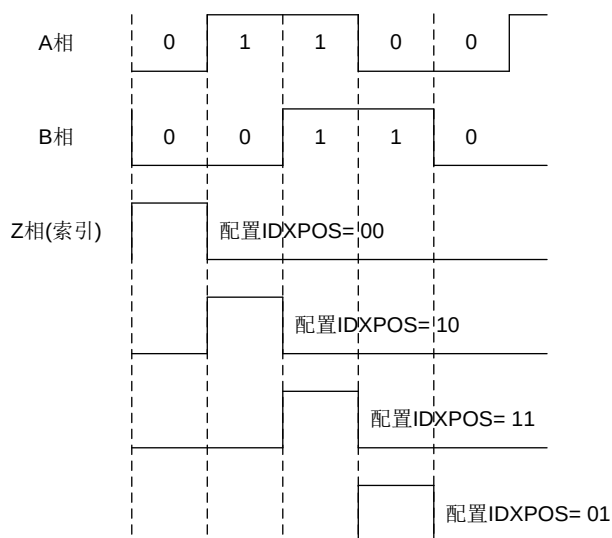


图 16-55 有效索引与 IDXPOS 位之关系图

下图为 AB 相门限索引(IDXPOS 位设定为 11b)有效时, 计数器复位情形:

- ◆ 递增计数下 AB 相为 11 且侦测到有效索引时, 重置计数器为 0, 并产生索引中断(IDX)(若有开启 AD16C6T_IER 寄存器的 IDX 位)。
- ◆ 递减计数下 AB 相为 11 且侦测到有效索引时, 在 AB 相不为 11 时, 重置计数器为 AR, 并产生索引中断(IDX)(若有开启 AD16C6T_IER 寄存器的 IDX 位)。

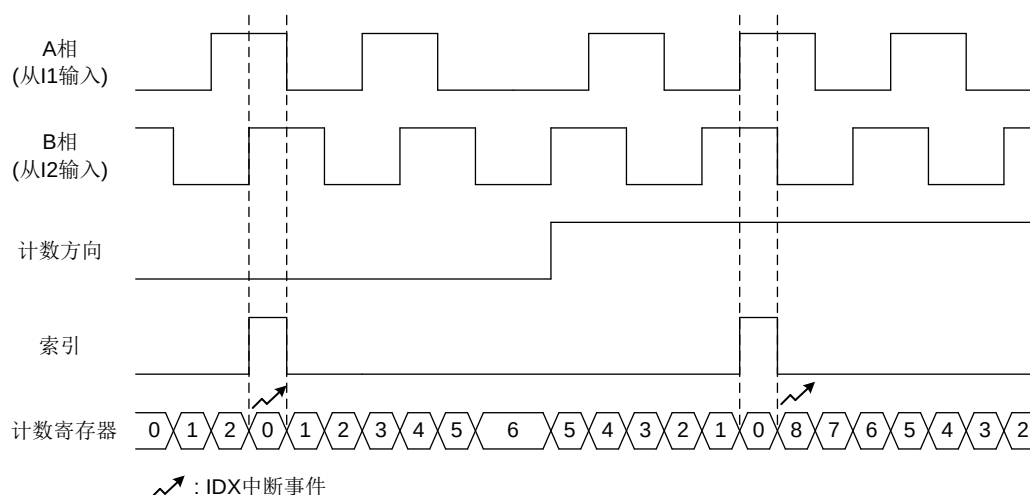


图 16-56 计数器数值与 AB 相门限索引(IDXPOS = 11b)

下图为非相门限索引(IDXPOS 位设定为 00b)有效时, 计数器复位情形:

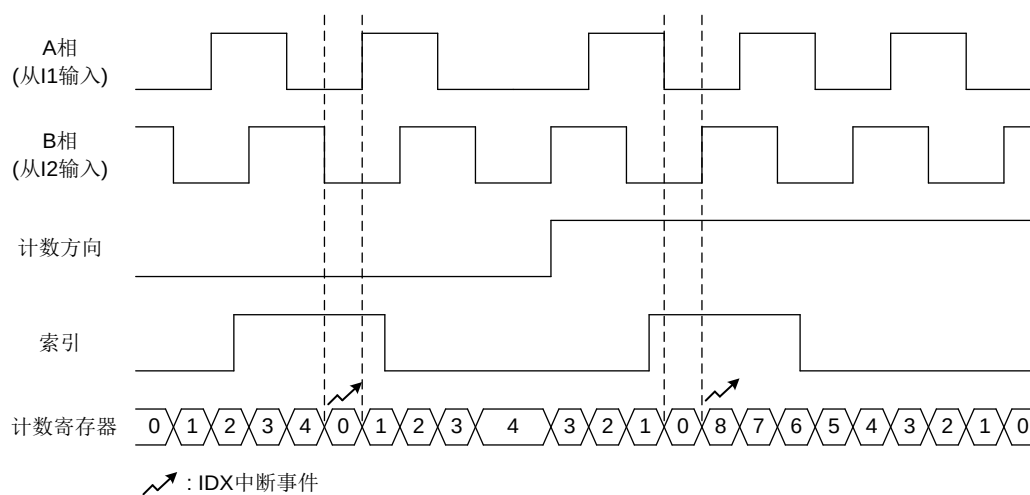


图 16-57 计数器数值与非门限索引(IDXPOS = 00b)

下图为索引因抖动造成脉冲宽度小于 AB 相门限时的波形图：

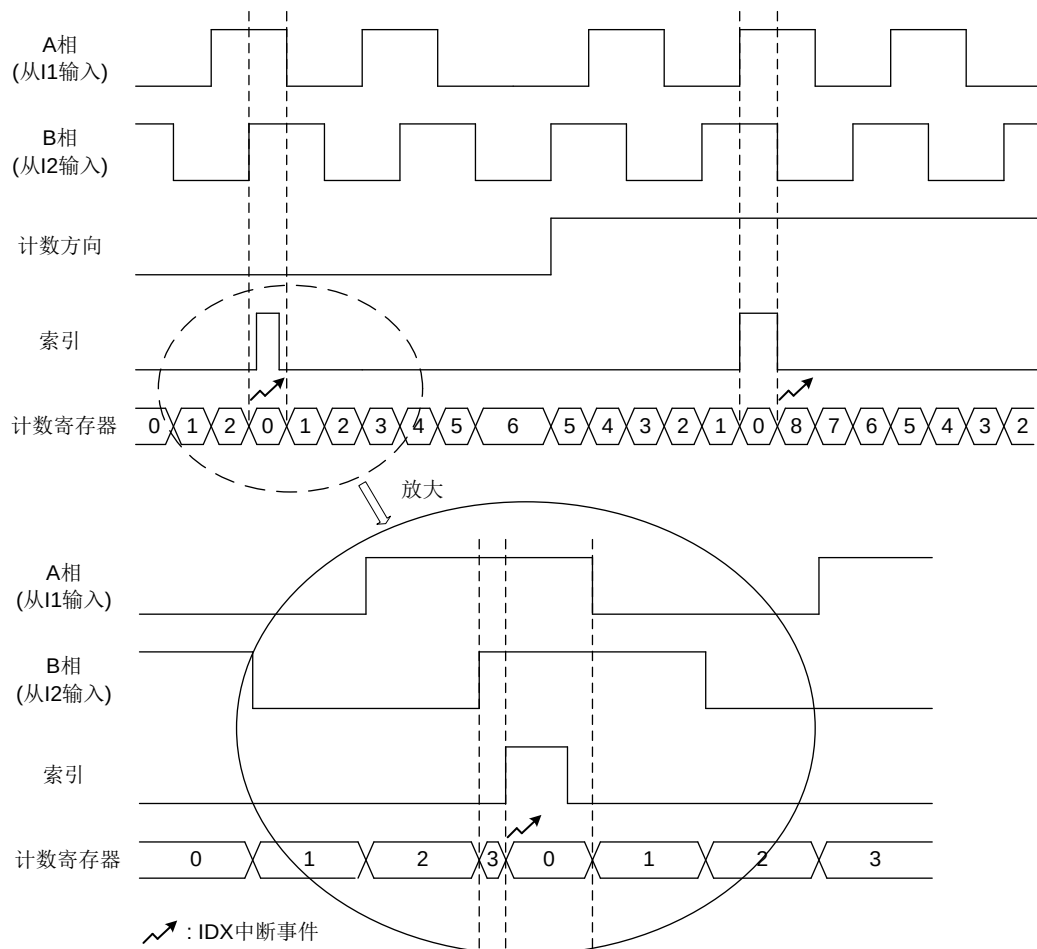


图 16-58 索引脉冲宽度小于 AB 相门限(IDXPOS = 11b)

下图为 B 相门限索引(IDXPOS 位设定为 01b)有效时,在 x2 模式与 x1 模式下计数器复位情形:

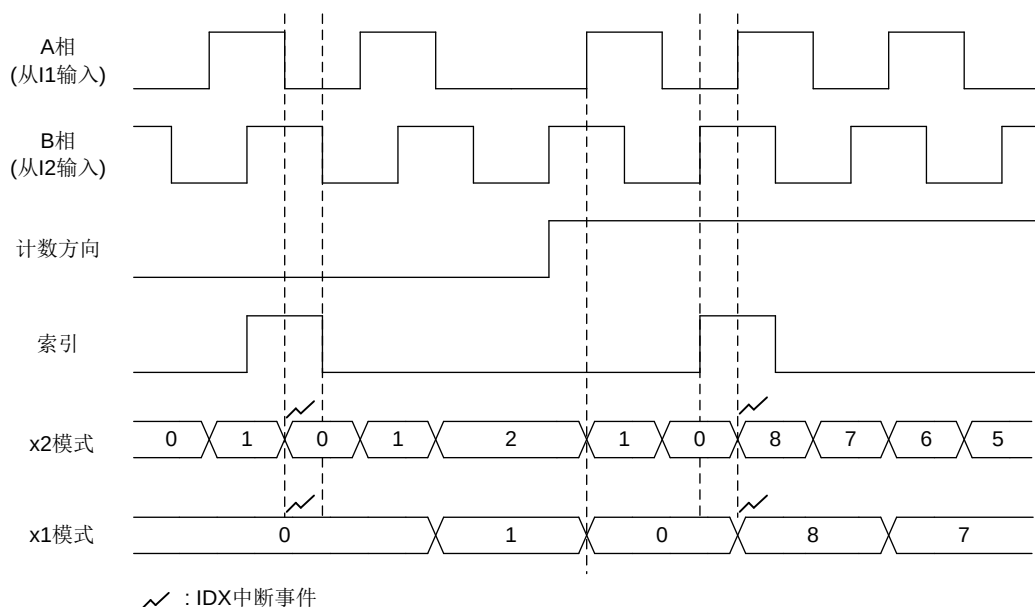


图 16-59 计数器数值与 B 相门限索引(IDXPOS = 01b)

特定计数方向下检测索引有效事件

设置 AD16C6T_ENCRR 寄存器的 IDXDIR 位，可以在特定计数方向下检测索引有效事件。下图为 IDXDIR 位与有效索引事件在不同计数方向下的关系图：

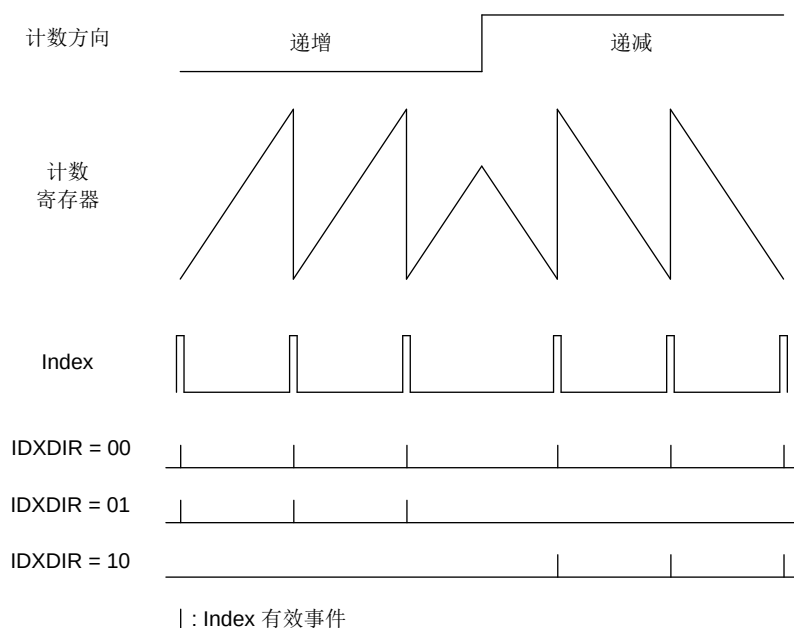


图 16-60 特定计数方向下检测索引有效事件

注：

1. 必须在索引检测功能关闭(AD16C6T_ENCRR 寄存器的 IDXEN 位为 0)时，才能改变 IDXDIR 位。
2. 此功能在时钟加方向编码器模式下不支持，IDXDIR 必须设置为 0。

首次索引事件检测

设置 AD16C6T_ENCR 寄存器的 FIDX 位为 1，可以只检测第一次的索引为有效事件，让后续的索引皆为无效事件。若有需要，可以将 FIDX 位写 0 再写 1，重启首次索引事件检测机制。

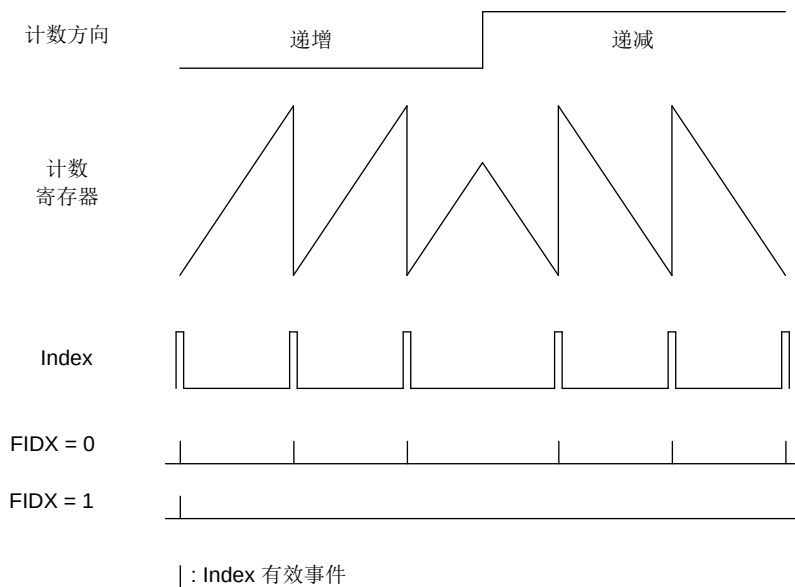


图 16-61 首次索引事件检测

16.5.25.5 非正交编码器模式下的索引输入

设定成时钟加方向编码器模式(SMODS 位=01010b/01011b)或定向时钟编码器模式(SMODS 位=01100b/01101b)时，IDXPOS<1>位无效：

- ◆ IDXPOS<0> = 0：当时钟低电平时，有效的索引事件会重置计数器。
- ◆ IDXPOS<0> = 1：当时钟高电平时，有效的索引事件会重置计数器。

下图为时钟加方向编码器模式在有效索引事件发生时，计数器复位情形：

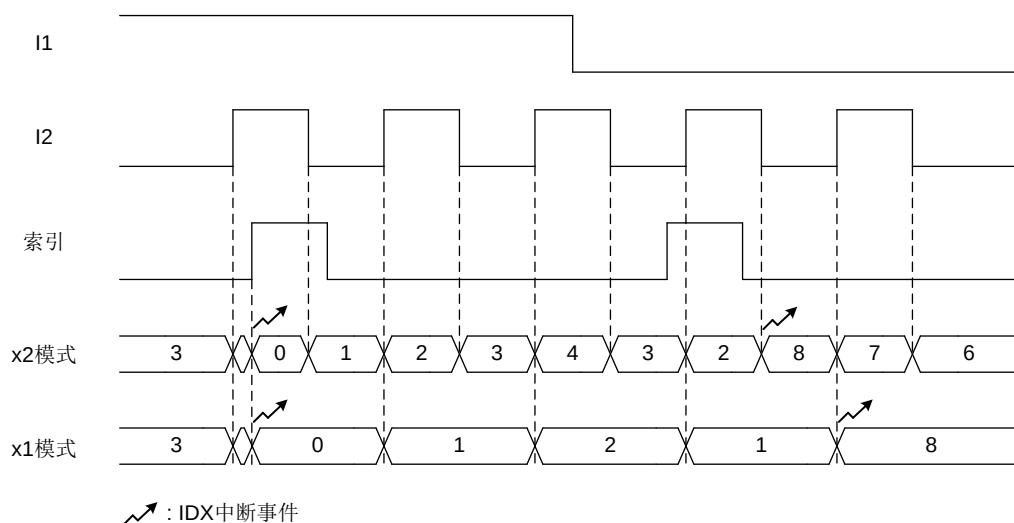


图 16-62 时钟加方向编码器模式下检测索引有效事件(IDXPOS<0> = 1)

下图为定向时钟编码器模式在有效索引事件发生时，计数器复位情形：

CC1POL = 0, CC2POL = 0

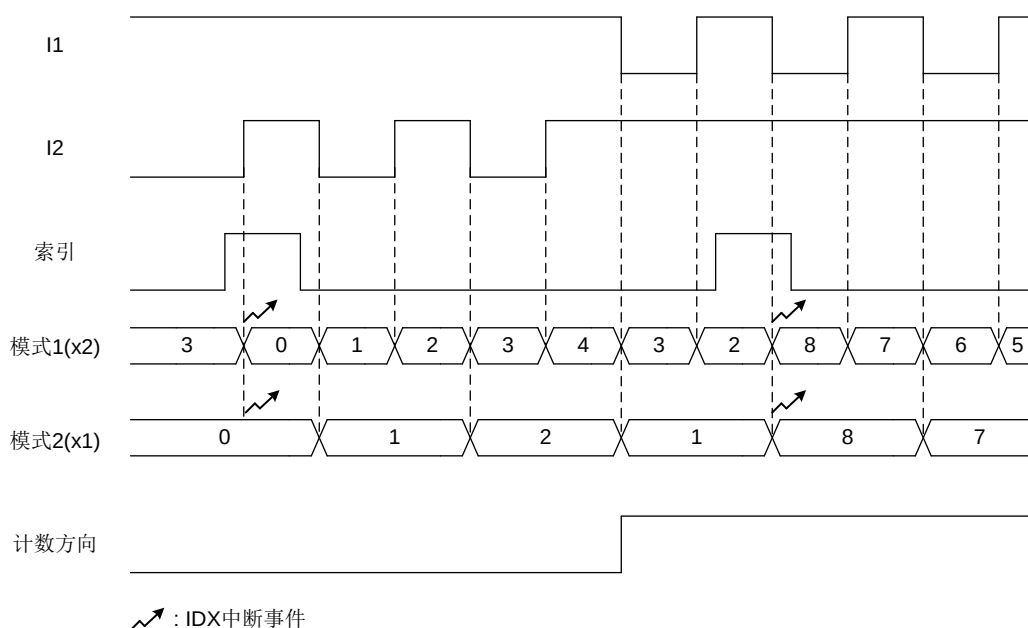


图 16-63 定向时钟编码器模式下检测索引有效事件(IDXPOS<0> = 1)

16.5.25.6 运行模式下切换从模式选择

当用户在定时器运行中要更改编码器模式时，建议设置 AD16C6T_SMCON 寄存器的 SMODPE 位为 1，开启 SMODS 的预装载功能，并设置 SMODPS 位决定缓冲寄存器的更新时机：

- ◆ 设置 SMODPS 位为 0：发生更新事件(UPD)时，将预装载寄存器内的值更新到缓冲寄存器中。
- ◆ 设置 SMODPS 位为 1：发生索引事件(IDX)时，将预装载寄存器内的值更新到缓冲寄存器中。

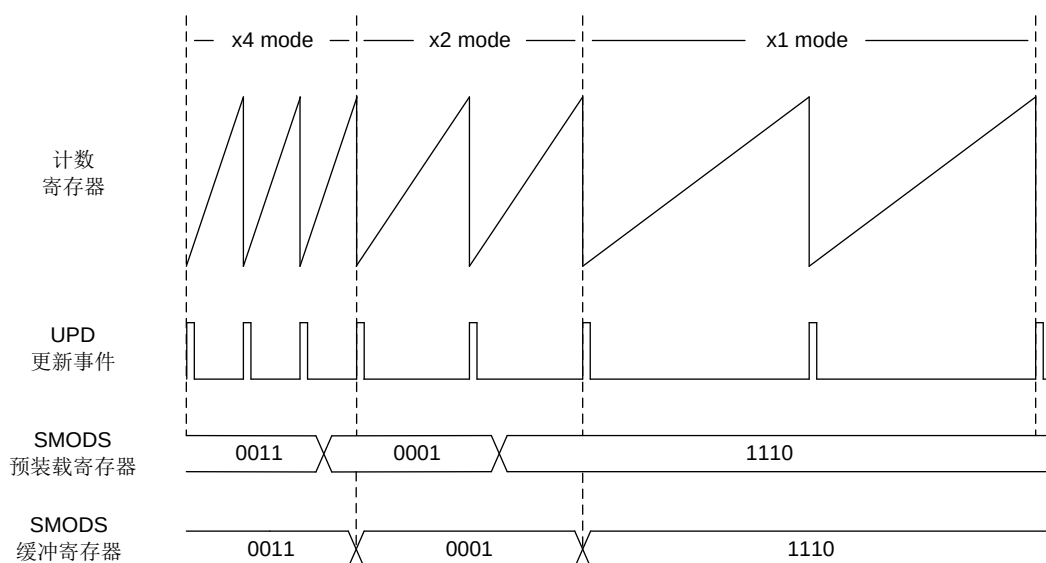


图 16-64 运行模式下切换从模式选择(SMODPS = 0)

16. 5. 25. 7 编码器时钟输出

编码器模式的工作原理不适合用来做速度量测，因为要比较长的时间来获取足够多的时钟周期。比较好的应用方式是通过从模式控制器，将编码器的时钟输出到从定时器，再由从定时器以检测边沿到边沿的方式，执行周期量测并计算间隔以提供速度等相关信习。

设置 AD16C6T_CON2 寄存器的 MMSEL 位为 1000b 时，可以将编码器时钟输出到 TRGOUT。此模式只适用在 AD16C6T_SMCON 寄存器的 SMODS 设定为编码器模式(0001b、0010b、0011b、1010b、1011b、1100b、1101b、1110b、1111b)时。

16. 5. 26 方向位输出

设置 AD16C6T_CHMR2 寄存器的 CH3MOD/CH4MOD 位为 01011b，可将 AD16C6T_CON1 寄存器的 DIRSEL 位映射到 CH3/CH4 通道输出，主要用来监测中心对齐计数时的方向，或编码器模式下的方向变换。

16. 5. 27 UPD位重映射

通过设置 AD16C6T_CON1 寄存器的 UPDREMAP 位，可以将 UPD 原始中断状态映射至 AD16C6T_COUNT 寄存器的第 31 位 UPDRIF 中。

注：UPD 和 UPDRIF 标志之间没有延迟。

16. 5. 28 输入XOR异或功能

通过 AD16C6T_CON2 寄存器的 I1SEL 位，可将通道 1 的输入滤波器连接到 XOR 异或门的输出端，XOR 异或门输入端包含 CH1、CH2 和 CH3 三个输入引脚。

XOR 异或门输出用于定时器的所有输入功能，如触发或输入捕获。该功能参见下节的霍尔传感器接口。

16. 5. 29 霍尔传感器界面

本文介绍使用AD16C6T定时器产生PWM信号驱动马达,以及用另一个通用定时器(GP16C4T)作为"接口定时器"来连接霍尔传感器的方法。具体操作是将3个定时器输入脚(CH1、CH2和CH3)通过XOR门连接到I1输入通道,并由接口定时器捕获这个信号。为了产生一个由霍尔输入端的任何变化而触发的时间基准,模式控制器被设置为复位模式,输入为I1F双边沿。每当3个输入之一变化时,计数器就会从0重新开始计数。

在接口定时器模式下,通道1被设置为捕获模式,捕获信号源为I1。捕获值反映了输入端两次变化之间的时间间隔,提供与马达转速相关的讯息。接口定时器还可以在输出模式产生一个脉冲,这个脉冲通过TRGOUT输出到AD16C6T定时器,用来生成COM事件,改变AD16C6T定时器各个通道的配置,进而产生PWM信号驱动马达。

以下图为例:

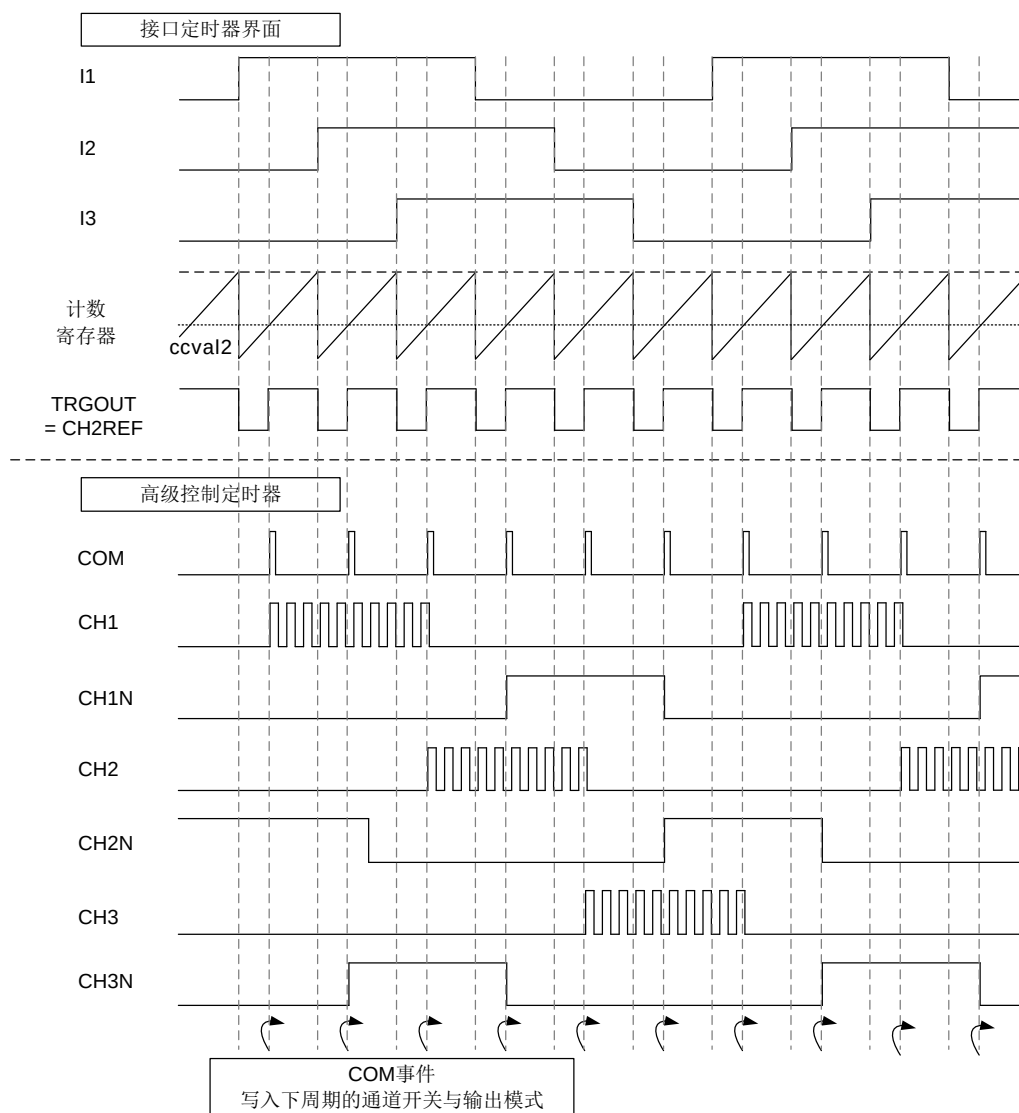


图 16-65 霍尔传感器接口范例

- ◆ 设置 GP16C4T_CON2 寄存器的 I1SEL 位为 1, 通过将三个定时器输入进行 XOR 运算后输入 I1 通道。
- ◆ 设置 GP16C4T_AR 为其最大值, 以便计数器在 I1 变化时被清零。同时, 设置预分频器以得到一个计数器周期, 该周期长于传感器两次变化的时间间隔。
- ◆ 设置 GP16C4T_CHMR1 寄存器的 CC1SSEL 位为 01b, 选择 I1 作为捕获输入通道。如果需要, 还可以设置数字滤波器。
- ◆ 设置 GP16C4T_CHMR1 寄存器的 CC2SEL 位为 00b, 选择通道 2 作为输出通道。
- ◆ 设置 GP16C4T_CHMR1 寄存器的 CH2OMOD 位为 111b, 设置通道 2 为 PWM 模式 2。
- ◆ 设置 GP16C4T_CCVAL2 寄存器决定 PWM 输出延迟时间。
- ◆ 设置 GP16C4T_CON2 寄存器的 TRGOSEL 位为 101b, 选择通道 2 比较输出信号作为 TRGOUT 的触发输出。

在 AD16C6T 定时器中, TRGI 需选择 ITn 做为触发事件源, 定时器被配置为产生 PWM 信号, 并开启捕获或比较预装载控制(设置 AD16C6T_CON2 寄存器的 CCPCEN 位为 1), COM 事件由触发输入控制(设置 AD16C6T_CON2 寄存器的 CCUSEL 位为 1)。发生 COM 事件后(TRGI 检测到上升沿), 在 PWM 控制位(CCNEN、CHnMOD)中写入下一步的配置, 此操作可在由 CH2REF 上升沿产生的中断子程序中完成。

16. 5. 30 外部触发的同步

AD16C6T 定时器可在多种模式下与外部触发同步: 复位模式、门控模式及触发模式。

16. 5. 30. 1 复位模式

当检测到有效触发输入事件时, 计数器及其预分频器会被重新初始化, 若此时 AD16C6T_CON1 寄存器的 UERSEL 位为 0, 则一并产生更新事件 UPD。而所有预装载寄存器(AD16C6T_AR, AD16C6T_CCVALn)都会因更新事件 UPD 而被更新。

在下面例子中, I1 输入端的上升沿让递增计数被清零, 配置过程如下:

1. 设置 AD16C6T_CHMR1 寄存器的 CC1SSEL 位为 01b, 选择 I1 为有效输入端。
2. 设置 AD16C6T_CHMR1 寄存器的 I1FLT 位为 0000b, 本例无需滤波器。
3. 设置 AD16C6T_CCEP 寄存器的 CC1NPOL 位为 0、CC1POL 位为 0, 选择 I1 通道上升沿有效。
4. 设置 AD16C6T_CHMR1 寄存器的 I1PRES 位为 00b, 捕获预分频器不用于触发操作, 无需设置。
5. 设置 AD16C6T_SMCON 寄存器的 TSSEL 位为 00101b, 选择 I1 滤波后信号作为输入源。
6. 设置 AD16C6T_SMCON 寄存器的 SMODS 位为 0100b, 选择复位模式。
7. 设置 AD16C6T_CON1 寄存器的 CNTEN 位为, 开启计数器。

计数器依据内部时钟开始计数, 计数器计数直到 I1 上出现上升沿。当 I1 上出现上升沿时, 计数器会被清零且从 0 重新开始计数。同时设置标志位为 1(AD16C6T_RIF 寄存器的 TRGI 位), 如果中断及 DMA 开启(取决于 AD16C6T_IER 寄存器的 TRGI 位和 AD16C6T_DMAEN 寄存器

的 TRGI 位), 会发送中断及 DMA 请求。

下图给出了设置自动重载寄存器 AD16C6T_AR 为 0x36 时的信号变化。由于 I1 输入的同步电路, I1 上的上升沿和计数器实际初始化之间会存在延迟。

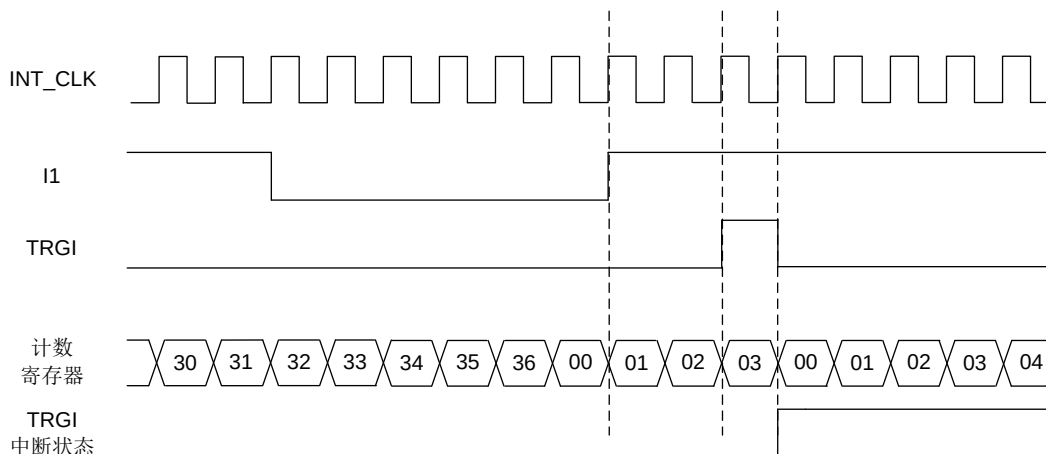


图 16-66 复位模式控制电路

16.5.30.2 门控模式

计数器根据选中的输入电平被开启。

下面的例子中, 计数器只在 I1 输入为低电平时才递增计数:

1. 设置 AD16C6T_CHMR1 寄存器的 CC1SSEL 位为 01b, 选择 I1 为有效输入端。
2. 设置 AD16C6T_CHMR1 寄存器的 I1FLT 位为 0000b, 本例无需滤波器。
3. 设置 AD16C6T_CCEP 寄存器的 CC1NPOL 位为 0、CC1POL 位为 1, I1 通道反相, 有效极性为低电平。
4. 设置 AD16C6T_CHMR1 寄存器的 I1PRES 位为 00b, 捕获预分频器不用于触发操作, 无需设置。
5. 设置 AD16C6T_SMCON 寄存器的 TSSEL1 位与 TSSEL2 位为 00101b, 选择 I1 滤波后信号作为输入源。
6. 设置 AD16C6T_SMCON 寄存器的 SMODS 位为 101b, 选择门控模式。
7. 设置 AD16C6T_CON1 寄存器的 CNTEN 位为 1, 开启计数器(在门控模式中, 如果 CNTEN 位为 0, 无论触发输入为何电平, 计数器都不会开启)。

只要 I1 为低电平, 计数器依据内部时钟开始计数, 一旦 I1 为高电平则停止计数。由于 I1 输入端的同步电路的原因, I1 上出现上升沿和计数器实际停止之间会有一定的延迟。

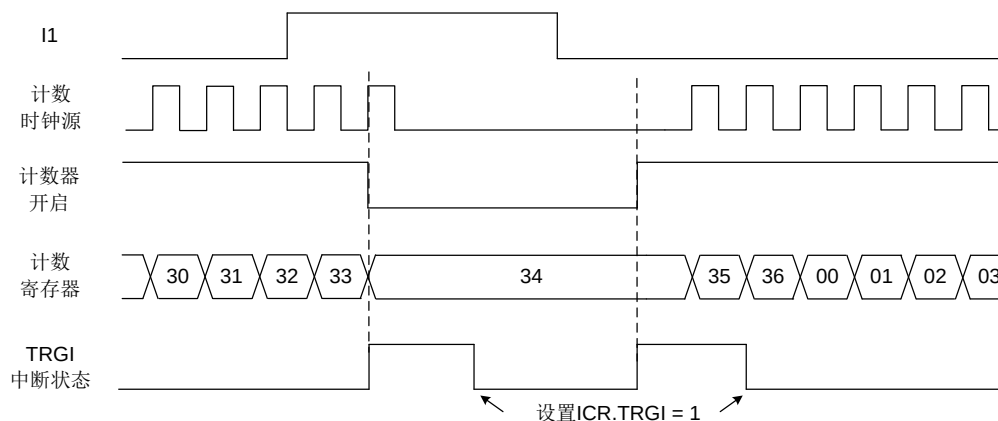


图 16-67 门控模式控制电路

16.5.30.3 触发模式

输入端选中的事件可以开启计数器。

下面的例子中，I2 输入端上的上升沿可以开启递增计数：

1. 设置 AD16C6T_CHMR1 寄存器的 CC2SSEL 位为 01b，选择 I2 为有效输入端。
2. 设置 AD16C6T_CHMR1 寄存器的 I2FLT 位为 0000b，本例无需滤波器。
3. 设置 AD16C6T_CCEP 寄存器的 CC2NPOL 位为 0、CC2POL 位为 0，选择 I2 通道上升沿有效。
4. 设置 AD16C6T_CHMR1 寄存器的 I2PRES 位为 00b，捕获预分频器不用于触发操作，无需设置。
5. 设置 AD16C6T_SMCON 寄存器的 TSSEL1 位与 TSSEL2 位为 00110b，选择 I2 滤波后信号作为输入源。
6. 设置 AD16C6T_SMCON 寄存器的 SMODS 位为 110b，选择触发模式。
7. 设置 AD16C6T_CON1 寄存器的 CNTEN 位为，开启计数器。

I2 上出现上升沿时，计数器开始依据内部时钟计数并设置 TRGI 标志位为 1。

由于 I2 输入的同步电路原因，I2 上出现上升沿和计数器实际启动之间会有一定的延迟。

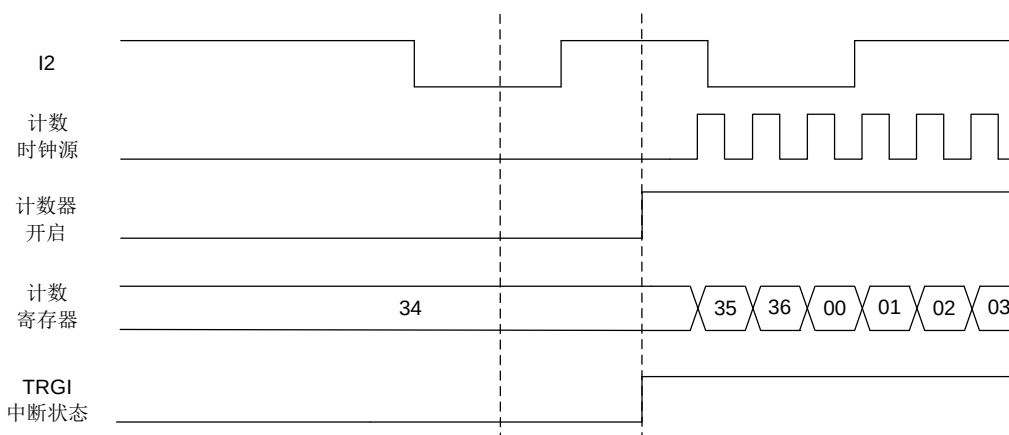


图 16-68 触发模式控制电路

16. 5. 30. 4 选择外部时钟源 2 的触发模式

外部时钟源 2 可和其他模式一起使用(外部时钟模式 1 和除编码模式除外)。ETR 信号可作为外部时钟输入, 另一个输入可选择为触发输入(复位模式、门控模式或触发模式)。不推荐设置 AD16C6T_SMCON 寄存器的 TSSEL1 位与 TSSEL2 位为 00111b 选择 ETR 作为 TRGI。

下面的例子中, 当 I1 输入端出现上升沿时, 开启计数器, 并且在每个 ETR 信号的上升沿递增计数。

ETR 外部触发电路设定如下:

1. 设置 AD16C6T_SMCON 寄存器的 ETFLT 位为 000b, 无需滤波器。
2. 设置 AD16C6T_SMCON 寄存器的 ETPRES 位为 00b, 关闭预分频。
3. 设置 AD16C6T_SMCON 寄存器的 ETPOL 位为 0, ETR 的上升沿有效。
4. 设置 AD16C6T_SMCON 寄存器的 ECM2EN 位为 1, 开启外部时钟模式 2。

通道 1 检测 I1 的上升沿, 过程如下:

1. 设置 AD16C6T_CHMR1 寄存器的 CC1SSEL 位为 01b, 选择 I1 为有效输入端。
2. 设置 AD16C6T_CHMR1 寄存器的 I1FLT 位为 0000b, 本例无需滤波器。
3. 设置 AD16C6T_CCEP 寄存器的 CC1NPOL 位为 0、CC1POL 位为 0, 选择 I1 通道上升沿有效。
4. 设置 AD16C6T_CHMR1 寄存器的 I1PRES 位为 00b, 捕获预分频器不用于触发操作, 无需设置。
5. 设置 AD16C6T_SMCON 寄存器的 TSSEL1 位与 TSSEL2 位为 00101b, 选择 I1 滤波后信号作为输入源。
6. 设置 AD16C6T_SMCON 寄存器的 SMODS 位为 110b, 选择触发模式。
7. 设置 AD16C6T_CON1 寄存器的 CNTEN 位为, 开启计数器。

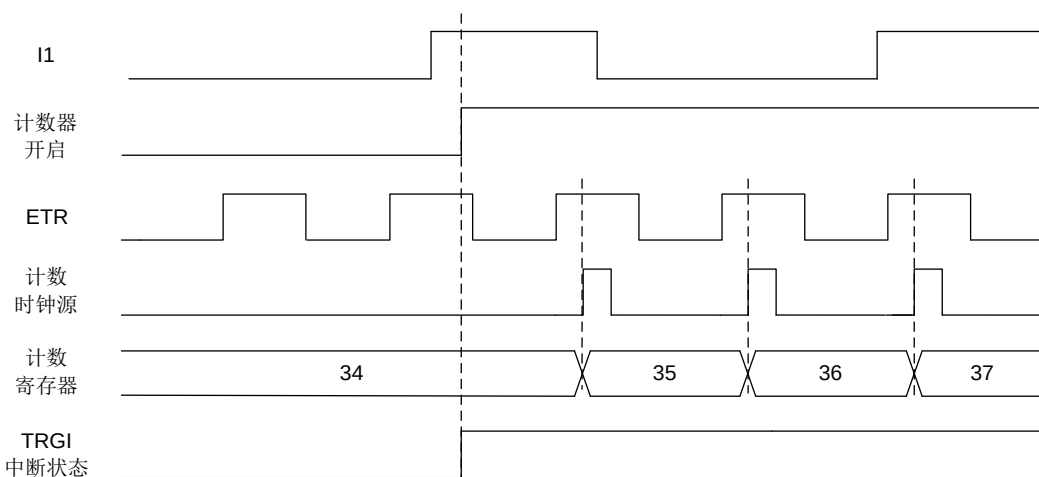


图 16-69 外部时钟源 2+触发模式下的控制电路

I1 上出现上升沿时, 计数器开启且设置 TRGI 标志位为 1, 然后计数器根据 ETR 上的上升沿开始计数。

由于 ETF 输入同步电路的原因，ETR 信号的上升沿和实际计数器的计数会有延迟。

16.5.30.5 组合复位模式 + 触发模式

要使用此模式，需要设置 AD16C6T_SMCON 寄存器的 SMODS 位为 1000b。其功能为复位模式加上触发模式，计数器在触发输入 TRGI 的上升沿启动，并重新初始化计数器以及生成更新事件。此模式主要用于单脉冲模式。

16.5.30.6 组合门控模式 + 复位模式

要使用此模式，需要设置 AD16C6T_SMCON 寄存器的 SMODS 位为 1001b。其功能为门控模式加上复位模式，当触发输入(TRGI)为高电平时，计数器的时钟开启。一旦触发输入变为低电平，计数器停止且重新初始化。

16.5.31 定时器同步

所有定时器在内部相连，用于定时器同步或链接。当一个定时器处于主模式时，它可以对另一个处于从模式的定时器的计数器进行复位、开启、停止或提供时钟等操作。

下图显示了触发选择和主模选择模块的概况。

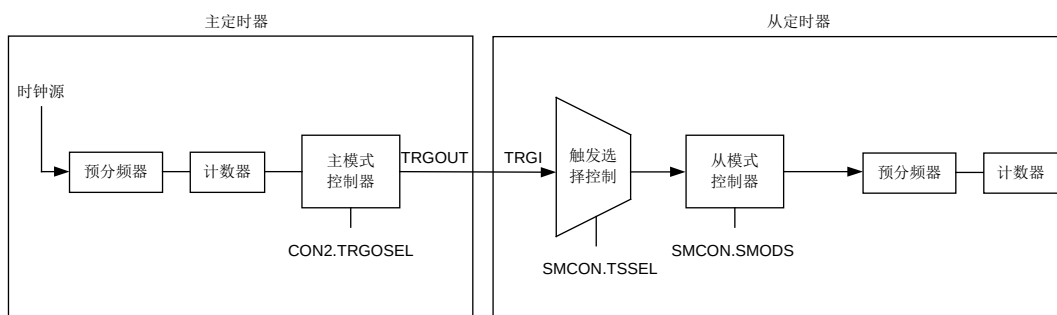


图 16-70 主/从定时器范例

16.5.31.1 使用一个定时器去开启其他定时器

在这个例子中，定时器 2(AD16C6T)的开启由定时器 1(GP16C4T1)的通道 1 比较输出信号控制。只有当定时器 1 的通道 1 比较输出信号为高电平时，定时器 2 才会计数。

先设定从定时器(定时器 2)为门控模式，配置如下：

1. 设置 AD16C6T_SMCON 寄存器的 TSSEL1 位与 TSSEL2 位为 GP16C4T1，可参考内部触发连接表。
2. 设置 AD16C6T_SMCON 寄存器的 SMODS 位为 101b，选择门控模式。
3. 设置 AD16C6T_CON1 寄存器的 CNTEN 位为 1，开启计数器。

再设定主定时器(定时器 1)为 PWM 输出，配置如下：

1. 设置 GP16C4T_PRES 寄存器的 PSCV 为 01b，计数器时钟频率为 $f_{CK_PSC/2}$ 。
2. 设置 GP16C4T_CHMR1 寄存器的 CH1OMOD 位为 111b，选择 PWM 模式 2。
3. 设置 GP16C4T_CCEP 寄存器的 CC1POL 位为 0，选择 CH1 通道输出为高电平有效。

4. 设置 GP16C4T_CCVAL1 寄存器的 CCRV1 位为 0x06, 当计数器数到 6 时, PWM 输出高电平。
5. 设置 GP16C4T_AR 寄存器的 ARV 位为 0x08, 当计数器递增至 8 后重载。
6. 设置 GP16C4T_CON2 寄存器的 TRGOSEL 位为 100b, 选择通道 1 比较输出信号为触发输出(TRGOUT)。
7. 设置 GP16C4T_CON1 寄存器的 CNTEN 位为 1, 开启计数器。

注: 定时器 2 的时钟不与定时器 1 的时钟同步, 这个模式只影响定时器 2 计数器的开启信号。

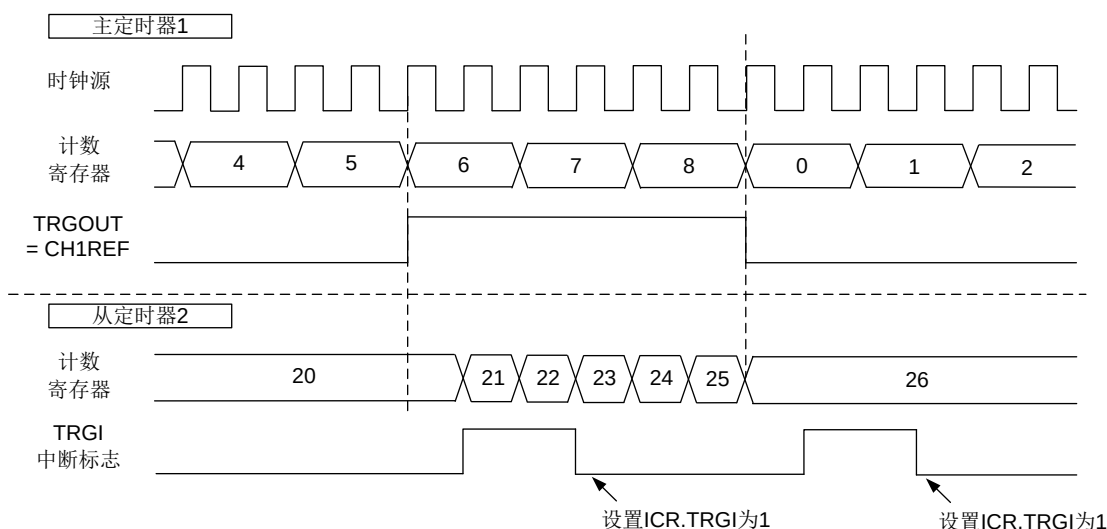


图 16-71 门控从定时器使用主定时器通道 1 比较输出信号 CH1REF

在上图的例子中, 在定时器 2 开启之前, 它们的计数器和预分频器未被初始化, 因此它们从当前的数值开始计数。可以在开启定时器 1 之前复位 2 个定时器, 使它们从给定的数值开始, 即在定时器计数器中写入需要的任意数值。设置 AD16C6T_SGE 的 SGUPD 位与定时器 1 的 GP16C4T_SGE 寄存器的 SGU 位为 1 即可复位定时器。

16.5.31.2 将一个定时器做为其他定时器的预分频器

在这个例子中, 使用定时器 1(GP16C4T1)的更新事件作为定时器 2(AD16C6T)的时钟来源, 没有设定预分频。一旦定时器 1 产生更新事件, 定时器 2 即根据其上升沿计数。

先设定从定时器(定时器 2)为外部时钟源 1 模式, 配置如下:

1. 设置 AD16C6T_AR 寄存器的 ARV 位为 0x02, 当计数器递增至 2 后重载。
2. 设置 AD16C6T_SMCON 寄存器的 TSSEL1 位与 TSSEL2 位为 GP16C4T1, 可参考内部触发连接表。
3. 设置 AD16C6T_SMCON 寄存器的 SMODS 位为 111b, 选择外部时钟模式 1。
4. 设置 AD16C6T_CON1 寄存器的 CNTEN 位为 1, 开启计数器。

再设定主定时器(定时器 1)配置如下:

1. 设置 GP16C4T_AR 寄存器的 ARV 位为 0x03, 当计数器递增至 3 后重载, 并产生更新事件。
2. 设置 GP16C4T_CON2 寄存器的 TRGOSEL 位为 010b, 选择更新事件(UPD)为触发输出 (TRGOUT)。
3. 设置 GP16C4T_CON1 寄存器的 CNTEN 位为 1, 开启计数器。

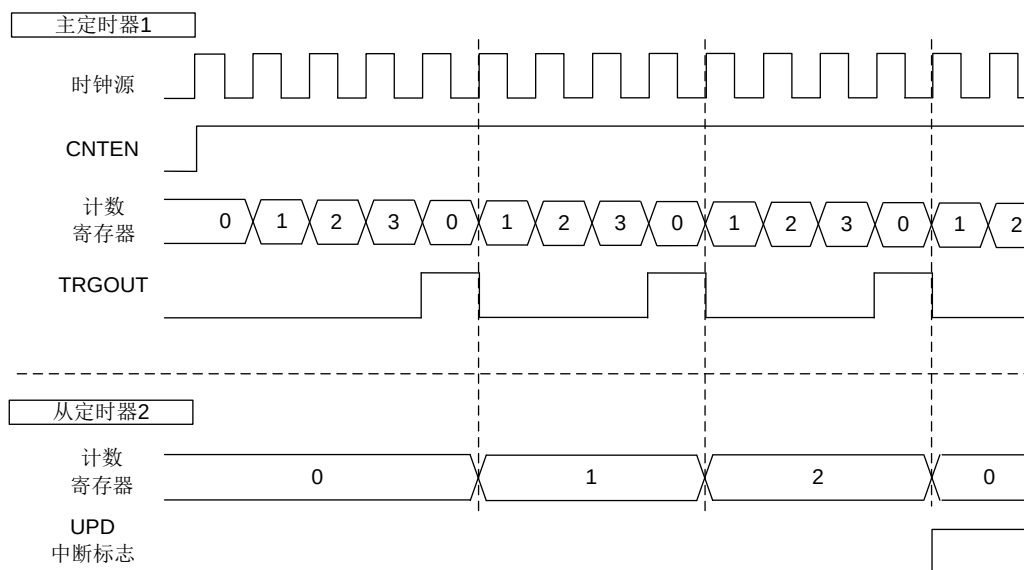


图 16-72 使用主定时器更新事件触发从定时器计数

16.5.31.3 使用外部触发同步开始两个定时器

这个例子中当定时器 1(GP16C4T1)的 I1 输入上升沿时开启定时器 1, 开启定时器 1 的同时开启定时器 2(AD16C6T)。为保证计数器的对齐, 定时器 1 必须设置为主/从模式(对应 I1 为从, 对应定时器 2 为主)。

先设定从定时器(定时器 2)为触发模式, 配置如下:

1. 设置 AD16C6T_SMCON 寄存器的 TSSEL1 位与 TSSEL2 位为 GP16C4T1, 可参考内部触发连接表。
2. 设置 AD16C6T_SMCON 寄存器的 SMODS 位为 0110b, 选择触发模式。

再设定主定时器(定时器 1)为触发模式, 配置如下:

1. 设置定时器 1 为触发模式, 相关配置可参考触发模式章节。
2. 设置 GP16C4T_CON2 寄存器的 TRGOSEL 位为 0001b, 选择开启信号(CNTEN)为触发输出(TRGOUT)。
3. 设置 GP16C4T_SMCON 寄存器的 MSCFG 位为 1, 开启主/从模式。
4. 设置 GP16C4T_CON1 寄存器的 CNTEN 位为 1, 开启计数器。

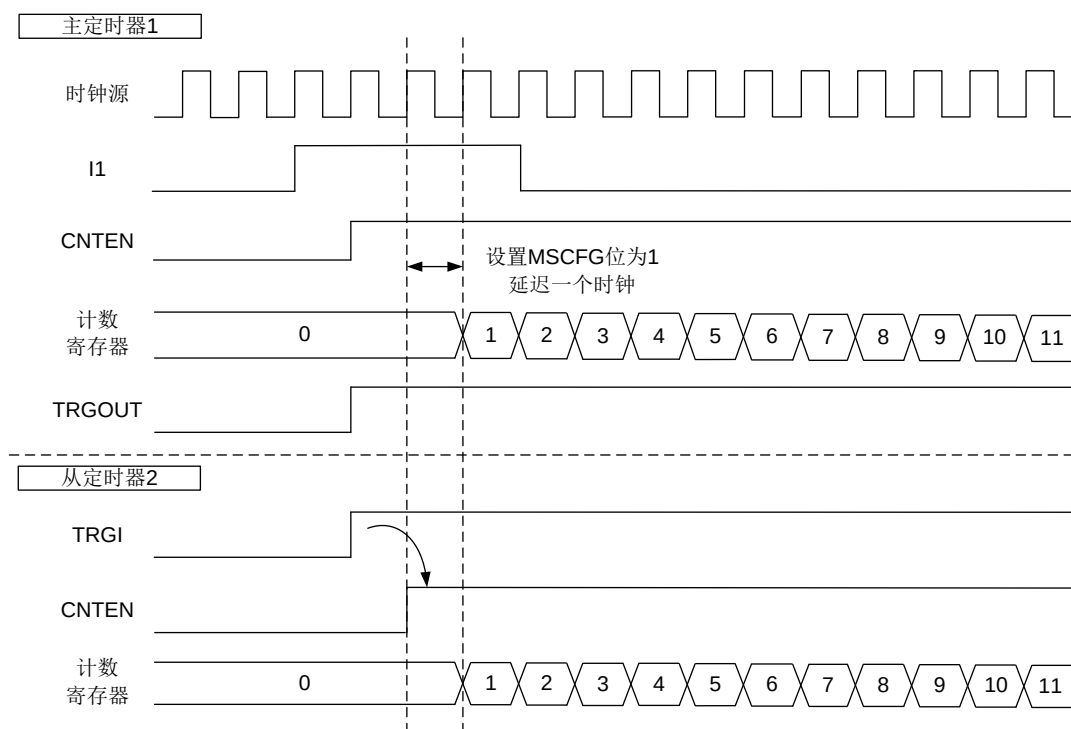


图 16-73 使用定时器 1 的 I1 输入触发定时器 1 和定时器 2

当定时器 1 的 I1 上出现一个上升沿时，两个定时器同步地按照内部时钟开始计数，两个 TRGI 标志也同时被设置。

16. 5. 32 ADC触发事件

定时器可生成 ADC 触发事件的信号源如下：

- ◆ TRGOUT2：由 AD16C6T_CON2 寄存器的 MMSELTGO2 位决定触发事件的来源，根据配置生成脉冲或电平信号。
- ◆ TRGOUT：由 AD16C6T_CON2 寄存器的 MMSEL 位决定触发事件的来源，根据配置生成脉冲或电平信号。
- ◆ CHx：通道输出的电平信号。

下图以 CH1 输出 PWM 模式 2 为例，说明 TRGOUT2、TRGOUT 与 CH1 信号源，相关配置如下：

1. 设置 AD16C6T_AR 寄存器的 ARV 位为 0x07，当计数器递增到 7 后重载。
2. 设置 AD16C6T_CHMR1 寄存器的 CH1MOD 位为 00111b，选择 PWM 模式 2。
3. 设置 AD16C6T_CCVAL1 寄存器的 CCRV1 位为 0x04，当计数器递增到 4 时，PWM 输出高电平。
4. 设置 AD16C6T_CON2 寄存器的 MMSEL 位为 0100b，选择输出比较参考信号(CH1REF)为触发输出 TRGOUT。
5. 设置 AD16C6T_CON2 寄存器的 MMSELTGO2 位为 00010b，选择更新事件(UDP)为触发输出 TRGOUT2。

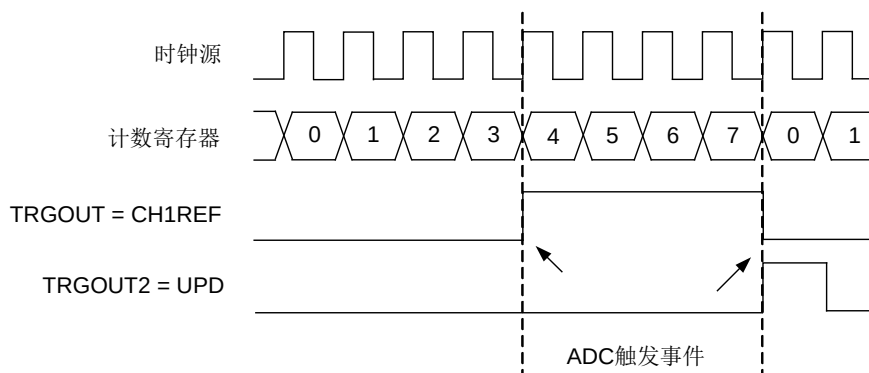


图 16-74 ADC 触发事件生成

当 MMSEL 设置为 1001b(MMSELTGO2 设置为 10000b)时, 为多点触发输出模式, 需要搭配 AD16C6T_TGOSEL 寄存器的设定, 让对应信号用于触发输出, 如下图:

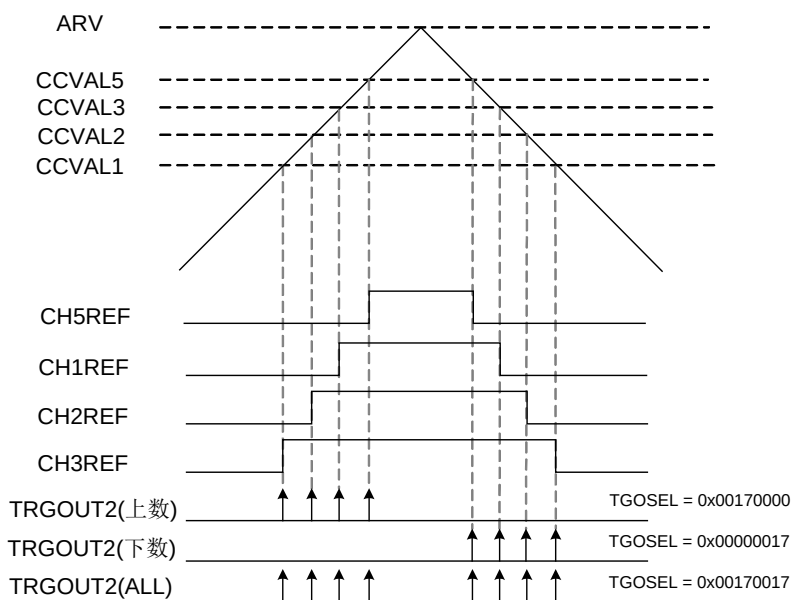


图 16-75 ADC 多点触发事件生成

16. 5. 33 影子寄存器

偏移地址为 0x90~0xBC 的寄存器, 是针对 DMA 应用所设计的影子寄存器, 可通过此寄存器地址存取其相对应的原控制寄存器数据内容, 目的是为了 DMA 搬动数据时, 可以维持地址的连续性。

名称	偏移地址	类型	描述
AD16C6T_CON2	0090H	R/W	控制寄存器 2
AD16C6T_CHMR1	0094H	R/W	捕获或比较模式寄存器 1
AD16C6T_CHMR2	0098H	R/W	捕获或比较模式寄存器 2
AD16C6T_CHMR3	009CH	R/W	比较模式寄存器 3
AD16C6T_CCEP	00A0H	R/W	捕获或比较开启极性寄存器
AD16C6T_CCVAL1	00A4H	R/W	通道捕获或比较寄存器 1

AD16C6T_CCVAL2	00A8H	R/W	通道捕获或比较寄存器 2
AD16C6T_CCVAL3	00ACH	R/W	通道捕获或比较寄存器 3
AD16C6T_CCVAL4	00B0H	R/W	通道捕获或比较寄存器 4
AD16C6T_CCVAL5	00B4H	R/W	通道比较寄存器 5
AD16C6T_CCVAL6	00B8H	R/W	通道比较寄存器 6
AD16C6T_TGOSEL	00BCH	R/W	触发信号选择寄存器

16. 5. 34 调试模式

当微控制器进入调试模式(Cortex™-M0 核停止运行), 根据 SYSCFG 章节中 SYSCFG_CFG 寄存器配置, 选择将计数器继续正常工作或停止计数。

16. 6 特殊功能寄存器

16. 6. 1 寄存器列表

AD16C6T 寄存器列表			
名称	偏移地址	类型	描述
AD16C6T_CON1	0000 _H	R/W	控制寄存器 1
AD16C6T_CON2	0004 _H 0090 _H	R/W	控制寄存器 2
AD16C6T_SMCON	0008 _H	R/W	从模式控制寄存器
AD16C6T_IER	000C _H	W1	中断开启寄存器
AD16C6T_IDR	0010 _H	W1	中断关闭寄存器
AD16C6T_IVS	0014 _H	R	中断功能有效状态寄存器
AD16C6T_RIF	0018 _H	R	原始中断标志寄存器
AD16C6T_IFM	001C _H	R	中断标志屏蔽状态寄存器
AD16C6T_ICR	0020 _H	C_W1	中断清除寄存器
AD16C6T_SGE	0024 _H	T_W1	软件生成事件寄存器
AD16C6T_CHMR1	0028 _H 0094 _H	R/W	捕获或比较模式寄存器 1
AD16C6T_CHMR2	002C _H 0098 _H	R/W	捕获或比较模式寄存器 2
AD16C6T_CCEP	0030 _H 00A0 _H	R/W	捕获或比较开启极性寄存器
AD16C6T_COUNT	0034 _H	R/W	计数寄存器
AD16C6T_PRES	0038 _H	R/W	预分频寄存器
AD16C6T_AR	003C _H	R/W	自动重载寄存器
AD16C6T_REPAR	0040 _H	R/W	重复计数寄存器
AD16C6T_CCVAL1	0044 _H 00A4 _H	R/W	通道捕获或比较寄存器 1
AD16C6T_CCVAL2	0048 _H 00A8 _H	R/W	通道捕获或比较寄存器 2
AD16C6T_CCVAL3	004C _H 00AC _H	R/W	通道捕获或比较寄存器 3
AD16C6T_CCVAL4	0050 _H 00B0 _H	R/W	通道捕获或比较寄存器 4
AD16C6T_BDCFG	0054 _H	R/W	刹车和死区配置寄存器
AD16C6T_DMAEN	0058 _H	R/W	DMA 事件开启寄存器
AD16C6T_CCVAL5	005C _H	R/W	通道比较寄存器 5

	00B4 _H		
AD16C6T_CCVAL6	0060 _H 00B8 _H	R/W	通道比较寄存器 6
AD16C6T_CHMR3	0064 _H 009C _H	R/W	比较模式寄存器 3
AD16C6T_DCFG2	0068 _H	R/W	死区配置寄存器 2
AD16C6T_ENCR	006C _H	R/W	编码控制寄存器
AD16C6T_CHISEL	0070 _H	R/W	通道输入来源选择寄存器
AD16C6T_AFR1	0074 _H	R/W	复用功能寄存器 1
AD16C6T_AFR2	0078 _H	R/W	复用功能寄存器 2
AD16C6T_TGOSEL	007C _H 00BC _H	R/W	触发信号选择寄存器
AD16C6T_CHRMP	0080 _H	R/W	通道映射寄存器
AD16C6T_CCRF1	00C0 _H	R/W	递减比较寄存器 1
AD16C6T_CCRF2	00C4 _H	R/W	递减比较寄存器 2
AD16C6T_CCRF3	00C8 _H	R/W	递减比较寄存器 3

16.6.2 寄存器描述

16.6.2.1 控制寄存器 1(AD16C6T_CON1)

控制寄存器 1(AD16C6T_CON1)																																		
偏移地址: 0x00																																		
复位值: 0x0000 0000																																		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Reserved														INTUEREQ		CCRFEN	DMAUEREQ		DITHEN		UPDREMAP	Reserved	DFCKSEL		ARPEN	CMSEL		DIRSEL	SPMEN	USERSEL	DISUE	CNTEN		

Reserved	Bits 31-18	—	保留
INTUEREQ	Bits17-16	RW	更新事件中断请求方式 00: 上溢或下溢 01: 仅上溢 10: 仅下溢 11: 保留 注: 此位仅在 USERSEL 为 1 时有效。
CCRFEN	Bit 15	RW	递减模式比较寄存器开启 0: 关闭 1: 开启 注: 此位仅在CNTEN关闭时修改
DMAUEREQ	Bits14-13	RW	DMA 更新事件请求方式 00: 上溢或下溢 01: 仅上溢 10: 仅下溢 11: 保留 注: 此位仅在 USERSEL 为 1 时有效。
DITHEN	Bit 12	RW	抖动模式开启 0: 抖动模式关闭 1: 抖动模式开启 注: 此位仅在CNTEN关闭时修改
UPDREMAP	Bit 11	RW	UPD原始中断状态重新映射 UPD原始中断状态复制到AD16C6T_COUNT寄存器的31位 0: 重新映射关闭 1: 重新映射开启
Reserved	Bit 10	—	保留

DFCKSEL	Bits 9-8	RW	时钟预分频器 设置定时器频率(INT_CLK), 和死区产生器与数字滤波器所采样时钟之间的分频比例。 00: $t_{DTS}=t_{INT_CLK}$ 01: $t_{DTS}=2 \times t_{INT_CLK}$ 10: $t_{DTS}=4 \times t_{INT_CLK}$ 11: 保留
ARPEN	Bit 7	RW	自动重载预装载开启 发生更新事件时, 将预装载值载入到缓冲寄存器中 0: AD16C6T_AR 寄存器不具备缓冲 1: AD16C6T_AR 寄存器具备缓冲
CMSEL	Bits 6-5	RW	中心对齐模式选择 00: 边沿对齐模式, 根据计数方向(DIRSEL)的配置, 计数器为递增计数或递减计数 01: 中心对齐模式 1, 计数器为交替地递增计数和递减计数。在此模式时仅当计数器在递减计数时, 才会产生配置为输出的通道 (AD16C6T_CHMRn 寄存器中 CCnSSEL=00) 的比较匹配中断请求 10: 中心对齐模式 2, 计数器为交替地递增计数和递减计数。在此模式时仅当计数器在递增计数时, 才会产生配置为输出的通道 (AD16C6T_CHMRn 寄存器中 CCnSSEL=00) 的比较匹配中断请求 11: 中心对齐模式 3, 计数器为交替地递增计数和递减计数。在此模式时当计数器在递增计数或递减计数时, 皆会产生配置为输出的通道 (AD16C6T_CHMRn 寄存器中 CCnSSEL=00) 的比较匹配中断请求 注: 当 CNTEN 开启时, 不允许边沿对齐模式与中心对齐模式互相切换
DIRSEL	Bit 4	RW	计数方向选择 0: 计数器递增计数 1: 计数器递减计数 注: 当计数器配置为中心对齐模式或编码器模式时, 此位只能读取计数器的计数方向
SPMEN	Bit 3	RW	单脉冲模式

			0: 单脉冲模式关闭, 计数器不停止 1: 单脉冲模式开启, 计数器在发生下一次更新事件时, 会自动清除 CNTEN 位, 并停止计数器
UERSEL	Bit 2	RW	更新事件来源选择 设置更新事件(UPD)的来源 0: 下列事件都会产生更新中断或 DMA 的请求: - 计数器上溢或下溢 - 设置 AD16C6T_SGE 寄存器的 SGUPD 位为 1 - 通过从模式控制器所生成的更新事件 1: 只有在计数器上溢或下溢时会生成更新中断或 DMA 的请求
DISUE	Bit 1	RW	更新事件禁止 0: 更新事件(UPD)开启时, 下列事件皆会产生更新事件请求并将预装载值加载到缓冲寄存器中 - 计数器上溢或下溢 - 设置 AD16C6T_SGE 寄存器的 SGUPD 位为 1 - 通过从模式控制器所生成的更新事件 1: 更新事件(UPD)关闭时, 不产生更新事件请求, AD16C6T_AR、AD16C6T_PRESC 与 AD16C6T_CCVALn 寄存器的缓冲寄存器数值保持不变。但设置 AD16C6T_SGE 寄存器的 SGUPD 位为 1 或从模式控制器的复位请求, 计数器和预分频器仍会被重新初始化
CNTEN	Bit 0	RW	计数器开启 开启计数器后, 外部时钟模式、门控模式和编码模式才能运作。而触发模式则可以由硬件将设置 CNTEN 位为 1 0: 计数器关闭 1: 计数器开启

16. 6. 2. 2 控制寄存器 2(AD16C6T_CON2)

此控制寄存器可被两个地址共同存取

控制寄存器 2(AD16C6T_CON2)

偏移地址: 0x04、0x90

复位值: 0x0000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved						MMSEL2	MMSEL TGO2						Reserved	OISS6	Reserved	OISS5	OISS4N	OISS4	OISS3N	OISS3	OISS2N	OISS2	OISS1N	OISS1	ILSEL	MMSEL			CCDMASEL	CCUSEL	Reserved	CCPCEN

Reserved	Bits 31-26	—	保留
MMSEL2	Bit 25	R/W	主模式选择1 参照MMSEL描述
MMSEL TGO2	Bits 24-20	R/W	主模式选择2 选择在主模式下发送到ADC的触发信号2 (TRGOUT2) 00000: 复位- 设置AD16C6T_SGE寄存器中的UPD位为触发输出。如果复位由触发输入生成(从模式控制器配置为复位模式), 则TRGOUT2上的信号与实际复位信号之间会有延迟 00001: 开启-设置AD16C6T_CON1寄存器中的CNTEN位为触发输出, 可用于同步开启数个定时器。计数器开启信号可由AD16C6T_CON1寄存器中的CNTEN位或者门控模式下的触发输入产生。当计数器开启信号受控于触发输入时, TRGOUT2上的信号与实际触发信号之间会有延迟 00010: 更新事件-更新事件被用于触发输出。一个主定时器的更新事件可当作从定时器的预分频器时钟 00011: 比较脉冲-每次发生捕获或比较匹配时, 当产生CH1中断请求同时, 触发输出会送出一个正脉冲 00100: 比较信号-CH1REF信号用于触发输出 00101: 比较信号-CH2REF信号用于触发输出 00110: 比较信号-CH3REF信号用于触发输出 00111: 比较信号-CH4REF信号用于触发输出 01000: 比较信号-CH5REFC信号用于触发输出 01001: 比较信号-CH6REFC信号用于触发输出 01010: 比较脉冲-CH4REFC的上升沿或下降沿产生一个正脉冲 01011: 比较脉冲-CH6REFC的上升沿或下降沿

			产生一个正脉冲 01100: 比较脉冲-CH4REFC或CH6REFC的上升沿产生一个正脉冲 01101: 比较脉冲-CH4REFC的上升沿或CH6REFC的下升沿产生一个正脉冲 01110: 比较脉冲-CH5REFC或CH6REFC的上升沿产生一个正脉冲 01111: 比较脉冲-CH5REFC的上升沿或CH6REFC的下升沿产生一个正脉冲 10000: 多点触发-根据AD16C6T_TGOSEL寄存器的配置, 让相对应脉冲用于触发输出
Reserved	Bit 19	—	保留
OISS6	Bit 18	R/W	通道6输出的空闲状态选择位 参照OISS1描述
Reserved	Bit 17	—	保留
OISS5	Bit 16	R/W	通道5输出的空闲状态选择位 参照OISS1描述
OISS4N	Bit 15	R/W	通道4互补输出的空闲状态选择位 参照OISS1N描述
OISS4	Bit 14	R/W	通道4输出的空闲状态选择位 参照OISS1描述
OISS3N	Bit 13	R/W	通道3互补输出的空闲状态选择位 参照OISS1N描述
OISS3	Bit 12	R/W	通道3输出的空闲状态选择位 参照OISS1描述
OISS2N	Bit 11	R/W	通道2互补输出的空闲状态选择位 参照OISS1N描述
OISS2	Bit 10	R/W	通道2输出的空闲状态选择位 参照OISS1描述
OISS1N	Bit 9	R/W	通道1互补输出的空闲状态选择位 0: 当GOEN=0, 在一段死区时间后, CH1N=0 1: 当GOEN=0, 在一段死区时间后, CH1N=1 注: 当AD16C6T_BDCFG寄存器中的LOCKLVL位被设置为锁定级别1,2,或3后, OISS1N不可更改
OISS1	Bit 8	R/W	通道1输出的空闲状态选择位 0: 当GOEN=0时, 如果CH1N已实现, 则经过死区时间后, CH1=0

			1: 当GOEN=0时, 如果CH1N已实现, 则经过死区时间后, CH1=1 注: 当AD16C6T_BDCFG寄存器中的LOCKLVL位被设置为锁定级别1,2,或3后, OISS1N不可更改
I1SEL	Bit 7	R/W	I1 选择 0: I1 输入连接到 AD16C6T_CH1 引脚 1: I1 输入连接到 AD16C6T_CH1、CH2 和 CH3 引脚异或组合(XOR)输出
MMSEL	Bits 6-4	R/W	主模式选择 1 此位与 MMSEL2 组合成 MMSEL = {MMSEL2,MMSEL<2:0>} 选择在主模式下发送到从定时器的同步信号与 ADC 的触发信号(TRGOUT) 0000: 复位 - 设置 AD16C6T_SGE 寄存器中的 UPD 位为触发输出。如果复位由触发输入生成(从模式控制器配置为复位模式), 则 TRGOUT 上的信号与实际复位信号之间会有延迟 0001: 开启 - 设置 AD16C6T_CON1 寄存器中的 CNTEN 位为触发输出, 可用于同步开启数个定时器。计数器开启信号可由 AD16C6T_CON1 寄存器中的 CNTEN 位或者门控模式下的触发输入产生。当计数器开启信号受控于触发输入时, TRGOUT 上的信号与实际触发信号之间会有延迟 0010: 更新事件 - 更新事件被用于触发输出。一个主定时器的更新事件可当作从定时器的预分频器时钟 0011: 比较脉冲 - 每次发生捕获或比较匹配时, 当产生 CH1 中断请求同时, 触发输出会送出一个正脉冲 0100: 比较信号 - CH1REF 信号用于触发输出 0101: 比较信号 - CH2REF 信号用于触发输出 0110: 比较信号 - CH3REF 信号用于触发输出 0111: 比较信号 - CH4REF 信号用于触发输出 1000: 编码器时钟 - 编码器时钟用于触发输出 1001: 多点触发 - 根据 AD16C6T_TGOSEL

			寄存器的配置，让相对应脉冲用于触发输出其他：保留 注：编码器时钟输出只在 AD16C6T_SMCON 寄存器中的 SMODS 为编码器模式有效
CCDMASEL	Bit 3	R/W	捕获或比较事件的 DMA 选择 0：当发生 CHn 事件时，设置 CHn DMA 请求 1：当发生更新事件时，设置 CHn DMA 请求
CCUSEL	Bit 2	R/W	捕获或比较更新事件来源选择 0：捕获或比较预装载开启时(CCPEN=1)，只能通过 AD16C6T_SGE 寄存器的 SGCOM 位为 1 时更新 1：捕获或比较预装载开启时(CCPEN=1)，可通过 AD16C6T_SGE 寄存器的 SGCOM 位为 1 与 TRGI 的上升沿时被更新
Reserved	Bit 1	—	保留
CCPCEN	Bit 0	R/W	捕获或比较预装载开启 AD16C6T_SGE 寄存器的 SGCOM 位设置为 1 或 TRGI 的上升沿时，发生换向事件(COM)并将预装载值载入到缓冲寄存器中 0：AD16C6T_CCEP 寄存器中的 CCnEN、CCnNEN 和 AD16C6T_CHMRn 寄存器中的 CHnMOD 位不具备缓冲 1：AD16C6T_CCEP 寄存器中的 CCnEN、CCnNEN 和 AD16C6T_CHMRn 寄存器中的 CHnMOD 位具备缓冲

16. 6. 2. 3 从模式控制寄存器(AD16C6T_SMCON)

从模式控制寄存器(AD16C6T_SMCON)																															
偏移地址：0x08																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					SMODPS	SMODPE	Reserved		TSSEL2		Reserved	Reserved	Reserved	SMODS2	ETPOL	ECM2EN	ETPRES		ETFLT				MSCFG	TSSEL1			OCLRS	SMODS			

Reserved	Bits 31-26	—	保留
SMODPS	Bit 25	R/W	SMODS更新事件来源选择 0: 发生更新事件(UPD)时, 将预装载值载入到缓冲寄存器中 1: 发生Index事件(IDX)时, 将预装载值载入到缓冲寄存器中
SMODPE	Bit 24	R/W	SMODS预装载开启 0: SMODS位不具备缓冲 1: SMODS位具备缓冲
Reserved	Bits 23-22	—	保留
TSSEL2	Bits 21-20	R/W	触发选择2 参照TSSEL1描述
Reserved	Bits 19-17	—	保留
SMODS2	Bit 16	R/W	从模式选择 参照SMODS描述
ETPOL	Bit 15	R/W	外部触发极性 设置外部触发开启电平 0: ETR不反向, 高电平或上升沿时开启 1: ETR反向, 低电平或下降沿时开启
ECM2EN	Bit 14	R/W	外部时钟模式2开启 0: 外部时钟模式2关闭 1: 外部时钟模式2开启, 计数器时钟根据ETP信号的任意有效边沿提供 注: 1: 设置ECM2EN位与选择外部时钟模式1并将ETP(SMODS=111和TSSEL=00111)连到TRGI具有相同功效 2: 从模式可以与外部时钟模式2同时使用: 复位模式, 门控模式和触发模式;但是这时TRGI

			不能连到ETP(TSSEL位不能是00111) 3: 外部时钟模式1和外部时钟模式2同时被开启时, 外部时钟的输入是ETP
ETPRES	Bits 13-12	R/W	外部触发时钟预分频器 外部触发输入信号ETR频率需要大于1/4 INT_CLK, 分频器可以达到降低ETR的频率, 有效应用于快速的外部时钟源 00: 预分频器禁止 01: ETR频率2分频 10: ETR频率4分频 11: ETR频率8分频
ETFLT	Bits 11-8	R/W	外部触发滤波器 设置ETP信号采样的频率和对ETP数字滤波器的带宽。数字滤波器是一个事件计数器, 它记录到N个事件后才视为一个有效输出边沿: 0000: 采样频率 f_{DTS} , 滤波器禁止 0001: 采样频率 f_{INT_CLK} , $N = 2$ 0010: 采样频率 f_{INT_CLK} , $N = 4$ 0011: 采样频率 f_{INT_CLK} , $N = 8$ 0100: 采样频率 $f_{DTS} / 2$, $N = 6$ 0101: 采样频率 $f_{DTS} / 2$, $N = 8$ 0110: 采样频率 $f_{DTS} / 4$, $N = 6$ 0111: 采样频率 $f_{DTS} / 4$, $N = 8$ 1000: 采样频率 $f_{DTS} / 8$, $N = 6$ 1001: 采样频率 $f_{DTS} / 8$, $N = 8$ 1010: 采样频率 $f_{DTS} / 16$, $N = 5$ 1011: 采样频率 $f_{DTS} / 16$, $N = 6$ 1100: 采样频率 $f_{DTS} / 16$, $N = 8$ 1101: 采样频率 $f_{DTS} / 32$, $N = 5$ 1110: 采样频率 $f_{DTS} / 32$, $N = 6$ 1111: 采样频率 $f_{DTS} / 32$, $N = 8$
MSCFG	Bit 7	R/W	主/从模式 延迟触发输入(TRGI)上的事件来允许当前主定时器和其从定时器之间的同步。该设置有效用于使用单个外部事件来同步多个定时器 0: 主从模式关闭 1: 主从模式开启
TSSEL1	Bits 6-4	R/W	触发来源选择 1

			此位与 TSSEL2<1:0>组合成 $TSSEL = \{TSSEL2<1:0>, TSSEL1<2:0>\}$ 设置触发选择，用于同步计数器 00000: 内部触发 0 (IT0) 00001: 内部触发 1 (IT1) 00010: 内部触发 2 (IT2) 00011: 内部触发 3 (IT3) 00100: I1 边沿检测(I1F_ED) 00101: I1 滤波后信号(I1FP) 00110: I2 滤波后信号(I2FP) 00111: 外部触发输入(ETP) 01000: 内部触发 4 (IT4) 01001: 内部触发 5 (IT5) 01010: 内部触发 6 (IT6) 01011: 内部触发 7 (IT7) 01100: 内部触发 8 (IT8) 其他: 保留 注: 此位在需要在使用前设定(SMODS=000), 以避免产生错误的上升/下降边沿至计数器
OCLRS	Bit 3	R/W	输出通道清除选择 选择输出通道清除的来源 0: 选择来源为 OCLR 1: 选择来源为 ETP
SMODS	Bits 2-0	R/W	从模式选择 此位与 SMODS2 组合成 $SMODS = \{SMODS2, SMODS<2:0>\}$ 0000: 从模式关闭 - 当 AD16C6T_CON1 寄存器 CNTEN 位为 1 时, 预分频器时钟由内部时钟提供 0001: 正交编码器模式 1 - x2 模式, 计数器根据 I2 电平在 I1 边沿递增或递减计数 0010: 正交编码器模式 2 - x2 模式, 计数器根据 I1 电平在 I2 边沿递增或递减计数 0011: 正交编码器模式 3 - x4 模式, 计数器根据 I2/I1 电平在 I1/I2 边沿递增或递减计数 0100: 复位模式 - 选中的触发输入(TRGI)的上升沿重新初始化计数器, 并且产生一次更新事件

		0101: 门控模式 - 当触发输入(TRGI)为高电平时, 计数器的时钟开启。一旦触发输入变为低电平, 则计数器停止(但不复位)。计数器的启动和停止都是被控制 0110: 触发模式 - 计数器在触发输入 TRGI 的上升沿启动(但不复位), 只有计数器的启动是被控制 0111: 外部时钟模式 1 - 选中的触发输入(TRGI)的上升沿提供计数器时钟 1000: 组合复位模式 + 触发模式 - 选中的触发输入(TRGI)的上升沿重新初始化计数器, 并且产生一次更新事件启动计数器 1001: 组合门控模式 + 复位模式 - 当触发输入(TRGI)为高电平时, 计数器的时钟开启。一旦触发输入变为低电平, 则计数器停止且复位。计数器的启动和停止都是被控制 1010: 时钟加方向编码器模式 1 - x2 模式, 计数器根据 I1 电平控制计数方向, 并在 I2 边沿计数 1011: 时钟加方向编码器模式 2 - x1 模式, 计数器根据 I1 电平控制计数方向, 并由 CC2POL 决定在 I2 的上升或下降边沿计数 1100: 定向时钟编码器模式 1- x2 模式, 计数器根据 I2 指定电平在 I1 边沿递减计数, 根据 I1 指定电平在 I2 边沿递增计数 1101: 定向时钟编码器模式 2- x1 模式, 计数器根据 I2 指定电平在 I1 上升或下降边沿(根据 CC1POL)递减计数, 根据 I1 指定电平在 I2 上升或下降边沿(根据 CC2POL)递增计数 1110: 正交编码器模式 4 - x1 模式, 计数器根据 I2 指定电平在 I1 边沿递增或递减计数 1111: 正交编码器模式 5 - x1 模式, 计数器根据 I1 指定电平在 I2 边沿递增或递减计数 注: 如果 I1 双边沿检测被选为触发输入(设置 TSSEL 为 00100)时, 不能使用门控模式。I1F 每一次转换, I1 双边沿检测就会输出 1 个脉冲, 而门控模式则是检查触发信号的电平
--	--	---

16. 6. 2. 4 中断开启寄存器(AD16C6T_IER)

中断开启寄存器(AD16C6T_IER)																															
偏移地址: 0x0C																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								TERR	IERR	DIR	IDX	Reserved	Reserved	CH6	CH5	Reserved	Reserved	SBRK	CH4O	CH3OV	CH2OV	CH1OV	BRK2	BRK	TRGI	COM	CH4	CH3	CH2	CH1	UPD

Reserved	Bits 31-24	—	—
TERR	Bit 23	W1	开启转换错误中断功能 此位设置时, 开启中断功能, 在编码器模式下, 硬件侦测相位转换错误事件时发生中断
IERR	Bit 22	W1	开启Index错误中断功能 此位设置时, 开启中断功能, 在编码器模式下, 硬件侦测Index错误事件时发生中断
DIR	Bit 21	W1	开启方向转换中断功能 此位设置时, 开启中断功能, 在编码器模式下, 硬件侦测方向转换事件时发生中断
IDX	Bit 20	W1	开启有效Index中断功能 此位设置时, 开启中断功能, 在编码器模式下, 硬件侦测有效Index事件时发生中断
Reserved	Bits 19-18	—	保留
CH6	Bit 17	W1	开启通道6比较匹配中断功能 此位设置时, 开启中断功能, 硬件侦测通道6比较匹配事件时发生中断
CH5	Bit 16	W1	开启通道5比较匹配中断功能 此位设置时, 开启中断功能, 硬件侦测通道5比较匹配事件时发生中断
Reserved	Bits 15-14	—	保留
SBRK	Bit 13	W1	开启系统刹车中断功能 此位设置时, 开启中断功能, 硬件侦测系统刹车事件时发生中断
CH4OV	Bit 12	W1	开启通道4捕获溢出中断功能 此位设置时, 开启中断功能, 硬件侦测通道4捕获溢出事件时发生中断
CH3OV	Bit 11	W1	开启通道3捕获溢出中断功能 此位设置时, 开启中断功能, 硬件侦测通道3

			捕获溢出事件时发生中断
CH2OV	Bit 10	W1	开启通道 2 捕获溢出中断功能 此位设置时，开启中断功能，硬件侦测通道 2 捕获溢出事件时发生中断
CH1OV	Bit 9	W1	开启通道 1 捕获溢出中断功能 此位设置时，开启中断功能，硬件侦测通道 1 捕获溢出事件时发生中断
BRK2	Bit 8	W1	开启刹车 2 中断功能 此位设置时，开启中断功能，硬件侦测刹车 2 信号时发生中断
BRK	Bit 7	W1	开启刹车中断功能 此位设置时，开启中断功能，硬件侦测刹车信号时发生中断
TRGI	Bit 6	W1	开启触发中断功能 此位设置时，开启中断功能，硬件侦测触发信号事件时发生中断
COM	Bit 5	W1	开启 COM 中断功能 此位设置时，开启中断功能，硬件侦测 COM 信号事件时发生中断
CH4	Bit 4	W1	开启通道 4 捕获或比较匹配中断功能 此位设置时，开启中断功能，硬件侦测通道 4 捕获或比较匹配事件时发生中断
CH3	Bit 3	W1	开启通道 3 捕获或比较匹配中断功能 此位设置时，开启中断功能，硬件侦测通道 3 捕获或比较匹配事件时发生中断
CH2	Bit 2	W1	开启通道 2 捕获或比较匹配中断功能 此位设置时，开启中断功能，硬件侦测通道 2 捕获或比较匹配事件时发生中断
CH1	Bit 1	W1	开启通道 1 捕获或比较匹配中断功能 此位设置时，开启中断功能，硬件侦测通道 1 捕获或比较匹配事件时发生中断
UPD	Bit 0	W1	开启更新中断功能 此位设置时，开启中断功能，硬件侦测更新事件时发生中断

16. 6. 2. 5 中断关闭寄存器(AD16C6T_IDR)

中断关闭寄存器(AD16C6T_IDR)																															
偏移地址: 0x10																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								TERR	IERR	DIR	IDX	Reserved	Reserved	CH6	CH5	Reserved	Reserved	SBRK	CH4OV	CH3OV	CH2OV	CH1OV	BRK2	BRK	TRGI	COM	CH4	CH3	CH2	CH1	UPD

Reserved	Bits 31-24	—	保留
TERR	Bit 23	W1	关闭转换错误中断功能 此位设置时, 关闭转换错误中断功能
IERR	Bit 22	W1	关闭Index错误中断功能 此位设置时, 关闭Index错误中断功能
DIR	Bit 21	W1	关闭方向转换中断功能 此位设置时, 关闭方向转换中断功能
IDX	Bit 20	W1	关闭有效Index中断功能 此位设置时, 关闭有效Index中断功能
Reserved	Bits 19-18	—	保留
CH6	Bit 17	W1	关闭通道6比较匹配中断功能 此位设置时, 关闭通道6比较匹配中断功能
CH5	Bit 16	W1	关闭通道5比较匹配中断功能 此位设置时, 关闭通道5比较匹配中断功能
Reserved	Bits 15-14	—	保留
SBRK	Bit 13	W1	关闭系统刹车中断功能 此位设置时, 关闭系统刹车中断功能
CH4OV	Bit 12	W1	关闭通道4捕获溢出中断功能 此位设置时, 关闭通道4捕获溢出中断功能
CH3OV	Bit 11	W1	关闭通道 3 捕获溢出中断功能 此位设置时, 关闭通道 3 捕获溢出中断功能
CH2OV	Bit 10	W1	关闭通道 2 捕获溢出中断功能 此位设置时, 关闭通道 2 捕获溢出中断功能
CH1OV	Bit 9	W1	关闭通道 1 捕获溢出中断功能 此位设置时, 关闭通道 1 捕获溢出中断功能
BRK2	Bit 8	W1	关闭刹车 2 中断功能 此位设置时, 关闭刹车 2 中断功能
BRK	Bit 7	W1	关闭刹车中断功能 此位设置时, 关闭刹车中断功能

TRGI	Bit 6	W1	关闭触发中断功能 此位设置时，关闭触发中断功能
COM	Bit 5	W1	关闭 COM 中断功能 此位设置时，关闭 COM 中断功能
CH4	Bit 4	W1	关闭通道 4 捕获或比较匹配中断功能 此位设置时，关闭通道 4 捕获或比较匹配中断功能
CH3	Bit 3	W1	关闭通道 3 捕获或比较匹配中断功能 此位设置时，关闭通道 3 捕获或比较匹配中断功能
CH2	Bit 2	W1	关闭通道 2 捕获或比较匹配中断功能 此位设置时，关闭通道 2 捕获或比较匹配中断功能
CH1	Bit 1	W1	关闭通道 1 捕获或比较匹配中断功能 此位设置时，关闭通道 1 捕获或比较匹配中断功能
UPD	Bit 0	W1	关闭更新中断功能 此位设置时，关闭更新中断功能

16. 6. 2. 6 中断功能有效状态寄存器(AD16C6T_IVS)

中断功能有效状态寄存器(AD16C6T_IVS)																																	
偏移地址: 0x14																																	
复位值: 0x0000 0000																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved								TERR	IERR	DIR	IDX	Reserved			CH6	CH5	Reserved			SBRK	CH4OV	CH3OV	CH2OV	CH1OV	BRK2	BRK	TRGI	COM	CH4	CH3	CH2	CH1	UPD

Reserved	Bits 31-24	—	保留
TERR	Bit 23	R	转换错误中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
IERR	Bit 22	R	Index错误中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
DIR	Bit 21	R	方向转换中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
IDX	Bit 20	R	有效Index中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
Reserved	Bits 19-18	—	保留
CH6	Bit 17	R	通道6比较匹配中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH5	Bit 16	R	通道5比较匹配中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
Reserved	Bits 15-14	—	保留
SBRK	Bit 13	R	系统刹车中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH4OV	Bit 12	R	通道4捕获溢出中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH3OV	Bit 11	R	通道3捕获溢出中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态

CH2OV	Bit 10	R	通道 2 捕获溢出中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH1OV	Bit 9	R	通道 1 捕获溢出中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
BRK2	Bit 8	R	刹车 2 中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
BRK	Bit 7	R	刹车中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
TRGI	Bit 6	R	触发中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
COM	Bit 5	R	COM 中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH4	Bit 4	R	通道 4 捕获或比较匹配中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH3	Bit 3	R	通道 3 捕获或比较匹配中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH2	Bit 2	R	通道 2 捕获或比较匹配中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH1	Bit 1	R	通道 1 捕获或比较匹配中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
UPD	Bit 0	R	更新中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态

AD16C6T_IVS 寄存器，是实时反映系统配置 AD16C6T_IER 与 AD16C6T_IDR 的中断开启状态。此寄存器状态是将 AD16C6T_IER 与 AD16C6T_IDR 进行硬件运算，公式如下： $AD16C6T_IVS = AD16C6T_IER \& \sim AD16C6T_IDR$

16. 6. 2. 7 原始中断标志寄存器(AD16C6T_RIF)

原始中断标志寄存器(AD16C6T_RIF)																																						
偏移地址: 0x18																																						
复位值: 0x0000 0000																																						
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0							
Reserved								TERR	IERR	DIR	IDX	Reserved				CH6	CH5	Reserved				SBRK	CH4OV	CH3OV	CH2OV	CH1OV	BRK2	BRK	TRGI	COM	CH4	CH3	CH2	CH1	UPD			

Reserved	Bits 31-24	—	保留
TERR	Bit 23	R	转换错误中断标志位 0: 无发生中断 1: 已发生中断
IERR	Bit 22	R	Index错误中断标志位 0: 无发生中断 1: 已发生中断
DIR	Bit 21	R	方向转换中断标志位 0: 无发生中断 1: 已发生中断
IDX	Bit 20	R	有效Index中断标志位 0: 无发生中断 1: 已发生中断
Reserved	Bits 19-18	—	保留
CH6	Bit 17	R	通道6比较匹配中断标志位 0: 无发生中断 1: 已发生中断
CH5	Bit 16	R	通道5比较匹配中断标志位 0: 无发生中断 1: 已发生中断
Reserved	Bits 15-14	—	保留
SBRK	Bit 13	R	系统刹车中断标志位 0: 无发生中断 1: 已发生中断
CH4OV	Bit 12	R	通道4捕获溢出中断标志位 0: 无发生中断 1: 已发生中断
CH3OV	Bit 11	R	通道3捕获溢出中断标志位 0: 无发生中断

			1: 已发生中断
CH2OV	Bit 10	R	通道 2 捕获溢出中断标志位 0: 无发生中断 1: 已发生中断
CH1OV	Bit 9	R	通道 1 捕获溢出中断标志位 0: 无发生中断 1: 已发生中断
BRK2	Bit 8	R	刹车 2 中断标志位 0: 无发生中断 1: 已发生中断
BRK	Bit 7	R	刹车中断标志位 0: 无发生中断 1: 已发生中断
TRGI	Bit 6	R	触发中断标志位 0: 无发生中断 1: 已发生中断
COM	Bit 5	R	COM 中断标志位 0: 无发生中断 1: 已发生中断
CH4	Bit 4	R	通道 4 捕获或比较匹配中断标志位 0: 无发生中断 1: 已发生中断
CH3	Bit 3	R	通道 3 捕获或比较匹配中断标志位 0: 无发生中断 1: 已发生中断
CH2	Bit 2	R	通道 2 捕获或比较匹配中断标志位 0: 无发生中断 1: 已发生中断
CH1	Bit 1	R	通道 1 捕获或比较匹配中断标志位 0: 无发生中断 1: 已发生中断
UPD	Bit 0	R	更新中断标志位 0: 无发生中断 1: 已发生中断

16. 6. 2. 8 中断标志屏蔽状态寄存器(AD16C6T_IFM)

中断标志屏蔽状态寄存器(AD16C6T_IFM)																																			
偏移地址: 0x1C																																			
复位值: 0x0000 0000																																			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Reserved								TERR	IERR	DIR	IDX	Reserved				CH6	CH5	Reserved				SBRK	CH4OV	CH3OV	CH2OV	CH1OV	BRK2	BRK	TRGI	COM	CH4	CH3	CH2	CH1	UPD

Reserved	Bits 31-24	—	保留
TERR	Bit 23	R	转换错误中断标志位 0: 未发生中断或中断未使能 1: 已发生中断
IERR	Bit 22	R	Index错误中断标志位 0: 未发生中断或中断未使能 1: 已发生中断
DIR	Bit 21	R	方向转换中断标志位 0: 未发生中断或中断未使能 1: 已发生中断
IDX	Bit 20	R	有效Index中断标志位 0: 未发生中断或中断未使能 1: 已发生中断
Reserved	Bits 19-18	—	保留
CH6	Bit 17	R	通道6比较匹配中断标志位 0: 未发生中断或中断未使能 1: 已发生中断
CH5	Bit 16	R	通道5比较匹配中断标志位 0: 未发生中断或中断未使能 1: 已发生中断
Reserved	Bits 15-14	—	保留
SBRK	Bit 13	R	系统刹车中断标志位 0: 未发生中断或中断未使能 1: 已发生中断
CH4OV	Bit 12	R	通道4捕获溢出中断标志位 0: 未发生中断或中断未使能 1: 已发生中断
CH3OV	Bit 11	R	通道3捕获溢出中断标志位 0: 未发生中断或中断未使能 1: 已发生中断

CH2OV	Bit 10	R	通道 2 捕获溢出中断标志位 0: 未发生中断或中断未使能 1: 已发生中断
CH1OV	Bit 9	R	通道 1 捕获溢出中断标志位 0: 未发生中断或中断未使能 1: 已发生中断
BRK2	Bit 8	R	刹车 2 中断标志位 0: 未发生中断或中断未使能 1: 已发生中断
BRK	Bit 7	R	刹车中断标志位 0: 未发生中断或中断未使能 1: 已发生中断
TRGI	Bit 6	R	触发中断标志位 0: 未发生中断或中断未使能 1: 已发生中断
COM	Bit 5	R	COM 中断标志位 0: 未发生中断或中断未使能 1: 已发生中断
CH4	Bit 4	R	通道 4 捕获或比较匹配中断标志位 0: 未发生中断或中断未使能 1: 已发生中断
CH3	Bit 3	R	通道 3 捕获或比较匹配中断标志位 0: 未发生中断或中断未使能 1: 已发生中断
CH2	Bit 2	R	通道 2 捕获或比较匹配中断标志位 0: 未发生中断或中断未使能 1: 已发生中断
CH1	Bit 1	R	通道 1 捕获或比较匹配中断标志位 0: 未发生中断或中断未使能 1: 已发生中断
UPD	Bit 0	R	更新中断标志位 0: 未发生中断或中断未使能 1: 已发生中断

AD16C6T_IFM 寄存器，是滤除已关闭中断功能的中断事件，只关注开启中断功能的事件。此寄存器的状态是将 AD16C6T_RIF 与 AD16C6T_IVS 进行逻辑与运算后的结果。

16. 6. 2. 9 中断清除寄存器(AD16C6T_ICR)

中断清除寄存器(AD16C6T_ICR)																																			
偏移地址: 0x20																																			
复位值: 0x0000 0000																																			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Reserved								TERR	IERR	DIR	IDX	Reserved				CH6	CH5	Reserved				SBRK	CH4OV	CH3OV	CH2OV	CH1OV	BRK2	BRK	TRGI	COM	CH4	CH3	CH2	CH1	UPD

Reserved	Bits 31-24	—	保留
TERR	Bit 23	C_W1	清除转换错误中断状态 此位设置时, 清除中断状态(AD16C6T_RIF与AD16C6T_IFM)
IERR	Bit 22	C_W1	清除Index错误中断状态 此位设置时, 清除中断状态(AD16C6T_RIF与AD16C6T_IFM)
DIR	Bit 21	C_W1	清除方向转换中断状态 此位设置时, 清除中断状态(AD16C6T_RIF与AD16C6T_IFM)
IDX	Bit 20	C_W1	清除有效Index中断状态 此位设置时, 清除中断状态(AD16C6T_RIF与AD16C6T_IFM)
Reserved	Bits 19-18	—	保留
CH6	Bit 17	C_W1	清除通道6比较匹配中断状态 此位设置时, 清除中断状态(AD16C6T_RIF与AD16C6T_IFM)
CH5	Bit 16	C_W1	清除通道5比较匹配中断状态 此位设置时, 清除中断状态(AD16C6T_RIF与AD16C6T_IFM)
Reserved	Bits 15-14	—	保留
SBRK	Bit 13	C_W1	清除系统刹车中断状态 此位设置时, 清除中断状态(AD16C6T_RIF与AD16C6T_IFM)
CH4OV	Bit 12	C_W1	清除通道4捕获溢出中断状态 此位设置时, 清除中断状态(AD16C6T_RIF与AD16C6T_IFM)
CH3OV	Bit 11	C_W1	清除通道3捕获溢出中断状态 此位设置时, 清除中断状态(AD16C6T_RIF与AD16C6T_IFM)

CH2OV	Bit 10	C_W1	清除通道 2 捕获溢出中断状态 此位设置时, 清除中断状态(AD16C6T_RIF 与 AD16C6T_IFM)
CH1OV	Bit 9	C_W1	清除通道 1 捕获溢出中断状态 此位设置时, 清除中断状态(AD16C6T_RIF 与 AD16C6T_IFM)
BRK2	Bit 8	C_W1	清除刹车 2 中断状态 此位设置时, 清除中断状态(AD16C6T_RIF 与 AD16C6T_IFM)
BRK	Bit 7	C_W1	清除刹车中断状态 此位设置时, 清除中断状态(AD16C6T_RIF 与 AD16C6T_IFM)
TRGI	Bit 6	C_W1	清除触发中断状态 此位设置时, 清除中断状态(AD16C6T_RIF 与 AD16C6T_IFM)
COM	Bit 5	C_W1	清除 COM 中断状态 此位设置时, 清除中断状态(AD16C6T_RIF 与 AD16C6T_IFM)
CH4	Bit 4	C_W1	清除通道 4 捕获或比较匹配中断状态 此位设置时, 清除中断状态(AD16C6T_RIF 与 AD16C6T_IFM)
CH3	Bit 3	C_W1	清除通道 3 捕获或比较匹配中断状态 此位设置时, 清除中断状态(AD16C6T_RIF 与 AD16C6T_IFM)
CH2	Bit 2	C_W1	清除通道 2 捕获或比较匹配中断状态 此位设置时, 清除中断状态(AD16C6T_RIF 与 AD16C6T_IFM)
CH1	Bit 1	C_W1	清除通道 1 捕获或比较匹配中断状态 此位设置时, 清除中断状态(AD16C6T_RIF 与 AD16C6T_IFM)
UPD	Bit 0	C_W1	清除更新中断状态 此位设置时, 清除中断状态(AD16C6T_RIF 与 AD16C6T_IFM)

AD16C6T_ICR 寄存器设置时, 将清除 AD16C6T_RIF 与 AD16C6T_IFM 中断标志位状态; 此设置不影响中断 AD16C6T_IER、AD16C6T_IDR 与 AD16C6T_IVS 寄存器, 只清除标志位状态 AD16C6T_RIF 与 AD16C6T_IFM。

16. 6. 2. 10 软件生成事件寄存器(AD16C6T_SGE)

软件生成事件寄存器(AD16C6T_SGE)																															
偏移地址：0x24																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																							SGBRK2	SGBRK	SGTRGI	SGCOM	SGCH4	SGCH3	SGCH2	SGCH1	SGUPD

Reserved	Bits 31-9	—	保留
SGBRK2	Bit 8	W1	软件生成刹车事件2 该位由软件设置来生成刹车事件2, 可由硬件自动清零。 此位设置时, 产生刹车事件2。GOEN清零, BRK2标志位置起, 产生相关中断。
SGBRK	Bit 7	W1	软件生成刹车事件 该位由软件设置来生成刹车事件, 可由硬件自动清零。 此位设置时, 产生刹车事件。GOEN清零, BRK标志位置起, 产生相关中断。
SGTRGI	Bit 6	W1	软件生成触发事件 该位由软件设置来生成触发事件, 可由硬件自动清零。 此位设置时, 产生触发事件。产生相关中断或DMA 传输
SGCOM	Bit 5	W1	软件生成COM事件 该位由软件设置来生成COM事件, 可由硬件自动清零。 此位设置时, 产生COM事件。当CCPCEN被置1, 则可更新CCnEN, CCnNEN和CHnMOD。 注: 该位只有用作于通道时有互补输出
SGCH4	Bit 4	W1	软件生成通道 4 捕获/比较事件 参照 SGCH1 描述
SGCH3	Bit 3	W1	软件生成通道 3 捕获/比较事件 参照 SGCH1 描述
SGCH2	Bit 2	W1	软件生成通道 2 捕获/比较事件 参照 SGCH1 描述
SGCH1	Bit 1	W1	软件生成通道 1 捕获/比较事件

			该位由软件设置来生成通道 1 捕获或比较，可由硬件自动清零 通道 CH1 设置为输出： 此位设置时，产生比较事件，但不影响输出。若开启中断或 DMA，则产生中断与请求 通道 CH1 设置为输入： 此位设置时，产生捕获事件。将计数器捕获至 CCVAL1 寄存器中，于 I1 的有效沿产生，若开启中断或 DMA，则产生中断与请求
SGUPD	Bit 0	W1	软件触发更新事件 该位由软件设置，可由硬件自动清零 此位设置时，产生更新事件。重新初始化计数器，更新寄存器 注：预分频器也会被清零(但预分频比不会受到影响)。如果使用中心对齐模式或者 DIRSEL=0(递增)，则计数器将清零；否则如果 DIRSEL=1(递减)，则计数器将加载自动重载值 (AD16C6T_AR)

16. 6. 2. 11 捕获或比较模式寄存器 1(AD16C6T_CHMR1)

此控制寄存器可被两个地址共同存取

捕获或比较模式寄存器 1(AD16C6T_CHMR1)																																
偏移地址: 0x28、0x94																																
复位值: 0x0000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved						CH2MOD2		Reserved						CH1MOD2		CH2OCLREN	CH2MOD			CH2PEN	CH2FEN	CC2SSEL		CH1OCLREN	CH1MOD			CH1PEN	CH1FEN	CC1SSEL		
Reserved																I2FLT			I2PRES	CC2SSEL		I1FLT			I1PRES	CC1SSEL						

输出比较模式

Reserved	Bits 31-26	—	保留
CH2MOD2	Bits 25-24	R/W	输出比较通道2模式 参照CH1MOD描述
Reserved	Bits 23-18	—	保留
CH1MOD2	Bits 17-16	R/W	输出比较通道1模式 参照CH1MOD描述
CH2OCLREN	Bit 15	R/W	输出比较通道 2 清除开启 参照 CH1OCLREN 描述
CH2MOD	Bits 14-12	R/W	输出比较通道 2 模式 参照 CH1MOD 描述
CH2PEN	Bit 11	R/W	输出比较通道 2 预装载开启 参照 CH1PEN 描述
CH2FEN	Bit 10	R/W	输出比较通道 2 快速开启 参照 CH1FEN 描述
CC2SSEL	Bits 9-8	R/W	捕获或比较通道 2 选择 设置通道的输出方向与信号的选择, 当 CCEP 寄存器的 CC2EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入, 捕获源为 I2 10: 通道设置为输入, 捕获源为 I1 11: 通道设置为输入, 捕获源为 ITn(只工作在 AD16C6T_SMCON 寄存器的 TSSEL 位选择为 ITn 时)
CH1OCLREN	Bit 7	R/W	输出比较通道 1 清除开启 0: CH1REF 维持输出

			1: CH1REF 在 OCLR_INT(由 OCLRSEL 或 ETRSEL 选择)为高电平时清除
CH1MOD	Bits 6-4	R/W	输出比较通道 1 模式 此位与 CH1MOD2<1:0>组合成 CH1MOD<4:0> = {CH1MOD2<1:0>, CH1MOD<2:0>} 这些位定义提供 CH1 和 CH1N 的输出参考信号 CH1REF 的行为。CH1REF 为高电平有效, 而 CH1 和 CH1N 的有效电平则取决于 AD16C6T_CCEP 寄存器中的 CC1POL 位和 CC1NPOL 位 00000: 关闭 - 无作用 00001: 匹配时设置高电平 - 当计数器 (AD16C6T_COUNT)匹配 AD16C6T_CCVAL1 寄存器时, CH1REF 设置为 1 00010: 匹配时设置低电平 - 当计数器 (AD16C6T_COUNT)匹配 AD16C6T_CCVAL1 寄存器时, CH1REF 设置为 0 00011: 匹配时翻转电平 - 当计数器 (AD16C6T_COUNT)匹配 AD16C6T_CCVAL1 寄存器时, CH1REF 翻转电平(当前为高电平则翻转成低电平, 反之当前为低电平则翻转成高电平) 00100: 强制低电平 - CH1REF 强制设置低电平 00101: 强制高电平 - CH1REF 强制设置高电平 00110: PWM 模式 1 - 在递增计数时, 当计数器(AD16C6T_COUNT)小于 AD16C6T_CCVAL1 寄存器时, 输出高电平, 其他则输出低电平。在递减计数时, 当计数器 (AD16C6T_COUNT)大于 AD16C6T_CCVAL1 寄存器(AD16C6T_CON1 的 CCRFEN 为 0)时, 输出低电平, 其他则输出高电平 00111: PWM 模式 2 - 在递增计数时, 当计数器(AD16C6T_COUNT)小于 AD16C6T_CCVAL1 寄存器时, 输出低电平, 其他则输出高电平。在递减计数时, 当计数器

			(AD16C6T_COUNT)大于 AD16C6T_CCVAL1 寄存器(AD16C6T_CON1 的 CCRFEN 为 0)时, 输出高电平, 其他则输出低电平 01000: 多次触发单脉冲模式 1-在递增计数时, 通道保持为高电平, 直到在 TRGI 信号上侦测到触发事件后, 通道正常输出 PWM 模式 1, 直到下次更新事件发生后, 通道再次保持高电平。在递减计数时, 通道保持为低电平, 直到在 TRGI 信号上侦测到触发事件后, 通道正常输出 PWM 模式 1, 直到下次更新事件发生后, 通道再次保持低电平 01001: 多次触发单脉冲模式 2-在递增计数时, 通道保持为低电平, 直到在 TRGI 信号上侦测到触发事件后, 通道正常输出 PWM 模式 2, 直到下次更新事件发生后, 通道再次保持低电平。在递减计数时, 通道保持为高电平, 直到在 TRGI 信号上侦测到触发事件后, 通道正常输出 PWM 模式 2, 直到下次更新事件发生后, 通道再次保持高电平 01010: 保留 01011: 保留 01100: 组合 PWM 模式 1 - 在 PWM 模式 1 下产生 CH1REF, 再将 CH1REF 和 CH2REF 做"或"运算输出 CH1REFC 信号 01101: 组合 PWM 模式 2 - 在 PWM 模式 2 下产生 CH1REF, 再将 CH1REF 和 CH2REF 做"与"运算输出 CH1REFC 信号 01110: 非对称 C2 PWM 模式 1 - 在 PWM 模式 1 中, 在递增计数时, CH1REFC 信号使用 CCRV1 输出比较。在递减计数时, CH1REFC 信号使用 CCRV2 01111: 非对称 C2 PWM 模式 2 - 在 PWM 模式 2 中, 在递增计数时, CH1REFC 信号使用 CCRV1 输出比较。在递减计数时, CH1REFC 信号使用 CCRV2 10000: 非对称 C5 PWM 模式 1 - 在 PWM 模式 1 中, 在递增计数时, CH1REFC 信号使用 CCRV1 输出比较。在递减计数时, CH1REFC
--	--	--	---

			信号使用 CCRV5 10001: 非对称 C5 PWM 模式 2 - 在 PWM 模式 2 中, 在递增计数时, CH1REFC 信号使用 CCRV1 输出比较。在递减计数时, CH1REFC 信号使用 CCRV5 注: 当设置 AD16C6T_BDCFG 寄存器中的 LOCKLVL 位为锁定级别 3 且 CC1SSEL = 00(通道设置为输出)后, 此位无法更改。
CH1PEN	Bit 3	RW	输出比较通道 1 预装载开启 设置后在更新事件时, 将 AD16C6T_CCVAL1 寄存器预装载值载入到缓冲寄存器中。 0: CCVAL1 寄存器预装载关闭 1: CCVAL1 寄存器预装载开启 注: 当设置 AD16C6T_BDCFG 寄存器中的 LOCKLVL 位为锁定级别 3 且 CC1SSEL = 00(通道设置为输出)后, 此位无法更改。
CH1FEN	Bit 2	RW	输出比较通道 1 快速开启 用于加速触发输入事件对于 PWM 输出的影响, CH1FEN 只在通道被配置成 PWM1 或 PWM2 模式时起作用。 0: CH1 的输出依赖于计数器与 CCVAL1 的值正常工作。 1: 当触发输入(TRGI)有效时, CH1 被强制设置为比较电平(与比较结果无关), 触发输入(TRGI)的有效边沿相当于发生比较匹配。
CC1SSEL	Bit 1-0	RW	捕获或比较通道 1 选择 设置通道的输出方向与信号的选择, 当 AD16C6T_CCEP 寄存器的 CC1EN 位为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入, 捕获源为 I1 10: 通道设置为输入, 捕获源为 I2 11: 通道设置为输入, 捕获源为 ITn(只工作在 AD16C6T_SMCON 寄存器的 TSSEL 位选择为 ITn 时)

输入捕获模式

Reserved	Bits 31-16	—	保留
----------	------------	---	----

I2FLT	Bits 15-12	R/W	输入捕获通道2滤波器 参照I1FLT描述
I2PRES	Bits 11-10	R/W	输入捕获通道 2 预分频器 参照 IC1PRES 描述
CC2SSEL	Bits 9-8	R/W	捕获或比较通道 2 选择 设置通道的输出方向与信号的选择，当 AD16C6T_CCEP 寄存器的 CC2EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I2 10: 通道设置为输入，捕获源为 I1 11: 通道设置为输入，捕获源为 ITn(只工作在 AD16C6T_SMCON 寄存器的 TSSEL 位选择为 ITn 时)
I1FLT	Bits 7-4	R/W	输入捕获通道 1 滤波器 设置 I1 信号采样的频率和对 I1 数字滤波器的带宽。数字滤波器是一个事件计数器，它记录到 N 个事件后才视为一个有效输出边沿： 0000: 采样频率 f_{DTS} ，滤波器禁止 0001: 采样频率 f_{INT_CLK} ，N = 2 0010: 采样频率 f_{INT_CLK} ，N = 4 0011: 采样频率 f_{INT_CLK} ，N = 8 0100: 采样频率 $f_{DTS} / 2$ ，N = 6 0101: 采样频率 $f_{DTS} / 2$ ，N = 8 0110: 采样频率 $f_{DTS} / 4$ ，N = 6 0111: 采样频率 $f_{DTS} / 4$ ，N = 8 1000: 采样频率 $f_{DTS} / 8$ ，N = 6 1001: 采样频率 $f_{DTS} / 8$ ，N = 8 1010: 采样频率 $f_{DTS} / 16$ ，N = 5 1011: 采样频率 $f_{DTS} / 16$ ，N = 6 1100: 采样频率 $f_{DTS} / 16$ ，N = 8 1101: 采样频率 $f_{DTS} / 32$ ，N = 5 1110: 采样频率 $f_{DTS} / 32$ ，N = 6 1111: 采样频率 $f_{DTS} / 32$ ，N = 8
I1PRES	Bits 3-2	R/W	输入捕获通道 1 预分频器 设置 I1 的预分频计数器数值，当清除 AD16C6T_CCEP 寄存器的 CC1EN 位，预分频计数器同时被清除

			00: 预分频关闭, 于每次事件时捕获 01: 每 2 次事件捕获 10: 每 4 次事件捕获 11: 每 8 次事件捕获
CC1SSEL	Bits 1-0	R/W	捕获或比较通道 1 选择 设置通道的输出方向与信号的选择, 当 AD16C6T_CCEP 寄存器的 CC1EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入, 捕获源为 I1 10: 通道设置为输入, 捕获源为 I2 11: 通道设置为输入, 捕获源为 ITn(只工作在 AD16C6T_SMCON 寄存器的 TSSEL 位选择为 ITn 时)

16. 6. 2. 12 捕获或比较模式寄存器 2(AD16C6T_CHMR2)

此控制寄存器可被两个地址共同存取

捕获或比较模式寄存器 2(AD16C6T_CHMR2)																															
偏移地址: 0x2C、0x98																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						CH4MOD2		Reserved						CH3MOD2		CH4OCLREN	CH4MOD			CH4PEN	CH4FEN	CC4SSEL		CH3OCLREN	CH3MOD			CH3PEN	CH3FEN	CC3SSEL	
Reserved															I4FLT			I4PRES		I3FLT				I3PRES							

输出比较模式

Reserved	Bits 31-26	—	保留
CH4MOD2	Bits 25-24	R/W	输出比较通道4模式 参照CH3MOD描述
Reserved	Bits 23-18	—	保留
CH3MOD2	Bits 17-16	R/W	输出比较通道3模式 参照CH3MOD描述
CH4OCLREN	Bit 15	R/W	输出比较通道 4 清除开启 参照 CH3OCLREN 描述
CH4MOD	Bits 14-12	R/W	输出比较通道 4 模式 参照 CH3MOD 描述

CH4PEN	Bit 11	R/W	输出比较通道 4 预装载开启 参照 CH3PEN 描述
CH4FEN	Bit 10	R/W	输出比较通道 4 快速开启 参照 CH3FEN 描述
CC4SSEL	Bits 9-8	R/W	捕获或比较通道 4 选择 设置通道的输出方向与信号的选择, 当 AD16C6T_CCEP 寄存器的 CC4EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入, 捕获源为 I4 10: 通道设置为输入, 捕获源为 I3 11: 通道设置为输入, 捕获源为 ITn(只工作在 AD16C6T_SMCON 寄存器的 TSSEL 位选择为 ITn 时)
CH3OCLREN	Bit 7	R/W	输出比较通道 3 清除开启 参照 CH1OCLREN 描述
CH3MOD	Bits 6-4	R/W	输出比较通道 3 模式 参照 CH1MOD 描述。但多了以下两个模式: 01010: 比较脉冲模式: 输出产生一个比较脉冲, 其脉冲宽度可由 AD16C6T_ENCR 的 PWPRES 位与 PW 位决定 01011: 方向输出模式. 将 AD16C6T_CON1 寄存器的 DIRSEL 位映射到通道输出。
CH3PEN	Bit 3	R/W	输出比较通道 3 预装载开启 参照 CH1PEN 描述
CH3FEN	Bit 2	R/W	输出比较通道 3 快速开启 参照 CH1FEN 描述
CC3SSEL	Bits 1-0	R/W	捕获或比较通道 3 选择 设置通道的输出方向与信号的选择, 当 AD16C6T_CCEP 寄存器的 CC3EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入, 捕获源为 I3 10: 通道设置为输入, 捕获源为 I4 11: 通道设置为输入, 捕获源为 ITn(只工作在 AD16C6T_SMCON 寄存器的 TSSEL 位选择为 ITn 时)

输入捕获模式

Reserved	Bits 31-16	—	保留
I4FLT	Bits 15-12	R/W	输入捕获通道4滤波器 参照I3FLT描述
I4PRES	Bits 11-10	R/W	输入捕获通道 4 预分频器 参照 IC3PRES 描述
CC4SSEL	Bits 9-8	R/W	捕获或比较通道 4 选择 设置通道的输出方向与信号的选择，当 AD16C6T_CCEP 寄存器的 CC4EN 为 0 才可 写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I4 10: 通道设置为输入，捕获源为 I3 11: 通道设置为输入，捕获源为 ITn(只工作在 AD16C6T_SMCON 寄存器的 TSSEL 位选择为 ITn 时)
I3FLT	Bits 7-4	R/W	输入捕获通道 3 滤波器 参照 I1FLT 描述
I3PRES	Bits 3-2	R/W	输入捕获通道 3 预分频器 参照 IC1PRES 描述
CC3SSEL	Bits 1-0	R/W	捕获或比较通道 3 选择 设置通道的输出方向与信号的选择，当 AD16C6T_CCEP 寄存器的 CC3EN 为 0 才可 写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I3 10: 通道设置为输入，捕获源为 I4 11: 通道设置为输入，捕获源为 ITn(只工作在 AD16C6T_SMCON 寄存器的 TSSEL 位选择为 ITn 时)

16. 6. 2. 13 捕获或比较开启极性寄存器(AD16C6T_CCEP)

此控制寄存器可被两个地址共同存取

捕获或比较开启寄存器(AD16C6T_CCEP)																																
偏移地址: 0x30、0xA0																																
复位值: 0x0000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved										CC6POL	CC6EN	Reserved			CC5POL	CC5EN	CC4NPOL	CC4NEN	CC4POL	CC4EN	CC3NPOL	CC3NEN	CC3POL	CC3EN	CC2NPOL	CC2NEN	CC2POL	CC2EN	CC1NPOL	CC1NEN	CC1POL	CC1EN

Reserved	Bits 31-22	—	保留
CC6POL	Bit 21	RW	比较通道6输出极性 参照CC1POL描述
CC6EN	Bit 20	RW	比较通道6输出开启 参照CC1EN描述
Reserved	Bits 19-18	—	保留
CC5POL	Bit 17	RW	比较通道5输出极性 参照CC1POL描述
CC5EN	Bit 16	RW	比较通道5输出开启 参照CC1EN描述
CC4NPOL	Bit 15	RW	捕获或比较通道4互补输出极性 参照CC1NPOL描述
CC4NEN	Bit 14	RW	捕获或比较通道4互补输出开启 参照CC1NEN描述
CC4POL	Bit 13	RW	捕获或比较通道4输出极性 参照CC1POL描述
CC4EN	Bit 12	RW	捕获或比较通道4输出开启 参照CC1EN描述
CC3NPOL	Bit 11	RW	捕获或比较通道3互补输出极性 参照CC1NPOL描述
CC3NEN	Bit 10	RW	捕获或比较通道3互补输出开启 参照CC1NEN描述
CC3POL	Bit 9	RW	捕获或比较通道3输出极性 参照CC1POL描述
CC3EN	Bit 8	RW	捕获或比较通道3输出开启 参照CC1EN描述
CC2NPOL	Bit 7	RW	捕获或比较通道2互补输出极性 参照CC1NPOL描述

CC2NEN	Bit 6	RW	捕获或比较通道 2 互补输出开启 参照 CC1NEN 描述
CC2POL	Bit 5	RW	捕获或比较通道 2 输出极性 参照 CC1POL 描述
CC2EN	Bit 4	RW	捕获或比较通道 2 输出开启 参照 CC1EN 描述
CC1NPOL	Bit 3	RW	捕获或比较通道 1 互补输出极性 通道 CH1 设置为输出： 0: CH1N 高电平有效 1: CH1N 低电平有效 通道 CH1 设置为输入： 该位需和 CC1POL 一起使用来定义输入边沿的极性。参照 CC1POL 描述。 注 1: 对于有互补输出的通道，该位设置为预载值。如果 AD16C6T_CON2 寄存器中的 CCPCEN 位设置为 1，则只有当 COM 事件发生时，CC1NPOL 位才会设置为预载值中新的值。 注 2: 当 AD16C6T_BDCFG 寄存器中的 LOCKLVL 位被设置为锁定级别 2 或 3，且 CC1SSEL=00(通道为输出模式)，该位将不可写。
CC1NEN	Bit 2	RW	捕获或比较通道 1 互补输出开启 0: 关闭 - CH1N 无效。CH1N 电平取决于 GOEN, OFFSSI, OFFSSR, OISS1, OISS1N 和 CC1EN 的功能 1: 开启 - CH1N 为对应输出引脚上的输出信号，由 GOEN, OFFSSI, OFFSSR, OISS1, OISS1N 和 CC1EN 决定。 注: 对于有互补输出的通道，该位设置为预载值。如果 AD16C6T_CON2 寄存器中的 CCPCEN 位设置为 1，则只有当 COM 事件发生时，CC1NEN 缓冲位才会设置为预载值中新的值
CC1POL	Bit 1	RW	捕获或比较通道 1 输出极性 通道 CH1 设置为输出： 0: CH1 高电平有效 1: CH1 低电平有效

			通道 CC1 设置为输入： CC1NPOL 与 CC1POL 位选择触发边沿或捕获模式下 I1 和 I2 的极性 00: 非反相/上升沿 01: 反相/下降沿 10: 保留 11: 非反相/上升沿+下降沿 注 1: 对于有互补输出的通道, 该位设置为预载值。如果 AD16C6T_CON2 寄存器中的 CCPCEN 位设置为 1, 则只有当 COM 事件发生时, CC1POL 缓冲位才会设置为预载值中新的值。 注 2: 当 AD16C6T_BDCFG 寄存器中的 LOCKLVL 位被设置为锁定级别 2 或 3, 且 CC1SSEL=00(通道为输出模式), 该位将不可写。
CC1EN	Bit 0	R/W	捕获或比较通道 1 输出开启 通道 CH1 设置为输出： 0: 关闭 - CH1 无效。CH1 电平取决于 GOEN、OFFSSI、OFFSSR、OISS1、OISS1N 和 CC1NEN 的功能 1: 开启 - CH1 为对应输出引脚上的输出信号, 由 GOEN、OFFSSI、OFFSSR、OISS1、OISS1N 和 CC1NEN 决定 通道 CH1 设置为输入： 0: 捕获关闭 1: 捕获开启 注: 对于有互补输出的通道, 该位设置为预载值。如果 AD16C6T_CON2 寄存器中的 CCPCEN 位设置为 1, 则只有当 COM 事件发生时, CC1EN 缓冲位才会设置为预载值中新的值。

16. 6. 2. 14 计数寄存器(AD16C6T_COUNT)

计数寄存器(AD16C6T_COUNT)																																		
偏移地址：0x34																																		
复位值：0x0000 0000																																		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
UPDRIF		Reserved														CNTV																		

UPDRIF	Bit 31	R	更新原始中断状态映射 该位为映射AD16C6T_RIF寄存器的UPD位的状态，该位只能读取，表示计数器发生更新事件。 设置AD16C6T_CON1寄存器的UPDFREMAP位为1开启功能。
Reserved	Bits 30-16	—	保留
CNTV	Bits 15-0	R/W	计数器数值

16. 6. 2. 15 预分频寄存器(AD16C6T_PRES)

预分频寄存器(AD16C6T_PRES)																															
偏移地址：0x38																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																PSCV															

Reserved	Bits 31-16	—	保留
PSCV	Bits 15-0	R/W	预分频数值 当计数器时钟频率等于 $f_{INT_CLK}/(PSCV<15:0> + 1)$ 时计数器递增或递减。在更新事件产生时，将PSCV数值被载入预装载寄存器中

16. 6. 2. 16 自动重载寄存器(AD16C6T_AR)

自动重载寄存器(AD16C6T_AR)																															
偏移地址：0x3C																															
复位值：0x0000 FFFF																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												ARV																			

Reserved	Bits 31-20	—	保留
ARV	Bits 19-0	R/W	自动重载数值 设置计数器的递增计数的边界或递减计数的重载值 抖动模式开启时: - ARV<19:4>为整数位 - ARV<3:0>为小数位

16. 6. 2. 17 重复计数寄存器(AD16C6T_REPAR)

重复计数寄存器(AD16C6T_REPAR)																															
偏移地址：0x40																															
复位值：0x00000000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																REPV															

Reserved	Bits 31-16	—	保留
REPV	Bits 15-0	R/W	重复计数数值 当预载寄存器开启, 该位允许用户设置比较寄存器的更新率(例如: 预载到有效寄存器的周期性传输), 同样也可以设置更新中断生成率。当 REPV_CNT 计数器递减至 0 时, 会产生更新事件, 同时重新从 REPV 值递减计数。 REPV_CNT 具备缓冲, 因此只有当发生更新事件时, 才会将 REPV 重载到 REPV_CNT 中, 即任何对于 REPV 的写入, 只会在下一次更新事件后才会生效。 - 在边沿对齐模式下的 PWM 输出, (REPV+1) 对应的是 PWM 的周期数

			- 在中心对齐模式下的 PWM 输出, (REPV+1) 对应的是 1/2 PWM 的周期数
--	--	--	--

16. 6. 2. 18 通道捕获或比较寄存器 1(AD16C6T_CCVAL1)

此控制寄存器可被两个地址共同存取

通道捕获或比较寄存器 1(AD16C6T_CCVAL1)																			
偏移地址: 0x44、0xA4																			
复位值: 0x0000 0000																			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12
11	10	9	8	7	6	5	4	3	2	1	0								
Reserved												CCRV1							

Reserved	Bits 31-20	—	保留
CCRV1	Bits 19-0	R/W	捕获或比较数值 1 通道 CH1 配置为输出: CCRV1 是捕获或比较寄存器的预装载值。开启 AD16C6T_CHMR1 寄存器中的 CH1PEN 预装载功能时, CCRV1 具备缓冲, 当发生更新事件后, 将预装载值载入到缓冲寄存器中。CCRV1 的值会与 AD16C6T_COUNT 中的值进行比较, 其结果会反应在 CH1REF。 抖动模式关闭时: - CCRV1<19:16>为无效值 - CCRV1<15:0>为有效值 抖动模式开启时: - CCRV1<19:4>为整数位 - CCRV1<3:0>为小数位 通道 CH1 配置为输入: CCRV1 为由先前发生输入捕获事件(I1)时的计数器数值。 抖动模式关闭时: - CCRV1<19:16>为无效位 - CCRV1<15:0>为有效位 抖动模式开启时: - CCRV1<19:4>为有效位 - CCRV1<3:0>为无效位

16. 6. 2. 19 通道捕获或比较寄存器 2(AD16C6T_CCVAL2)

此控制寄存器可被两个地址共同存取

通道捕获或比较寄存器 2(AD16C6T_CCVAL2)																															
偏移地址：0x48、0xA8																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												CCRV2																			

Reserved	Bits 31-20	—	保留
CCRV2	Bits 19-0	R/W	捕获或比较数值2 参照CCRV1描述

16. 6. 2. 20 通道捕获或比较寄存器 3(AD16C6T_CCVAL3)

此控制寄存器可被两个地址共同存取

通道捕获或比较寄存器 3(AD16C6T_CCVAL3)																															
偏移地址: 0x4C、0xAC																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												CCRV3																			

Reserved	Bits 31-20	—	保留
CCRV3	Bits 19-0	R/W	捕获或比较数值3 参照CCRV1描述

16. 6. 2. 21 通道捕获或比较寄存器 4(AD16C6T_CCVAL4)

此控制寄存器可被两个地址共同存取

通道捕获或比较寄存器 4(AD16C6T_CCVAL4)																															
偏移地址: 0x50、0xB0																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												CCRV4																			

Reserved	Bits 31-20	—	保留
CCRV4	Bits 19-0	R/W	捕获或比较数值4 参照CCRV1描述

16. 6. 2. 22 刹车和死区配置寄存器 (AD16C6T_BDCFG)

刹车和死区配置寄存器 (AD16C6T_BDCFG)																																											
偏移地址: 0x54																																											
复位值: 0x0000 0000																																											
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0												
Reserved		BRK2BID		BRKBID		BRK2DSRM		BRKDSRM		BRK2P		BRK2EN		BRK2FLT			BRKFLT			GOEN		AOEN		BRKP		BRKEN		OFFSSR		OFFSSI		LOCKLVL		DT									

Reserved	Bits 31-30	—	保留
BRK2BID	Bit 29	R/W	BKIN2双向开启 参照BRKBID描述
BRKBID	Bit 28	R/W	BKIN双向开启 当配置成双向模式时，BKIN引脚必须设定为开漏输出模式，任何有效的刹车事件都会使BKIN引脚改为输出低电平，以向外部设备指示发生刹车事件。 0: BKIN引脚为输入模式 1: BKIN引脚为双向模式 注：当AD16C6T_BDCFG寄存器中的LOCKLVL位已被设置为锁定级别1，则该位不可更改
BRK2DSRM	Bit 27	R/W	解除BKIN2刹车事件 参照BRKDSRM描述

BRKDSRM	Bit 26	R/W	解除BKIN刹车事件 当解除刹车事件后，此位由硬件自动清除。 设置BRKDSRM位1，以解除刹车事件并释放双向控制，软件需要持续读取此位，直到由硬件清除，指示刹车事件已消失 0: BKIN引脚输入为警备状态，可立即响应刹车事件 1: BKIN引脚输入为非警备状态，无法响应刹车事件
BRK2P	Bit 25	R/W	选择BKIN2刹车极性 参照BRKP描述
BRK2EN	Bit 24	R/W	开启刹车2 参照BRKEN描述 注：刹车2功能必须在OFFSSR和OFFSSI皆为1时使用。
BRK2FLT	Bits 23-20	R/W	刹车2滤波器 参照BRKFLT描述
BRKFLT	Bits 19-16	R/W	刹车滤波器 设置BKIN信号采样的频率和数字滤波的带宽。数字滤波器是一个事件计数器，它记录到N个事件后才视为一个有效输出边沿： 0000: 采样频率f_{DTS}，滤波器禁止 0001: 采样频率f_{INT_CLK}，$N = 2$ 0010: 采样频率f_{INT_CLK}，$N = 4$ 0011: 采样频率f_{INT_CLK}，$N = 8$ 0100: 采样频率$f_{DTS} / 2$，$N = 6$ 0101: 采样频率$f_{DTS} / 2$，$N = 8$ 0110: 采样频率$f_{DTS} / 4$，$N = 6$ 0111: 采样频率$f_{DTS} / 4$，$N = 8$ 1000: 采样频率$f_{DTS} / 8$，$N = 6$ 1001: 采样频率$f_{DTS} / 8$，$N = 8$ 1010: 采样频率$f_{DTS} / 16$，$N = 5$ 1011: 采样频率$f_{DTS} / 16$，$N = 6$ 1100: 采样频率$f_{DTS} / 16$，$N = 8$ 1101: 采样频率$f_{DTS} / 32$，$N = 5$ 1110: 采样频率$f_{DTS} / 32$，$N = 6$ 1111: 采样频率$f_{DTS} / 32$，$N = 8$ 注：当AD16C6T_BDCFG寄存器中的

			LOCKLVL位已被设置为锁定级别1, 则该位不可更改
GOEN	Bit 15	R/W	通道主要输出开启 一旦BKIN或BKIN2刹车输入有效, 该位会由硬件异步清零。该位可由软件设置为1或自动设置为1(取决于AOEN位)。该位仅作用于配置为输出的通道。 0: 若此位因BKIN2刹车事件清0, 则禁止CHn/CHnN输出(此时引脚不由定时器控制) 若此位因BKIN刹车事件或软件设置清0, 则根据OFFSSI的设定, 禁止CHn/CHnN输出或输出空闲电平(根据AD16C6T_CON2寄存器的OISSn/OISSnN设定) 1: 如果CHn和CHnN各自的开启位都设置为1(AD16C6T_CCEP寄存器中的CCnEN和CCnNEN位), 则开启CHn和CHnN输出。
AOEN	Bit 14	R/W	通道自动输出开启 在发生更新事件时, 将GOEN位置起 0: GOEN仅可由软件设置为1 1: GOEN位可由软件设置为1, 也可以在下一个更新事件发生且刹车输入无效时自动设置为1。 注: 当AD16C6T_BDCFG寄存器中的LOCKLVL位已被设置为锁定级别1, 则该位不可更改。
BRKP	Bit 13	R/W	选择BKIN刹车极性 0: 刹车输入BKIN为低电平有效 1: 刹车输入BKIN为高电平有效 注: 当AD16C6T_BDCFG寄存器中的LOCKLVL位已被设置为锁定级别1, 则该位不可更改。
BRKEN	Bit 12	R/W	开启刹车 0: 刹车输入关闭 1: 刹车输入开启 注: 当AD16C6T_BDCFG寄存器中的LOCKLVL位已被设置为锁定级别1, 则该位不可更改
OFFSSR	Bit 11	R/W	运行模式下关闭状态选择

			此位在GOEN位为1且设置为输出模式并具有互补输出的通道。 0: 当通道关闭时(CCnEN/CCnNEN位为0), 禁止CHn/CHnN引脚输出(此时不由定时器控制) 1: 当通道关闭时(CCnEN/CCnNEN位为0), 一旦其互补通道为开启状态, 会将输出设为无效电平(此时输出还是由定时器控制)。 注: 当AD16C6T_BDCFG寄存器中的LOCKLVL位已被设置为锁定级别2, 则该位无法修改。
OFFSSI	Bit 10	R/W	空闲模式下关闭状态选择 此位只适用在GOEN位因刹车事件或软件写入为0, 且设置为输出模式并具有互补输出的通道。 0: 当通道关闭时(CCnEN/CCnNEN位为0), 禁止CHn/CHnN引脚输出(此时不由定时器控制) 1: 当通道关闭时(CCnEN/CCnNEN位为0), 会先输出其无效电平, 并在死区时间后, 改为输出空闲电平(根据AD16C6T_CON2寄存器中的OISSn/OISSnN设定)。 注: 当AD16C6T_BDCFG寄存器中的LOCKLVL位已被设置为锁定级别2, 则该位不可更改。
LOCKLVL	Bits 9-8	R/W	锁定级别配置 针对软件错误, 该位提供写保护 00: 锁定关闭 - 不提供写保护 01: 锁定级别1 - AD16C6T_CON2寄存器中的OISSn和OISSnN、AD16C6T_BDCFG寄存器中的 BRKBID/BRK2BID/BRKEN/BRK2EN/BRKP/BR2KP/AOEN/DT、AD16C6T_DCFG2寄存器、AD16C6T_AFR1寄存器和AD16C6T_AFR2寄存器不再可写 10: 锁定级别2 - 锁定级别1 + AD16C6T_BDCFG寄存器中的OFFSSR和OFFSSI、AD16C6T_CCEP寄存器中的

			CCnPOL和CCnNPOL(通道配置成输出模式时)不再可写 11: 锁定级别3 - 锁定级别2 + AD16C6T_CHMRn寄存器中的CHnMOD和CHnPEN(通道配置成输出模式时)不再可写 注: 锁定配置为仅在复位后可写。一旦BDCFG已写, 其设置内容在下一个复位前都处于冻结状态。
DT	Bits 7-0	R/W	死区延迟 设置值该位定义了互补输出之间插入的死区时间。DT对应的就是该时间段。 $DT<7:5>=0xx \Rightarrow DT=DT<7:0> \times t_{dtg}$, 式中 $t_{dtg}=t_{DTS}$。 $DT<7:5>=10x \Rightarrow DT=(64+DT<5:0>) \times t_{dtg}$, 式中 $t_{dtg}=2t_{DTS}$。 $DT<7:5>=110 \Rightarrow DT=(32+DT<4:0>) \times t_{dtg}$, 式中 $t_{dtg}=8t_{DTS}$。 $DT<7:5>=111 \Rightarrow DT=(32+DT<4:0>) \times t_{dtg}$, 式中 $t_{dtg}=16t_{DTS}$。 注: 当AD16C6T_BDCFG寄存器中的LOCKLVL位已被设置为锁定级别1, 2或3, 则该位不可更改

16. 6. 2. 23 DMA事件开启寄存器 (AD16C6T_DMAEN)

DMA 事件开启寄存器 (AD16C6T_DMAEN)																															
偏移地址: 0x58																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																								TRGI	COM	CH4	CH3	CH2	CH1	UPD	

Reserved	Bits 31-7	—	保留
TRGI	Bit 6	RW	触发事件的DMA请求开启 0: 触发事件的DMA请求关闭 1: 触发事件的DMA请求开启
COM	Bit 5	RW	COM事件的DMA请求开启 0: COM事件的DMA请求关闭 1: COM事件的DMA请求开启
CH4	Bit 4	RW	通道4捕获或比较匹配事件的DMA请求开启 0: 通道4捕获或比较匹配事件的DMA请求关闭 1: 通道4捕获或比较匹配事件的DMA请求开启
CH3	Bit 3	RW	通道3捕获或比较匹配事件的DMA请求开启 0: 通道3捕获或比较匹配事件的DMA请求关闭 1: 通道3捕获或比较匹配事件的DMA请求开启
CH2	Bit 2	RW	通道2捕获或比较匹配事件的DMA请求开启 0: 通道2捕获或比较匹配事件的DMA请求关闭 1: 通道2捕获或比较匹配事件的DMA请求开启
CH1	Bit 1	RW	通道1捕获或比较匹配事件的DMA请求开启 0: 通道1捕获或比较匹配事件的DMA请求关闭 1: 通道1捕获或比较匹配事件的DMA请求开启
UPD	Bit 0	RW	更新事件的DMA请求开启 0: 更新事件的DMA请求关闭 1: 更新事件的DMA请求开启

16. 6. 2. 24 通道比较寄存器 5 (AD16C6T_CCVAL5)

此控制寄存器可被两个地址共同存取

通道比較寄存器 5 (AD16C6T_CCVAL5)																															
偏移地址：0x5C、0xB4																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GC5C3	GC5C2	GC5C1	Reserved									CCRV5																			

GC5C3	Bit 31	RW	组合通道5和通道3 设置CH3REFC输出信号 0: CH5REFC对CH3REFC无影响 1: CH3REFC是CH3REFC和CH5REFC做"与"运算输出 注: 此位也支持预装载功能, 由AD16C6T_CHMR3寄存器的CH5PEN位设定
GC5C2	Bit 30	RW	组合通道5和通道2 设置CH2REFC输出信号 0: CH5REFC对CH2REFC无影响 1: CH2REFC是CH2REFC和CH5REFC做"与"运算输出 注: 此位也支持预装载功能, 由AD16C6T_CHMR3寄存器的CH5PEN位设定
GC5C1	Bit 29	RW	组合通道5和通道1 设置CH1REFC输出信号 0: CH5REFC对CH1REFC无影响 1: CH1REFC是CH1REFC和CH5REFC做"与"运算输出 注: 此位也支持预装载功能, 由AD16C6T_CHMR3寄存器的CH5PEN位设定
Reserved	Bits 28-20	—	保留
CCRV5	Bits 19-0	RW	捕获或比较数值5 参照CCRV1描述

16. 6. 2. 25 通道比较寄存器 6 (AD16C6T_CCVAL6)

此控制寄存器可被两个地址共同存取

通道比较寄存器 6 (AD16C6T_CCVAL6)																															
偏移地址：0x60、0xB8																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												CCRV6																			

Reserved	Bits 31-20	—	保留
CCRV6	Bits 19-0	R/W	捕获或比较数值6 参照CCRV1描述

16. 6. 2. 26 比较模式寄存器 3 (AD16C6T_CHMR3)

此控制寄存器可被两个地址共同存取

比较模式寄存器 3 (AD16C6T_CHMR3)																															
偏移地址：0x64、0x9C																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							CH6MOD2	Reserved							CH5MOD2	CH6OCLREN	CH6MOD			CH6PEN	CH6FEN	Reserved	CH5OCLREN	CH5MOD			CH5PEN	CH5FEN	Reserved		

Reserved	Bits 31-26	—	保留
CH6MOD2	Bit 24	R/W	输出比较通道6模式 参照CH1MOD<3:0>描述
Reserved	Bits 23-17	—	保留
CH5MOD2	Bit 16	R/W	输出比较通道5模式 参照CH1MOD<3:0>描述
CH6OCLREN	Bit 15	R/W	输出比较通道6清除开启 参照CH1OCLREN描述
CH6MOD	Bits 14-12	R/W	输出比较通道6模式 参照CH1MOD<3:0>描述
CH6PEN	Bit 11	R/W	输出比较通道6预装载开启 参照CH1PEN描述
CH6FEN	Bit 10	R/W	输出比较通道6快速开启 参照CH1FEN描述

Reserved	Bits 9-8	—	保留
CH5OCLREN	Bit 7	R/W	输出比较通道5清除开启 参照CH1OCLREN描述
CH5MOD	Bits 6-4	R/W	输出比较通道5模式 参照CH1MOD<3:0>描述
CH5PEN	Bit 3	R/W	输出比较通道5预装载开启 参照CH1PEN描述
CH5FEN	Bit 2	R/W	输出比较通道5快速开启 参照CH1FEN描述
Reserved	Bits 1-0	—	保留

16. 6. 2. 27 死区配置寄存器 2 (AD16C6T_DCFG2)

死区配置寄存器 2 (AD16C6T_DCFG2)																															
偏移地址：0x68																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														DTPEN	DTAEN	Reserved								DT2							

Reserved	Bits 31-18	—	保留
DTPEN	Bit 17	R/W	死区延迟预装载开启 0: 死区延迟不具备缓冲 1: 死区延迟具备缓冲 注: 当AD16C6T_BDCFG寄存器中的LOCKLVL位已被设置为锁定级别1, 2或3, 则该位不可更改 注: 此位仅在CNTEN关闭时修改
DTAEN	Bit 16	R/W	非对称死区延迟开启 0: 上升沿与下降沿的死区延迟一致, 参照DT配置 1: 上升沿的死区延迟参照DT配置, 而下降沿的死区延迟参照DT2配置 注: 当AD16C6T_BDCFG寄存器中的LOCKLVL位已被设置为锁定级别1, 2或3, 则该位不可更改 注: 此位仅在CNTEN关闭时修改, 若在CNTEN开启时配置, 此位会自动清0

Reserved	Bits 15-8	—	保留
DT2	Bits 7-0	RW	非对称死区延迟 参照DT描述 注：此位仅在CNTEN关闭时修改

16. 6. 2. 28 编码控制寄存器 (AD16C6T_ENCRR)

编码控制寄存器 (AD16C6T_ENCRR)																																
偏移地址：0x6C																																
复位值：0x0000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved				PWPRES				PW								Reserved								IDXPOS		FIDX		Reserved		IDXDIR		IDXEN

Reserved	Bits 31-27	—	保留
PWPRES	Bits 26-24	RW	脉冲宽度预分频值 公式如下： $t_{PWG} = (2^{(PWPRES<2:0>)}) \times t_{INT_CLK}$
PW	Bits 23-16	RW	脉冲宽度 公式如下： $t_{PW} = PW<7:0> \times t_{PWG}$
Reserved	Bits 15-8	—	保留
IDXPOS	Bits 7-6	RW	Index位置 在正交编码器模式下(AD16C6T_SMCON寄存器的SMODS = 0001, 0010, 0011, 1110, 1111), 此位用来指示Index信号在哪个AB相位为有效输入, 判定为有效输入时重置计数器 00: 当AB相位 = 00时, 侦测到有效的Index输入会重置计数器 01: 当AB相位 = 01时, 侦测到有效的Index输入会重置计数器 10: 当AB相位 = 10时, 侦测到有效的Index输入会重置计数器 11: 当AB相位 = 11时, 侦测到有效的Index输入会重置计数器 在时钟加方向模式与定向时钟模式下 (AD16C6T_SMCON寄存器的SMODS = 1010, 1011, 1100, 1101), IDXPOS<1>为无效位

			x0: 当时钟低电平时, 侦测到有效的Index输入会重置计数器 x1: 当时钟高电平时, 侦测到有效的Index输入会重置计数器
FIDX	Bit 5	RW	首次Index事件检测 0: 每一个Index事件都会重置计数器 1: 只让第一次的Index事件重置计数器
Reserved	Bits 4-3	—	保留
IDXDIR	Bits 2-1	RW	特定计数方向下侦测Index事件 00: Index事件在递增、递减计数下都为有效 01: Index事件只在递增计数下有效 10: Index事件只在递减计数下有效 11: 保留 注: 当Index功能关闭时才能变更IDXDIR设定
IDXEN	Bit 0	RW	Index检测功能开启 侦测到Index有效事件时会重置计数器 0: Index功能关闭 1: Index功能开启

16. 6. 2. 29 通道输入来源选择寄存器 (AD16C6T_CHISEL)

通道输入来源选择寄存器 (AD16C6T_CHISEL)																															
偏移地址: 0x70																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				I4SEL				Reserved				I3SEL				Reserved				I2SEL				Reserved				I1SEL			

Reserved	Bits 31-28	—	保留
I4SEL	Bits 27-24	RW	CH4输入来源选择 0000: 经AD16C6T_CHRMP寄存器通道映射配置后的CH4引脚输入 其他: 参考引脚输入源章节
Reserved	Bits 23-20	—	保留
I3SEL	Bits 19-16	RW	CH3输入来源选择 0000: 经AD16C6T_CHRMP寄存器通道映射配置后的CH3引脚输入 其他: 参考引脚输入源章节

Reserved	Bits 15-12	—	保留
I2SEL	Bits 11-8	RW	CH2输入来源选择 0000: 经AD16C6T_CHRMP寄存器通道映射配置后的CH2引脚输入 其他: 参考引脚输入源章节
Reserved	Bits 7-4	—	保留
I1SEL	Bits 3-0	RW	CH1输入来源选择 0000: 经AD16C6T_CHRMP寄存器通道映射配置后的CH1引脚输入 其他: 参考引脚输入源章节

16.6.2.30 复用功能寄存器 1 (AD16C6T_AFR1)

复用功能寄存器 1 (AD16C6T_AFR1)																															
偏移地址：0x74																															
复位值：0x0000 0001																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														ETRSEL		Reserved	BRKCMP2P	BRKCMP1P	BRKPIS6P	BRKINP	Reserved							BRKCMP2EN	BRKCMP1EN	BRKPIS6EN	BRKINEN

Reserved	Bits 31-18	—	保留
ETRSEL	Bits 17-14	RW	ETR输入来源选择 0000: AD16C6T_ETR输入 其他: 参考引脚输入源章节 注: 当AD16C6T_BDCFG寄存器中的LOCKLVL位已被设置为锁定级别1, 则该位不可更改
Reserved	Bit 13	—	保留
BRKCMP2P	Bit 12	RW	选择通道刹车CMP2极性 0: 刹车输入CMP2为高电平有效 1: 刹车输入CMP2为低电平有效 注: 当AD16C6T_BDCFG寄存器中的LOCKLVL位已被设置为锁定级别1, 则该位不可更改
BRKCMP1P	Bit 11	RW	选择通道刹车CMP1极性 0: 刹车输入CMP1为高电平有效 1: 刹车输入CMP1为低电平有效

			注：当AD16C6T_BDCFG寄存器中的LOCKLVL位已被设置为锁定级别1，则该位不可更改
BRKPIS6P	Bit 10	RW	选择通道刹车PIS6极性 0：刹车输入PIS6为高电平有效 1：刹车输入PIS6为低电平有效 注：当AD16C6T_BDCFG寄存器中的LOCKLVL位已被设置为锁定级别1，则该位不可更改
BRKINP	Bit 9	RW	选择通道刹车BKIN极性 0：BKIN引脚输入不反相 1：BKIN引脚输入反相 注1：当AD16C6T_BDCFG寄存器中的LOCKLVL位已被设置为锁定级别1，则该位不可更改 注2：最终刹车有效电平需搭配AD16C6T_BDCFG寄存器中的BRKP极性决定
Reserved	Bits 8-4	—	保留
BRKCMP2EN	Bit 3	RW	通道刹车CMP2开启 CMP2输出与其他刹车来源做"或"运算 0：刹车输入CMP2禁止 1：刹车输入CMP2开启 注：当AD16C6T_BDCFG寄存器中的LOCKLVL位已被设置为锁定级别1，则该位不可更改
BRKCMP1EN	Bit 2	RW	通道刹车CMP1开启 CMP1输出与其他刹车来源做"或"运算 0：刹车输入CMP1禁止 1：刹车输入CMP1开启 注：当AD16C6T_BDCFG寄存器中的LOCKLVL位已被设置为锁定级别1，则该位不可更改
BRKPIS6EN	Bit 1	RW	通道刹车PIS6开启 PIS通道6与其他刹车来源做"或"运算 0：刹车输入PIS6禁止 1：刹车输入PIS6开启 注：当AD16C6T_BDCFG寄存器中的LOCKLVL位已被设置为锁定级别1，则该位不可更改

			可更改
BRKINEN	Bit 0	RW	通道刹车BKIN开启 BKIN输出与其他刹车来源做"或"运算 0: 刹车输入BKIN禁止 1: 刹车输入BKIN开启 注: 当AD16C6T_BDCFG寄存器中的 LOCKLVL位已被设置为锁定级别1, 则该位不可更改

16. 6. 2. 31 复用功能寄存器 2 (AD16C6T_AFR2)

复用功能寄存器 2 (AD16C6T_AFR2)																																		
偏移地址：0x78																																		
复位值：0x0000 0001																																		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Reserved													OCLRSEL			Reserved				BRK2PIS7P	BRK2CMP1P	BRK2CMP0P	BRK2INP	Reserved							BRK2PIS7EN	BRK2CMP1EN	BRK2CMP0EN	BRK2INEN

Reserved	Bits 31-19	—	保留
OCLRSEL	Bits 18-16	RW	外部清除来源选择 000: CMP1 001: CMP2 其他: 保留 注: 当AD16C6T_BDCFG寄存器中的 LOCKLVL位已被设置为锁定级别1, 则该位不可更改
Reserved	Bits 15-13	—	保留
BRK2PIS7P	Bit 12	RW	选择通道刹车PIS7极性 0: 刹车输入PIS7为高电平有效 1: 刹车输入PIS7为低电平有效 注: 当AD16C6T_BDCFG寄存器中的 LOCKLVL位已被设置为锁定级别1, 则该位不可更改
BRK2CMP1P	Bit 11	RW	选择通道刹车CMP1极性 0: 刹车输入CMP1为高电平有效 1: 刹车输入CMP1为低电平有效 注: 当AD16C6T_BDCFG寄存器中的

			LOCKLVL位已被设置为锁定级别1，则该位不可更改
BRK2CMP0P	Bit 10	RW	选择通道刹车CMP0极性 0: 刹车输入CMP0为高电平有效 1: 刹车输入CMP0为低电平有效 注：当AD16C6T_BDCFG寄存器中的LOCKLVL位已被设置为锁定级别1，则该位不可更改
BRK2INP	Bit 9	RW	选择通道刹车BKIN2极性 0: BKIN2引脚输入不反相 1: BKIN2引脚输入反相 注1：当AD16C6T_BDCFG寄存器中的LOCKLVL位已被设置为锁定级别1，则该位不可更改 注2：最终刹车有效电平需搭配AD16C6T_BDCFG寄存器中的BRK2P极性决定
Reserved	Bits 8-4	—	保留
BRK2PIS7EN	Bit 3	RW	通道刹车PIS7开启 PIS通道7输出与其他刹车来源做"或"运算 0: 刹车输入PIS7禁止 1: 刹车输入PIS7开启 注：当AD16C6T_BDCFG寄存器中的LOCKLVL位已被设置为锁定级别1，则该位不可更改
BRK2CMP1EN	Bit 2	RW	通道刹车CMP1开启 CMP1输出与其他刹车来源做"或"运算 0: 刹车输入CMP1禁止 1: 刹车输入CMP1开启 注：当AD16C6T_BDCFG寄存器中的LOCKLVL位已被设置为锁定级别1，则该位不可更改
BRK2CMP0EN	Bit 1	RW	通道刹车CMP0开启 CMP1输出与其他刹车来源做"或"运算 0: 刹车输入CMP0禁止 1: 刹车输入CMP0开启 注：当AD16C6T_BDCFG寄存器中的LOCKLVL位已被设置为锁定级别1，则该位不可更改

			可更改
BRK2INEN	Bit 0	RW	通道刹车BKIN2开启 BKIN2输出与其他刹车来源做"或"运算 0: 刹车输入BKIN2禁止 1: 刹车输入BKIN2开启 注: 当AD16C6T_BDCFG寄存器中的 LOCKLVL位已被设置为锁定级别1, 则该位不可更改

16. 6. 2. 32 触发信号选择寄存器 (AD16C6T_TGOSEL)

此控制寄存器可被两个地址共同存取

触发信号选择寄存器 (AD16C6T_TGOSEL)																															
偏移地址: 0x7C、0xBC																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										CH6U	CH5U	CH4U	CH3U	CH2U	CH1U	Reserved										CH6D	CH5D	CH4D	CH3D	CH2D	CH1D

Reserved	Bits 31-22	—	保留
CH6U	Bit 21	RW	递增计数下的CH6触发选择 0: 当计数器递增时, 禁止CH6输出比较事件(1T)输出到TRGOUT/TRGOUT2 1: 当计数器递增时, 开启CH6输出比较事件(1T)输出到TRGOUT/TRGOUT2
CH5U	Bit 20	RW	递增计数下的CH5触发选择 0: 当计数器递增时, 禁止CH5输出比较事件(1T)输出到TRGOUT/TRGOUT2 1: 当计数器递增时, 开启CH5输出比较事件(1T)输出到TRGOUT/TRGOUT2
CH4U	Bit 19	RW	递增计数下的CH4触发选择 0: 当计数器递增时, 禁止CH4输出比较事件(1T)输出到TRGOUT/TRGOUT2 1: 当计数器递增时, 开启CH4输出比较事件(1T)输出到TRGOUT/TRGOUT2
CH3U	Bit 18	RW	递增计数下的CH3触发选择 0: 当计数器递增时, 禁止CH3输出比较事件(1T)输出到TRGOUT/TRGOUT2 1: 当计数器递增时, 开启CH3输出比较事件

			(1T)输出到TRGOUT/TRGOUT2
CH2U	Bit 17	R/W	递增计数下的CH2触发选择 0: 当计数器递增时, 禁止CH2输出比较事件 (1T)输出到TRGOUT/TRGOUT2 1: 当计数器递增时, 开启CH2输出比较事件 (1T)输出到TRGOUT/TRGOUT2
CH1U	Bit 16	R/W	递增计数下的CH1触发选择 0: 当计数器递增时, 禁止CH1输出比较事件 (1T)输出到TRGOUT/TRGOUT2 1: 当计数器递增时, 开启CH1输出比较事件 (1T)输出到TRGOUT/TRGOUT2
Reserved	Bits 15-6	—	保留
CH6D	Bit 5	R/W	递减计数下的CH6触发选择 0: 当计数器递减时, 禁止CH6输出比较事件 (1T)输出到TRGOUT/TRGOUT2 1: 当计数器递减时, 开启CH6输出比较事件 (1T)输出到TRGOUT/TRGOUT2
CH5D	Bit 4	R/W	递减计数下的CH5触发选择 0: 当计数器递减时, 禁止CH5输出比较事件 (1T)输出到TRGOUT/TRGOUT2 1: 当计数器递减时, 开启CH5输出比较事件 (1T)输出到TRGOUT/TRGOUT2
CH4D	Bit 3	R/W	递减计数下的CH4触发选择 0: 当计数器递减时, 禁止CH4输出比较事件 (1T)输出到TRGOUT/TRGOUT2 1: 当计数器递减时, 开启CH4输出比较事件 (1T)输出到TRGOUT/TRGOUT2
CH3D	Bit 2	R/W	递减计数下的CH3触发选择 0: 当计数器递减时, 禁止CH3输出比较事件 (1T)输出到TRGOUT/TRGOUT2 1: 当计数器递减时, 开启CH3输出比较事件 (1T)输出到TRGOUT/TRGOUT2
CH2D	Bit 1	R/W	递减计数下的CH2触发选择 0: 当计数器递减时, 禁止CH2输出比较事件 (1T)输出到TRGOUT/TRGOUT2 1: 当计数器递减时, 开启CH2输出比较事件 (1T)输出到TRGOUT/TRGOUT2
CH1D	Bit 0	R/W	递减计数下的CH1触发选择

			0: 当计数器递减时, 禁止CH1输出比较事件(1T)输出到TRGOUT/TRGOUT2 1: 当计数器递减时, 开启CH1输出比较事件(1T)输出到TRGOUT/TRGOUT2
--	--	--	---

注: 此设定需要搭配 AD16C6T_CON2 寄存器的 MMSEL、MM2SEL 为多点触发模式使用。

16. 6. 2. 33 通道映射寄存器 (AD16C6T_CHRMP)

通道映射寄存器 (AD16C6T_CHRMP)																															
偏移地址: 0x80																															
复位值: 0x7654 3210																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH4NRMP				CH3NRMP				CH2NRMP				CH1NRMP				CH4RMP				CH3RMP				CH2RMP				CH1RMP<			

CH4NRMP	Bits 31-28	R/W	CH4N映射选择 参照CH1_RMP描述
CH3NRMP	Bits 27-24	R/W	CH3N映射选择 参照CH1_RMP描述
CH2NRMP	Bits 23-20	R/W	CH2N映射选择 参照CH1_RMP描述
CH1NRMP	Bits 19-16	R/W	CH1N映射选择 参照CH1_RMP描述
CH4RMP	Bits 15-12	R/W	CH4映射选择 参照CH1_RMP描述
CH3RMP	Bits 11-8	R/W	CH3映射选择 参照CH1_RMP描述
CH2RMP	Bits 7-4	R/W	CH2映射选择 参照CH1_RMP描述
CH1RMP	Bits 3-0	R/W	CH1映射选择 0000: AD16C6T_CH1 0001: AD16C6T_CH2 0010: AD16C6T_CH3 0011: AD16C6T_CH4 0100: AD16C6T_CH1N 0101: AD16C6T_CH2N 0110: AD16C6T_CH3N

			0111: AD16C6T_CH4N 其他: 保留 详细内容可参考引脚选择与内部连接表章节
--	--	--	--

16. 6. 2. 34 递减比较寄存器 1(AD16C6T_CCRF1)

递减比较寄存器 1(AD16C6T_CCRF1)																															
偏移地址: 0xC0																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																CCRF1															

Reserved	Bits 31-16	—	保留
CCRF1	Bits 15-0	R/W	递减比较数值 1 CCRF1 是比较寄存器的预装载值, 仅在 PWM 输出中心对齐模式下有效, 可用于递减计数时的比较值, 用于实现非对称 PWM 模式。 需设置 AD16C6T_CON1 寄存器中的 CCRFEN 位, 开启递减比较寄存器功能, 设置 DITHEN 位, 关闭抖动模式; 开启 AD16C6T_CHMR1 寄存器中的 CH1PEN 预装载功能, CCRF1 具备缓冲, 在 PWM 输出中心对齐模式下, 当发生递减计数更新事件后, 将预装载值载入到缓冲寄存器中。在递减计数过程中 AD16C6T_COUNT 的值会与 CCRF1 的值进行比较, 其结果反应在 CH1REF (递增计数过程中 AD16C6T_COUNT 的值与寄存器 AD16C6T_CCVAL1 的 CCRV1 值进行比较)。

16. 6. 2. 35 递减比较寄存器 2(AD16C6T_CCRF2)

递减比较寄存器 2(AD16C6T_CCRF2)																															
偏移地址: 0xC4																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																CCRF2															

Reserved	Bits 31-16	—	保留
CCRF2	Bits 15-0	R/W	递减比较数值 2 参照 CCRF1 描述, 需开启 AD16C6T_CHMR1 寄存器中的 CH2PEN 预装载功能

16. 6. 2. 36 递减比较寄存器 3(AD16C6T_CCRF3)

递减比较寄存器 3(AD16C6T_CCRF3)																															
偏移地址: 0xC8																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																CCRF3															

Reserved	Bits 31-16	—	保留
CCRF3	Bits 15-0	R/W	递减比较数值 3 参照 CCRF1 描述, 需开启 AD16C6T_CHMR2 寄存器中的 CH3PEN 预装载功能

第17章 通用定时器（GP16C4T0~2）

17.1 概述

芯片内部共有 3 个 16 位通用定时器（GP16C4T0~2），GP16C4T 包含一个 16 位自动重载计数器，该计数器由可配置的预分频器驱动。

通用定时器（GP16C4T）的用途广泛，可测量信号脉冲长度（输入捕获）或输出脉冲波形（比较输出、PWM）。

17.2 特性

- ◆ 16 位递增，递减，递增/递减自动加载计数器
- ◆ 16 位可编程预分频器，可对计数器工作时钟进行 1 到 65536 间的任意分频
- ◆ 多达四个独立通道
 - ◇ 输入捕获
 - ◇ 输出比较
 - ◇ PWM 输出（边沿与中心对齐模式）
 - ◇ 单脉冲输出模式
- ◆ 同步电路用于外部信号控制定时器及内部互联多个定时器
- ◆ 以下事件中产生中断/DMA：
 - ◇ 更新事件：计数器上溢/下溢，计数器初始化（通过软件或内/外部触发）
 - ◇ 触发事件（计数器起始、停止、初始化或内/外触发计数）
 - ◇ 输入捕获
 - ◇ 输出比较
- ◆ 支持增量（正交）编码及霍尔电路进行定位
- ◆ 触发输入可对外部时钟管理

17.3 结构框图

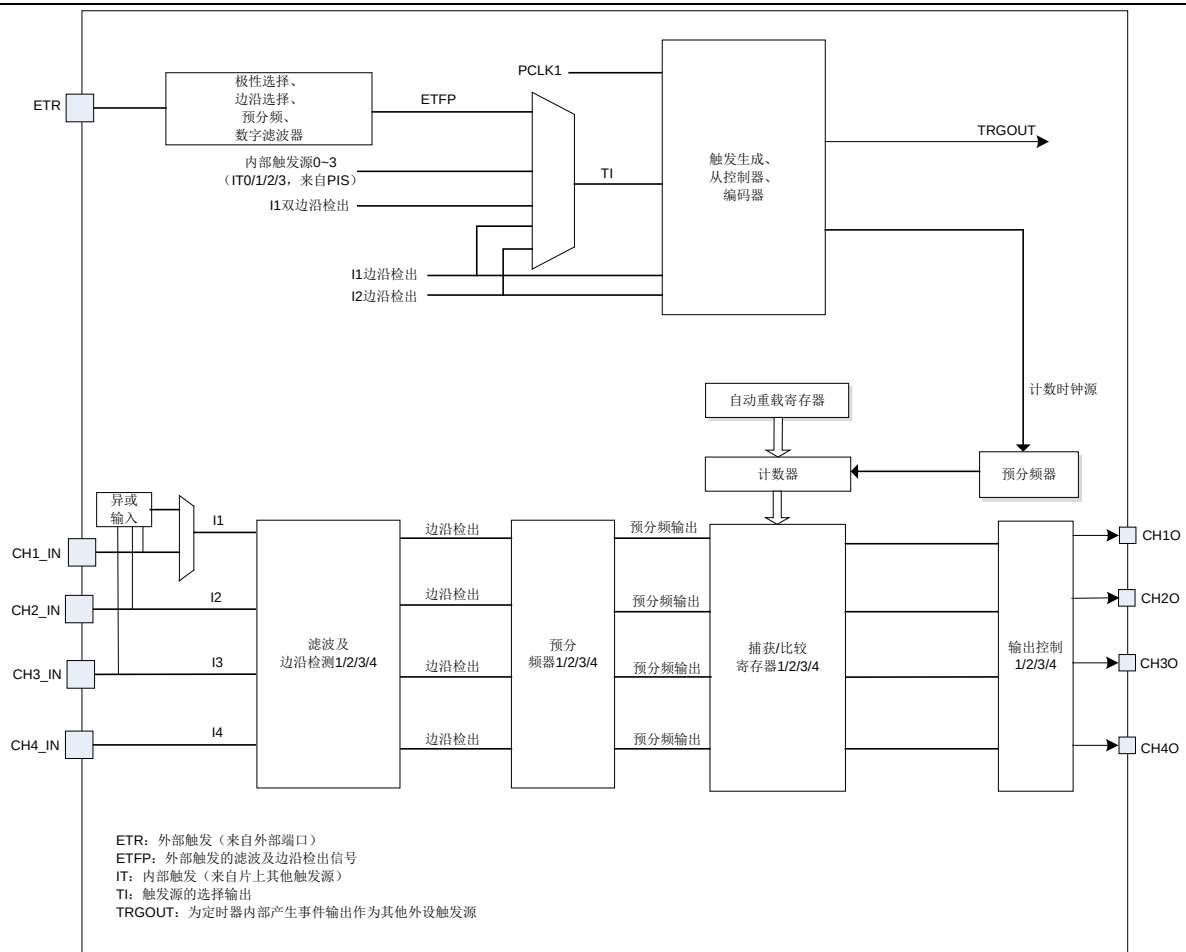


图 17-1 通用定时器结构框图

17.4 功能描述

17.4.1 预分频器

定时器包含一个 16-bit 的计数器（GP16C4T_COUNT），计数时钟由预分频寄存器（GP16C4T_PRES）进行分频。计数周期由自动重载计数器（GP16C4T_AR）设定。

自动重载寄存器（GP16C4T_AR）是一个可缓存的寄存器。当 GP16C4T_CON1 寄存器的 ARPEN 位复位时，GP16C4T_AR 寄存器重载功能失效，GP16C4T_AR 就是有效寄存器；ARPEN 置位时，GP16C4T_AR 寄存器具有重载功能，产生更新事件（UEV）时，加载值（GP16C4T_AR 寄存器值）更新到影子寄存器后才生效。

当 GP16C4T_CON1 寄存器中 DISUE 位为 0 时，计数器计数上溢（或递减下溢）时会产生更新事件（UEV）。同样，软件方式也可产生更新事件。GP16C4T_CON1 寄存器的 CNTEN 置位时，计数器开始计数。

注：计数器在 CNTEN 位置位 1 个时钟周期后开始计数。

预分频器可对定时器工作时钟进行 GP16C4T_PRES 寄存器值+1 次分频。由于 GP16C4T_PRES 是一个可重载寄存器，因此，定时器工作时可对该寄存器进行修改，修改值在下次更新事件（UEV）后有效。

下图给出了定时器运行过程中改变预分频值时计数器的计数情况。

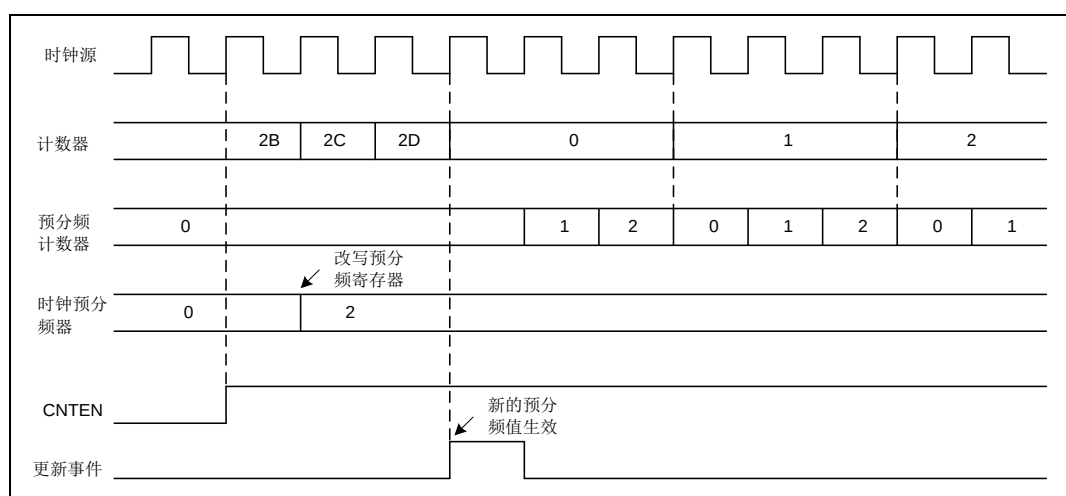


图 17-2 预分频值计数时序图

17.4.2 时钟源

计数器工作时钟可以选择内部时钟 (INT_CLK)、外部时钟源 1 (I1、I2、I3、I4)、外部时钟源 2 (ETR)，内部触发输入 (IT1、IT2、IT3、IT4)

17.4.2.1 内部时钟源 (INT_CLK)

若从模式控制器被关闭 (GP16C4T_SMCON 寄存器内, SMODS= "000"), 则 CNTEN, GP16C4T_CON1.DIRSEL 与 GP16C4T_SGE.SGU 位为实际控制位, 这些位只能软件修改 (SGU 位除外, 仍由硬件自动清除)。一旦 CNTEN 位被写为'1', 预分频器就由内部 INT_CLK 提供时钟。

下图给出了通常模式下控制电路和递增计数的情况, 没有分频。

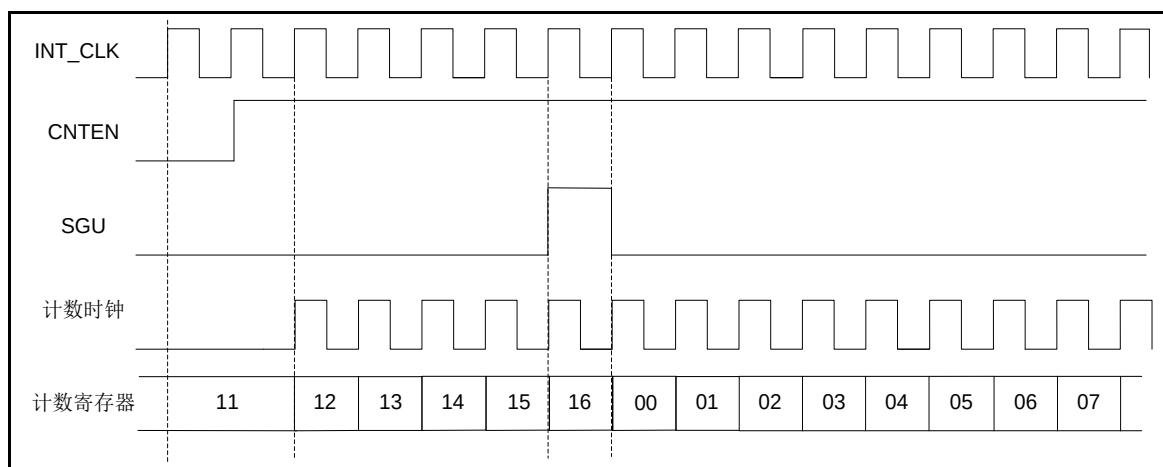


图 17-3 采用内部时钟计数

17.4.2.2 外部时钟源 1

GP16C4T_SMCON 寄存器的 SMODS= "111"时, 可选择外部时钟源 1。计数器可根据选定的上升沿或下降沿计数。

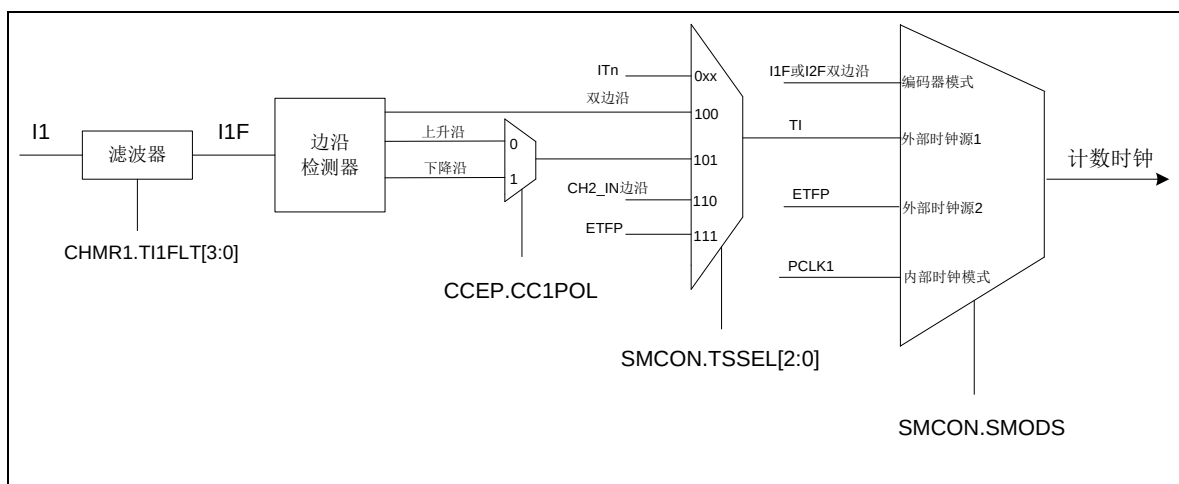


图 17-4 I1 外部时钟连接

配置计数器为外部时钟源 1, 步骤如下:

1. GP16C4T_SMCON 寄存器中 SMODS = "111", 配置定时器外部时钟模式 1。
2. 设置 GP16C4T_SMCON 寄存器中的 TSSEL 选择外部时钟源。
3. 如外部时钟源为 I1, 可配置 GP16C4T_CHMR1 寄存器 CC1SSEL = "01", 配置通道 1 检测 I1 输入的上升沿; 设置 GP16C4T_CCEP 寄存器中 CC1POL = '0', 选择极性为上升沿。
4. 写 GP16C4T_CHMR1 寄存器的 I1FLT<3: 0>位, 配置输入滤波器时间 (若没有滤波器需求, 维持 I1FLT = "0000")。
5. GP16C4T_CON1 寄存器中 CNTEN = '1', 使能计数器。

当 I1 上出现一次上升沿时, 计数器计数一次且 TRGIF 标志位置位。

17.4.2.3 外部时钟源 2

置位 GP16C4T_SMCON 寄存器的 ECM2EN 位选定外部时钟源 2。

计数器可对外部触发输入 ETR 进行上升沿或下降沿计数。

下图给出了外部输入输入模块的概况。

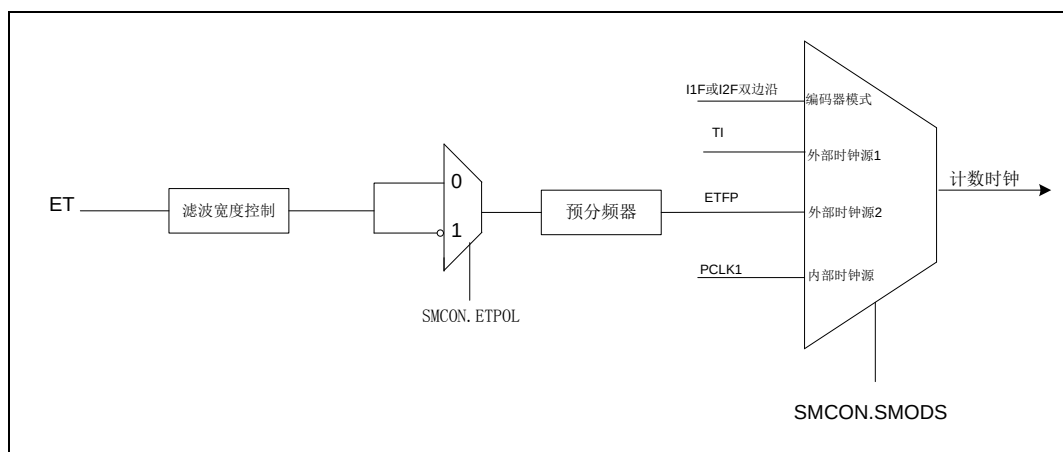


图 17-5 外部触发输入模块

配置计数器为外部时钟源 2, 配置过程如下:

1. 设置 GP16C4T_SMCON 寄存器的 ETFLT<3: 0>, 配置输入滤波时间。
2. 设置 GP16C4T_SMCON 寄存器中 ETPSEL<1: 0>, 设置预分频器。
3. 设置 GP16C4T_SMCON 寄存器中 ETPOL, 检测 ETR 引脚上升沿或下降沿。
4. 设置 GP16C4T_SMCON 寄存器中 ECM2EN = '1', 使能外部时钟模式 2。
5. 设置 GP16C4T_CON1 寄存器的 CNTEN = '1', 使能计数器。

计数器每两个上升沿计一次数。

17.4.2.4 内部触发输入 (ITn)

当 GP16C4T_SMCON 寄存器的 SMODS = "111", 选定内部触发模式。计数器根据选定的内部输入端的上升或下降沿计数。

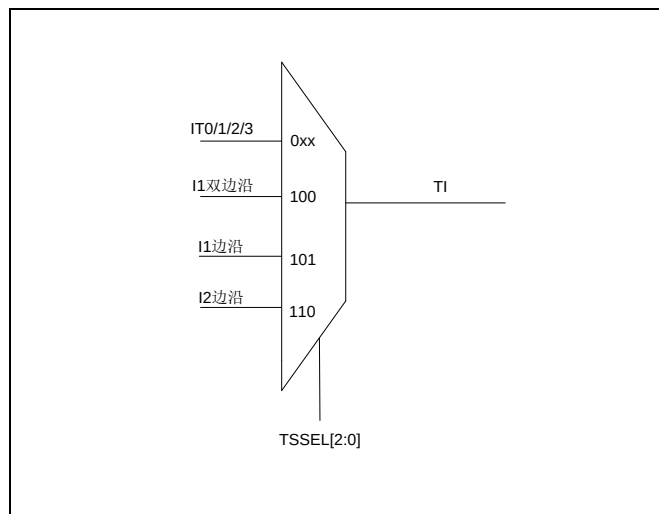


图 17-6 ITn 外部时钟连接

配置计数器在 ITn 输入端的上升沿递增计数，步骤如下：

1. GP16C4T_SMCON 寄存器中 SMODS = "111", 配置外部时钟模式 1。
2. GP16C4T_SMCON 寄存器的 TSSEL = "0xx", 选定 ITn 作为触发输入源。
3. GP16C4T_CON1 寄存器的 CNTEN = '1', 使能计数器。

ITn 产生上升沿时，计数器计数一次。ITn 上升沿与实际时钟间的延时，取决于 ITn 输入的再同步电路，一般为 2~3 个定时器模块时钟周期。

17.4.3 计数器模式

17.4.3.1 递增计数模式

在递增模式下，当 GP16C4T_REPAR 寄存器值为 0 时，计数器从 0 开始递增，直至 GP16C4T_AR 寄存器值；然后从 0 重新开始计数并产生一个更新事件（UEV）。当 GP16C4T_REPAR 寄存器不为 0 时，则在 GP16C4T_REPAR+1 次计数后产生更新事件。

当有更新事件（UEV）产生时，预装载寄存器会更新到影子寄存器，更新标志位（GP16C4T_RIF 寄存器中的 UEVTIF 位）置位（取决于 UERSEL 位）：

- ◇ 更新 GP16C4T_REPAR 寄存器的值到影子寄存器
- ◇ 更新 GP16C4T_AR 寄存器的值到影子寄存器
- ◇ 更新 GP16C4T_PRES 寄存器的值到影子寄存器

下图为 GP16C4T_REPAR=0x0，GP16C4T_AR = 0x16，预分频设为 2 分频时的计数器时序。

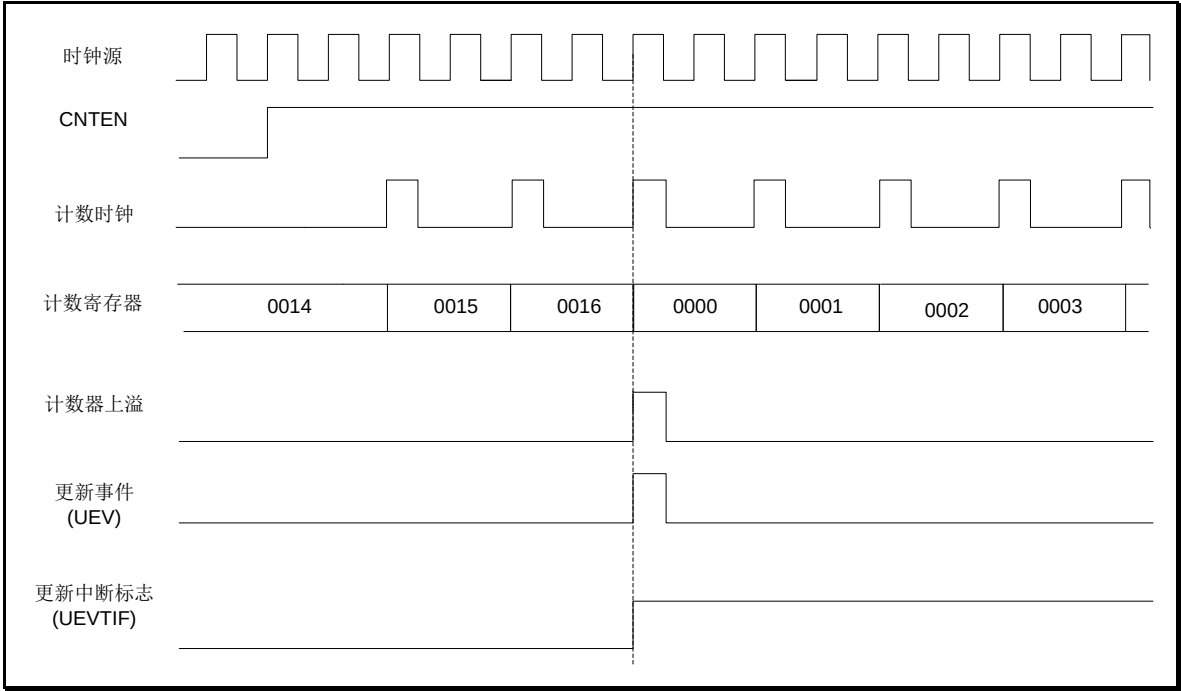


图 17-7 计数器递增计数时序图

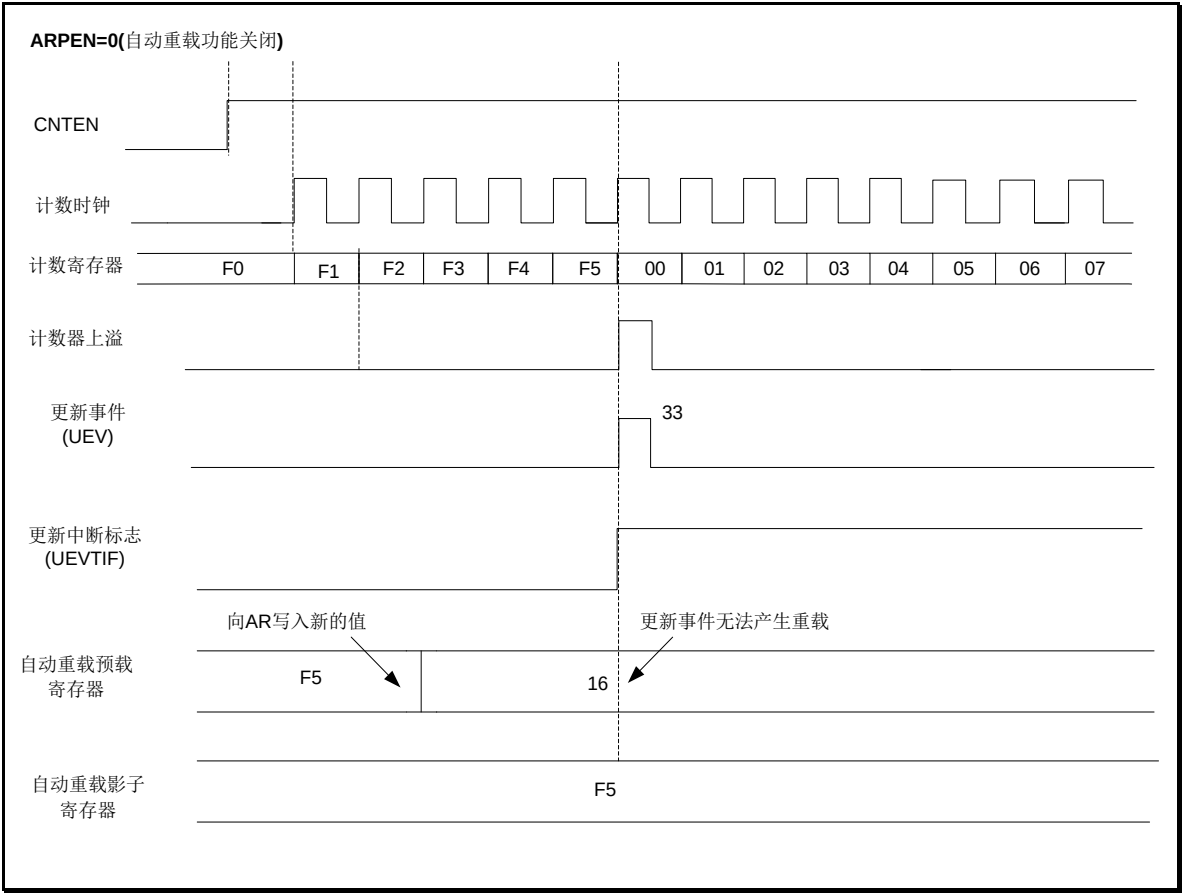


图 17-8 当 ARPEN=0 时计数器时序图

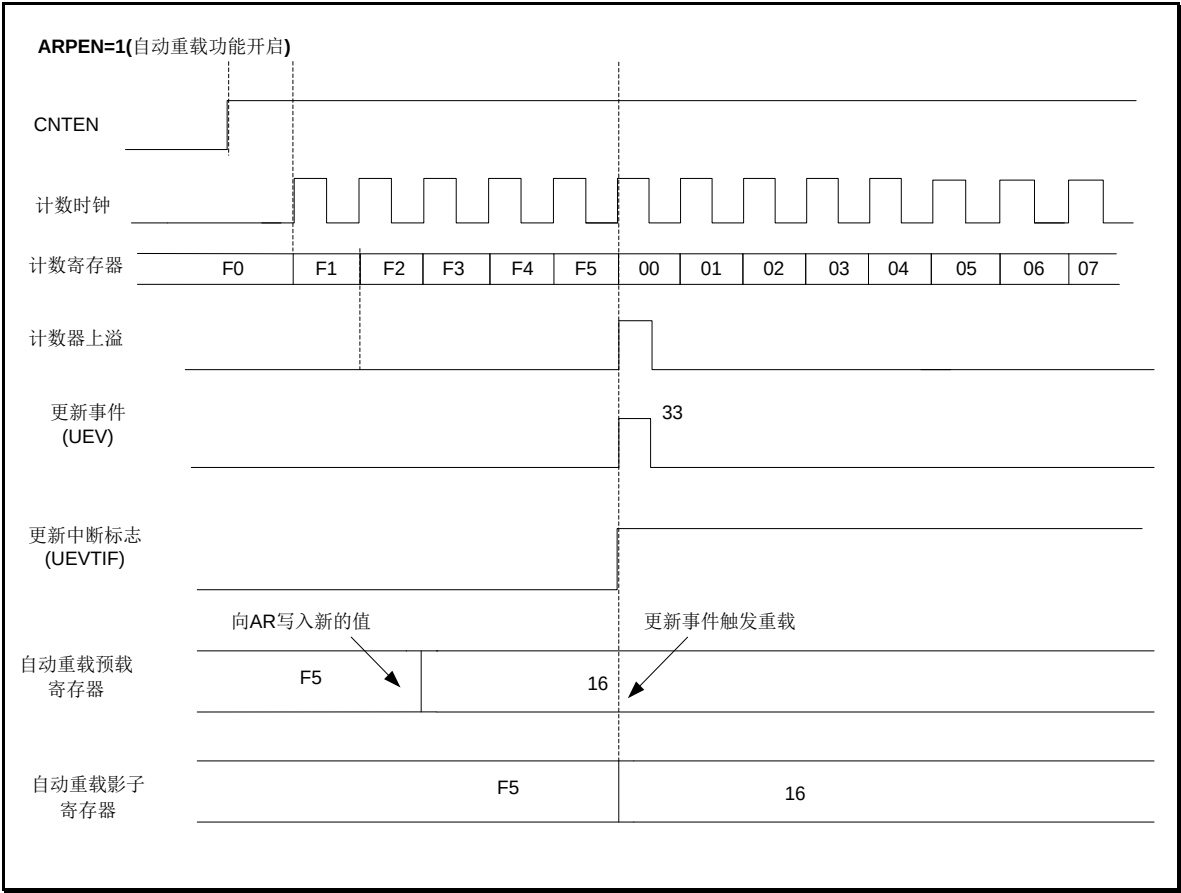


图 17-9 当 ARPEN=1 时计数器时序图

17.4.3.2 递减计数模式

在递减模式下，当 GP16C4T_REPAR 寄存器值为 0 时，计数器从 GP16C4T_AR 寄存器值开始递减至 0；然后重复递减并产生更新事件（UEV）。当 GP16C4T_REPAR 寄存器不为 0 时，则在 GP16C4T_REPAR+1 次后产生更新事件。

置位 GP16C4T_SGE 寄存器中的 SGU 位（通过软件或使用从机模式控制器）同样会产生更新事件。

当有更新事件（UEV）产生时，预载寄存器值会更新到影子寄存器，更新标志位（GP16C4T_RIF 寄存器中的 UEVTIF 位）置位（取决于 UERSEL 位）。

下图为 GP16C4T_REPAR=0x0，GP16C4T_AR = 0x27，预分频设为 1 分频时的计数器时序。

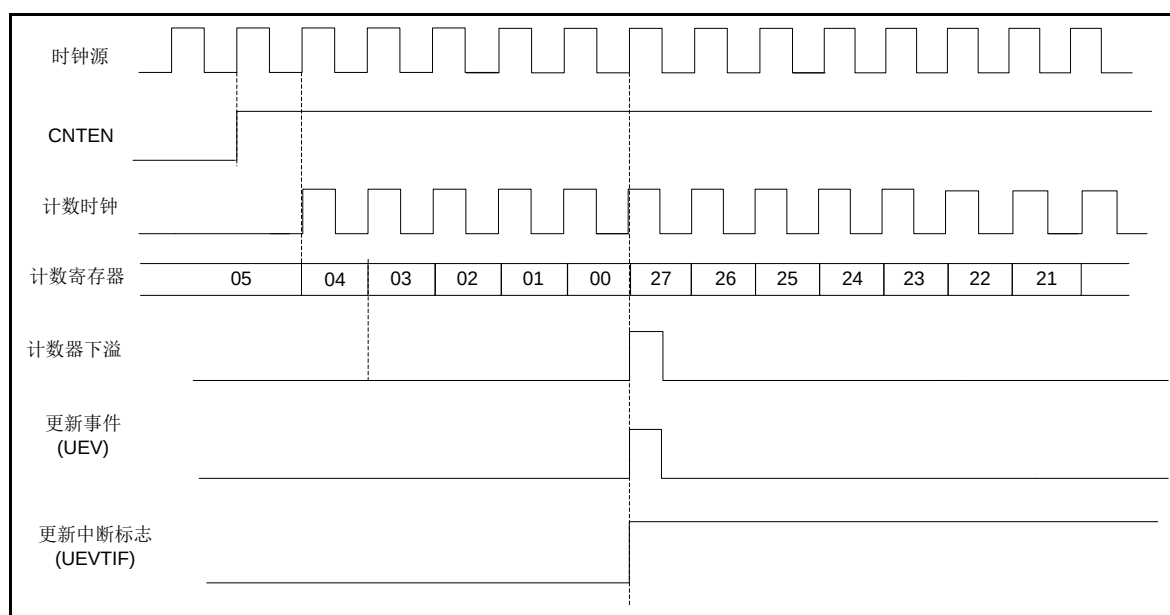


图 17-10 计数器递减计数时序图

17.4.3.3 中心对齐模式

当 GP16C4T_CON1 寄存器的 CMSEL 位的值不等于"00"时,定时器工作在中心对齐模式。定时器配置为中心对齐模式时,计数器先从 0 开始递增至 GP16C4T_AR 寄存器值-1,并产生更新事件 (UEV);在接着计数器从 GP16C4T_AR 寄存器值递减至 1,并产生下溢事件。如此循环计数。计数器递减计数(中心对称模式 1, CMSEL="01")、计数器递增计数(中心对称模式 2, CMSEL="10")、计数器递增和递减计数(中心对称模式 3, CMSEL="11")模式下,当通道配置为输出模式时,其输出比较中断标志位会置位。

在中心对齐模式下, GP16C4T_CON1 寄存器的 DIRSEL 位无法进行写操作,该位由硬件自动更新指示当前计数方向。

计数上溢、下溢或者置位 GP16C4T_EGR 寄存器的 SGU 位(通过软件或使用从模式控制器)都会产生更新事件。因此,计数器和预分频器都会从 0 开始计数。

软件置位 GP16C4T_CON1 寄存器中的 DISUE 位可关闭更新事件 (UEV) 的产生。更新事件 (UEV) 关闭时,可避免向预载寄存器写新值时更新影子寄存器。DISUE 复位之前都不会产生更新事件。而在正常产生更新事件时,计数器仍然从 0 开始,同样预分频计数也是从 0 开始(但预分频值没有改变)。此外,若置位 GP16C4T_CON1 寄存器中的 UERSEL 位(更新请求选择),置位 SGU 位时会产生一次更新事件 (UEV),但 UEVTIF 标志位不会置位(因此,不会触发中断或 DMA 请求)。这就避免了在捕获事件时,清除计数器值时产生更新和捕获中断。

当有更新事件 (UEV) 产生时,预载寄存器值会更新到影子寄存器,更新标志位 (GP16C4T_RIF 寄存器中的 UEVTIF 位)置位(取决于 UERSEL 位)。

注:若更新源为计数上溢,自动重载会在计数器重载前更新。因此,下一周期即为预期值(计数器载入新值)。

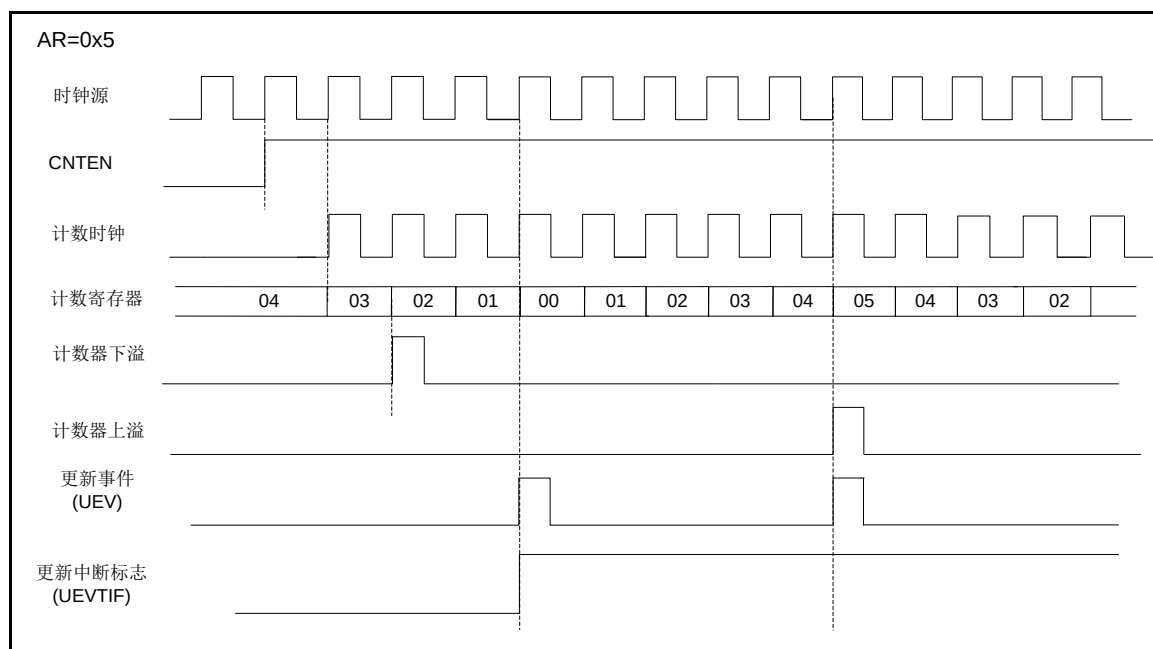


图 17-11 增减计数器时序图

17.4.4 捕获/比较通道

以下各图为捕获/比较通道的概述。

输入电路对 I_n 输入端的信号进行采样，产生一个经过滤波的信号 I_nF 。之后，一个可极性选择的边沿检测器产生 I_n 边沿检出信号，该信号可作为从模式控制器的触发输入或作为捕获控制命令，且信号经过分频后进入捕获寄存器。

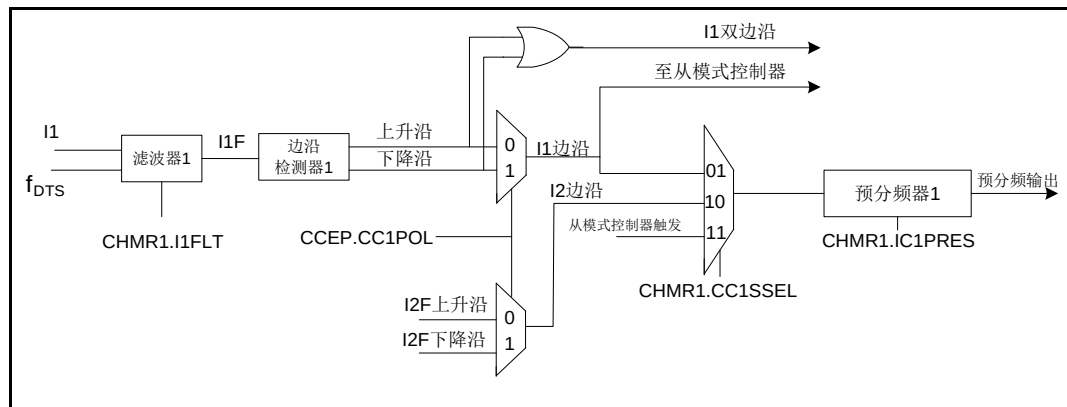


图 17-12 捕获/比较通道

输出部分产生一个中间波形（高有效）作为基准，在输出末端决定最终输出信号的极性。

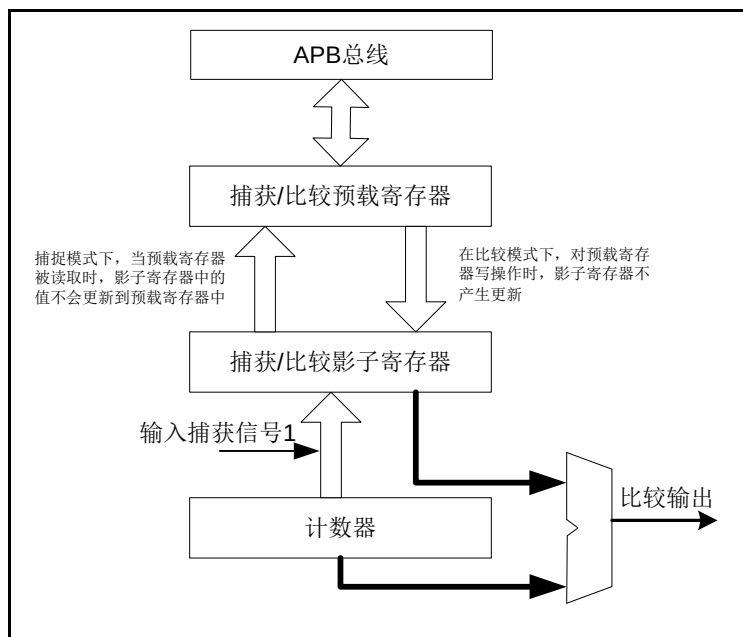


图 17-13 捕获/比较通道 1 主电路

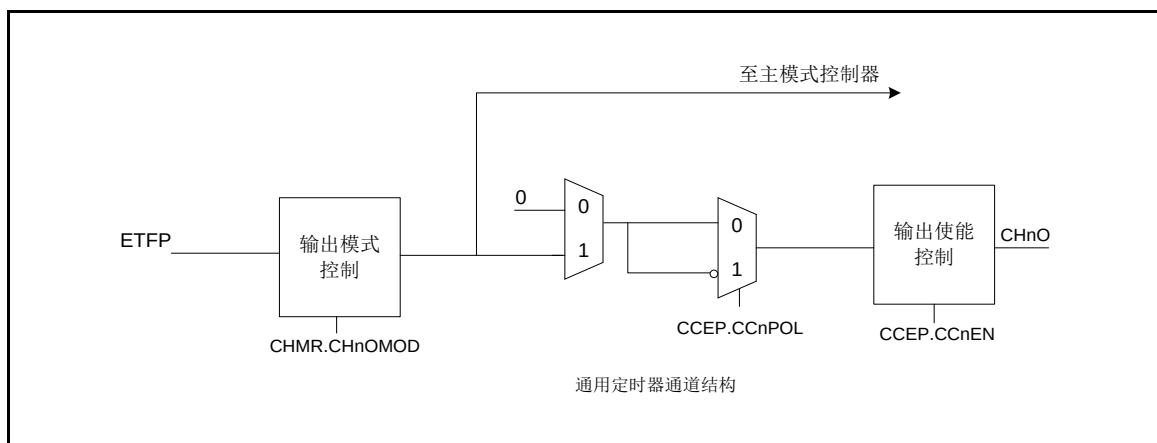


图 17-14 捕获/比较通道的输出阶段

17.4.5 输入捕获模式

在输入捕获模式下，当检测到 In 上相应信号变化时，计数器的值就会被锁存到捕获/比较寄存器（GP16C4T_CCVALn）寄存器中。当捕获发生时，相应的 CHnCCIF 标志位（GP16C4T_RIF）会置位，同时会触发中断或 DMA（如果使能）请求。若发生捕获时，CHnCCIF 标志位已经置位，则过捕获 CHnOVIF 标志位（GP16C4T_RIF）置位。软件写 '0' 或读取 GP16C4T_CCVALn 寄存器中的捕获值都可以复位 CHnCCIF 标志位。对 CHnOVIF 位写 '0' 可清空该标志位。

以下为以 I1 输入上升沿作为捕获输入时的流程：

1. 选择有效输入端：GP16C4T_CCVAL1 必须连接到 I1 输入端，因此需将 GP16C4T_CHMR1 寄存器中的 CC1SSEL 位写 "01"。只要 CC1SSEL 不为 "00"，通道被配置为输入且 GP16C4T_CCVAL1 寄存器为只读。
2. 根据定时器连接的输入信号，配置输入滤波器的持续时间。当输入信号翻转时，前 5 个内部时钟信号是不稳定的，因此必须配置滤波器的时间大于 5 个时钟周期。当 I1 检测到新的电平，连续 8 次采样可确认电平变化有效。
3. 选择 I1 通道的有效边沿变换。GP16C4T_CCEP 寄存器中的 CC1POL 写 '0'（上升沿）。
4. 配置输入预分频器。
5. 置位 GP16C4T_CCEP 寄存器中的 CC1EN 位，使能捕获计数器的值到捕获寄存器。
6. 如有需要，置位 GP16C4T_IER 寄存器中的 CC1IT 位，使能中断请求。置位 GP16C4T_DMAEN 寄存器中的 CC1DMA 位，使能 DMA 请求。

当发生输入捕获时：

1. 有效边沿产生，GP16C4T_CCVAL1 寄存器获取计数器的值。
2. CH1CCIF 标志位置位（中断标志）。若至少 2 个连续的捕获发生，但标志位没有及时清除，则 CH1OVIF 也会置位。
3. 中断的产生取决于 GP16C4T_IVS 寄存器的 CC1IT 位。
4. DMA 请求的产生取决于 CC1DMA。

为了处理捕获溢出，建议在读出捕获溢出标志位之前先读取捕获数据。这可以避免丢失在读出捕获标志位之后与读取数据之前可能重复产生的捕获信息。

注：捕获中断请求可由软件设置 GP16C4T_SGE 寄存器中 SGCCnE 位产生。

17.4.5.1 PWM输入模式

测量 I1 上 PWM 信号的周期和占空比的过程如下：

1. 为 GP16C4T_CCVAL1 选择有效的输入：GP16C4T_CHMR1 寄存器中的 CC1SSEL 位写"01"（I1 被选择）。
2. 为 I1 边沿检出选择有效的极性（用于捕获数据到 GP16C4T_CCVAL1 寄存器和计数器清零）：CC1POL 位写'0'（上升沿有效）。
3. 为 GP16C4T_CCVAL2 选择有效输入：GP16C4T_CHMR1 寄存器的 CC2SSEL 位写"10"（I1 被选择）。
4. 为 I1 边沿检出选择有效极性（用于捕获数据到 GP16C4T_CCVAL2）：CC2POL 位写'1'（下降沿有效）。
5. 选择有效的触发输入：GP16C4T_SMCON 寄存器的 TSSEL 位写"101"（I1 边沿检出被选择）。
6. 配置从机模式控制器为复位模式：GP16C4T_SMCON 寄存器的 SMODS 位写"100"。
7. 使能捕获：GP16C4T_CCEP 寄存器的 CC1EN 位和 CC2EN 位写'1'。

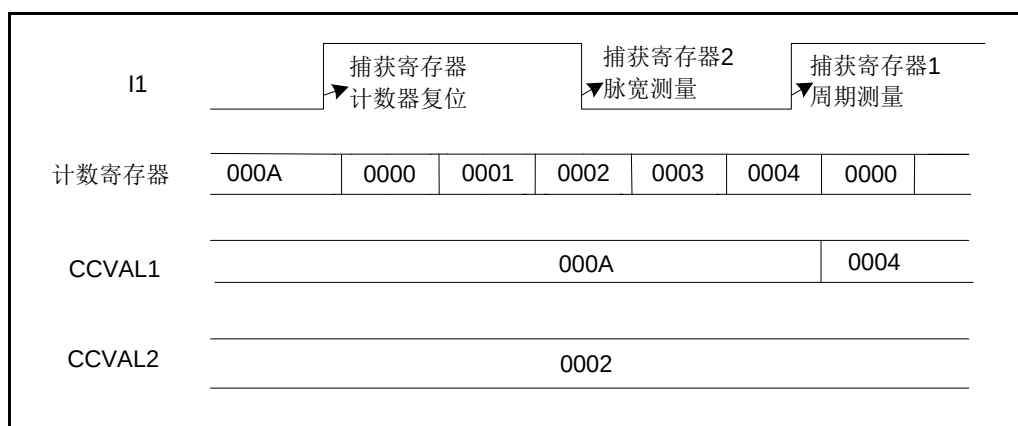


图 17-15 PWM 输入模式时序

17.4.6 PWM模式

脉宽调制模式可以产生一个 GP16C4T_AR 寄存器值确定频率，GP16C4T_CCVALn 寄存器值确定占空比的信号。

每个通道的 PWM 模式是相互独立的（每个 CHnO 输出一个 PWM），GP16C4T_CHMRn 寄存器的 CHnOMOD 位写"110"（PWM 模式 1）或写"111"（PWM 模式 2）。必须通过置位 GP16C4T_CHMRn 寄存器的 CHnOPREN 位来使能相应的预载寄存器，最后还需置位 GP16C4T_CON1 寄存器的 ARPEN 位来使能自动重装预载功能。

只有当更新事件发生时预载寄存器中的值才会传到影子寄存器，因此，在使能计数前，必须通过置位 GP16C4T_SGE 寄存器的 SGU 位来初始化所有的寄存器。

CHnO 的极性可通过 GP16C4T_CCEP 寄存器的 CCnPOL 位配置，有效极性可配置为高或低。CHnO 的输出使能由 CCnEN 位（GP16C4T_CCEP 寄存器）控制。

在 PWM 模式（1 或 2）中，GP16C4T_COUNT 和 GP16C4T_CCVALn 寄存器的值会持续的比较，确定 $GP16C4T_CCVALn \leq GP16C4T_COUNT$ 或 $GP16C4T_CCVALn > GP16C4T_COUNT$ （取决于计数器的计数方向）。

定时器产生 PWM 波形是边沿对齐或中心对齐，取决于 GP16C4T_CON1 寄存器的 CMSEL 位。

17.4.6.1 PWM边沿对齐模式

1. 递增计数配置

当 GP16C4T_CON1 寄存器的 DIRSEL 位为低时，计数器递增计数。

下图给出了 GP16C4T_AR = 8 时的边沿对齐 PWM 波形。

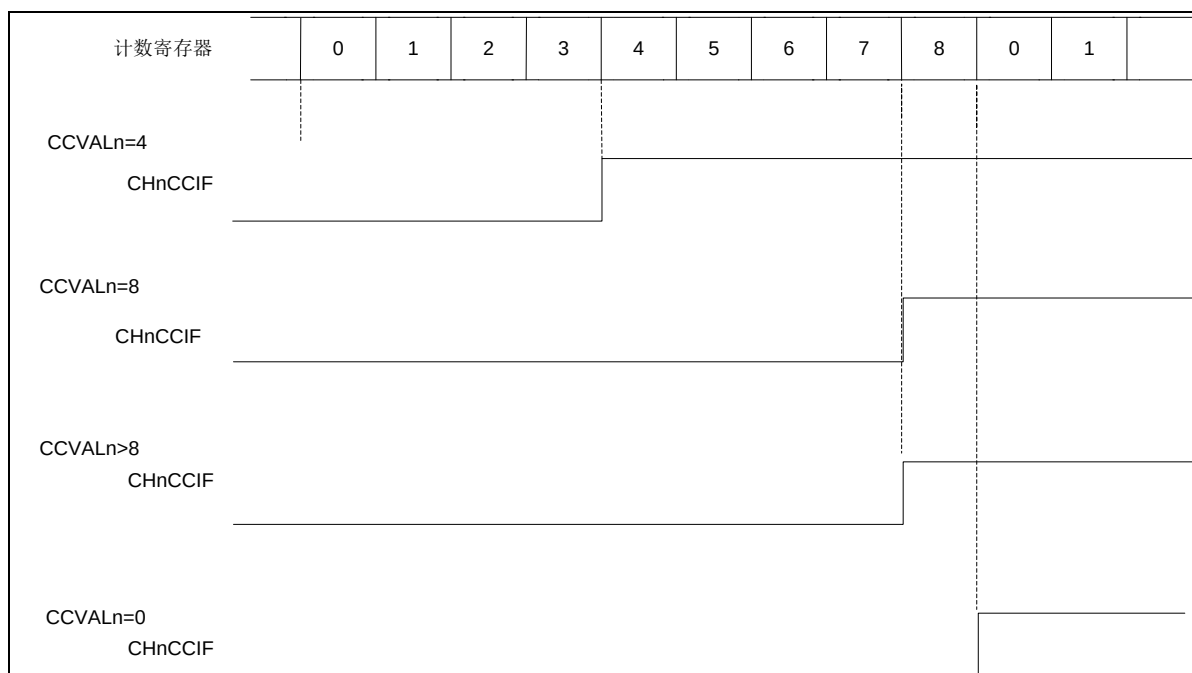


图 17-16 边沿对齐 PWM 波形（AR=8）

2. 递减计数配置

当 GP16C4T_CON1 寄存器的 DIRSEL 位为高时，计数器递减计数。

17.4.6.2 PWM中心对齐模式

当 GP16C4T_CON1 寄存器中的 CMSEL 位不为"00"时，中心对齐模式有效。计数器是递增、递减计数分别置比较标志位或递增递减都置比较标志位，取决于 CMSEL 位的配置。GP16C4T_CON1 寄存器的方向位（DIRSEL）是由硬件更新的，软件无法修改。

下图为中心对齐方式产生的 PWM 波形的例子：

- ◇ GP16C4T_AR=0x3F, GP16C4T_CCVALn=0x3D
- ◇ PWM 模式 1
 - GP16C4T_CON1 寄存器的 CMSEL= "01", 在中心对齐模式 1 下，计数器向下计数时会置位比较标志位。

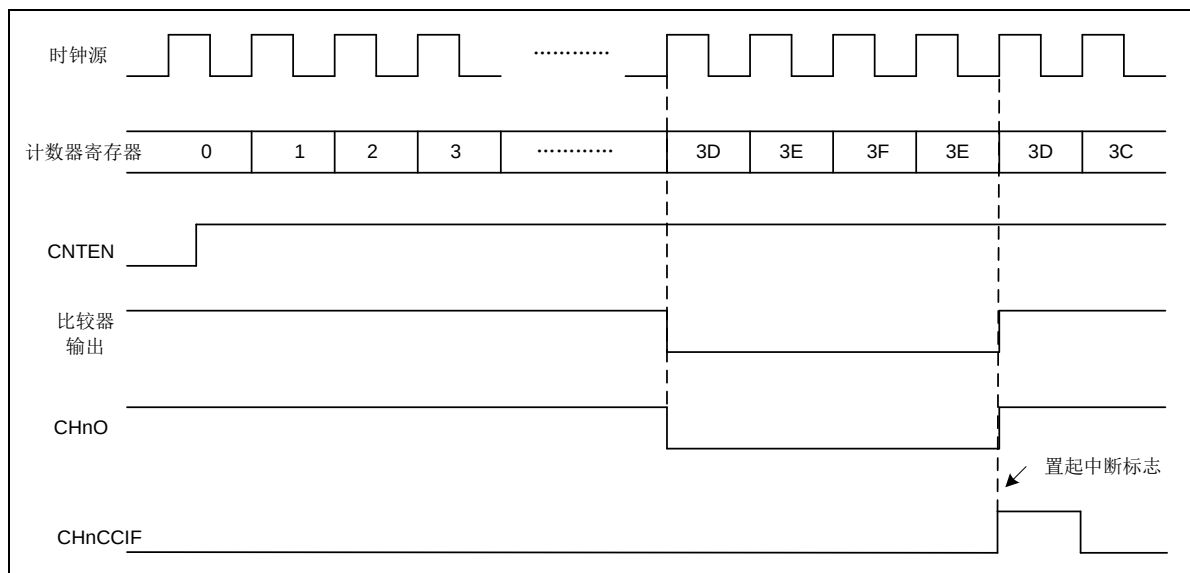


图 17-17 中心对齐 PWM 波形 (AR=0x3F)

中心对齐模式的使用技巧：

- ◇ 当进入中心对齐模式后，当前递增或递减配置生效。计数器递增或递减计数取决于 GP16C4T_CON1 寄存器的 DIRSEL 位的值。
- ◇ 计数器在中心对齐模式下运行时，对计数器写操作可能导致不可预知的结果。特别是：
 - 若向计数器入的值大于自动重载值 (GP16C4T_COUNT>GP16C4T_AR)，计数方向不更新。例如，如果计数器递增计数，写入值后仍旧递增计数。
 - 若向计数器写 0 或 GP16C4T_AR 中的重载值，则计数方向更新，但并没有产生 UEV。
- ◇ 使用中心对齐模式最安全的方式是计数器开始计数前通过软件产生更新事件（置位 GP16C4T_SGE 寄存器中的 SGU 位）且在计数器运行过程中不对计数器写值。

17.4.7 输出比较模式

该功能用于控制输出波形或指示周期时间的结束。

当捕获/比较寄存器和计数器值匹配时，输出比较功能：

- ◇ 输出比较模式（GP16C4T_CHMRn 寄存器中的 CHnOMOD 位）和输出极性（GP16C4T_CCEP 寄存器中的 CCnPOL 位）的配置值输出到对应的引脚上。
- ◇ 中断状态寄存器中的标志位置位（GP16C4T_RIF 寄存器的 CHnCCIF 位）。
- ◇ 若相应的中断掩码置位，则产生中断（GP16C4T_IER 寄存器的 CCnIT 位）。
- ◇ 若相应的使能位置位（GP16C4T_DMAEN 寄存器的 CCnDMA 位，GP16C4T_CON2 寄存器的 CCDMASEL 位用于 DMA 请求的选择），则发送 DMA 请求。

GP16C4T_CHMRn 寄存器中 CHnOPREN 位的值可决定 GP16C4T_CCVALn 寄存器是否带有预装载寄存器。

在输出比较模式中，更新事件 UEV 对 CHnO 的输出没有影响。计时分辨率为计数器的一次计数。输出比较模式同样可以用来输出单个脉冲（单脉冲模式）。

输出比较的配置过程：

1. 选定计数器时钟（内部，外部，预分频）。
2. GP16C4T_AR 与 GP16C4T_CCVALn 寄存器中写入预期值。
3. 若需要产生中断请求，置位 GP16C4T_IER 寄存器中的 CCnIT 位。
4. 选择输出模式，例如：
 - CHnOMOD = "011"，当 CNTV 与 CCRVn 匹配时，CHnO 输出翻转。
 - CHnOPREN = '0'，关闭预载寄存器。
 - CCnPOL = '0'，选择有效极性为高。
 - CCnEN = '1'，使能输出。
5. GP16C4T_CON1 寄存器中的 CNTEN 位置位，使能计数器。

通过配置 GP16C4T_CHMR1 寄存器的 CHnOPREN 位可将 GP16C4T_CCVALn 配置为是否带预装载寄存器。通过软件方式，GP16C4T_CCVALn 寄存器的值可随时更新控制输出波形。

17.4.7.1 外部事件清除比较输出

ETFP 输入端（GP16C4T_CHMRn 寄存器的 CHnOCLREN 位写'1'）上的高电平，可将给定通道的比较输出信号拉低。在下次更新事件（UEV）发生前，比较输出会一直保持为低。该功能只能应用在输出比较和 PWM 模式中，强制输出模式中不起作用。

ETR 信号可以接到电流控制比较器的输出端。该例中，ETR 须按如下流程配置：

1. 外部触发预分频器应该关闭：GP16C4T_SMCON 寄存器的 ETPSEL<1: 0>位应该写"00"
2. 外部时钟源 2 关闭：GP16C4T_SMCON 寄存器的 ECM2EN 位写'0'
3. 外部触发极性（ETPOL）和外部触发滤波器（ETFLT）可根据用户需要配置

17.4.8 单脉冲模式

单脉冲模式下，响应某个触发后，定时器的输出通道在可配置的延迟时间后产生一个脉冲，脉冲长度可配。从模式控制器可控制计数器的启动。脉冲波形可在输出比较模式和 PWM 模式下产生。置位 GP16C4T_CON1 寄存器的 SPMEN 位可选择单脉冲模式。计数器会在下次更新事件 UEV 产生时自动停止。

只有比较值不同于计数器初始值时，单脉冲才可以正确的产生。计数器开始计数前（定时器等待触发），必须如下配置：

- ◇ 递增计数： $CNT < CCVALn \leq AR$ （特别地， $0 < CCVALn$ ）
- ◇ 递减计数： $CNT > CCVALn$

基于 PWM 模式设置单脉冲输出波形的步骤如下：

- ◇ 设置 GP16C4T_CHMRn 寄存器的 CHnOMOD 位，选择 PWM 模式 1 或 2；
- ◇ 设置 GP16C4T_CCEP 寄存器的 CCnPOL 位，选择通道端口 CHnO 的输出极性；
- ◇ 设置 GP16C4T_CON1 寄存器的 DIRSEL, CMSEL, SPMEN 位，配置为递增或递减计数，PWM 普通波形模式，单脉冲模式使能；
- ◇ 设置 GP16C4T_CHMR1 寄存器的 CH1OPREN =1，GP16C4T_CON1 寄存器的 ARPEN =1，使能比较寄存器和计数重载寄存器的缓冲功能（也可以根据实际情况不使能缓冲）；
- ◇ 设置 GP16C4T_CCVALn 寄存器和 GP16C4T_AR 寄存器，配置单脉冲输出延时和脉宽时间；
- ◇ 设置 GP16C4T_SGE 寄存器的 SGU=1 来产生一个更新事件；
- ◇ 设置 GP16C4T_CON1 寄存器的 CNTEN=1 来启动计数器，也可以在触发模式下，通过外部触发输入信号来触发硬件自动设置 CNTEN=1。

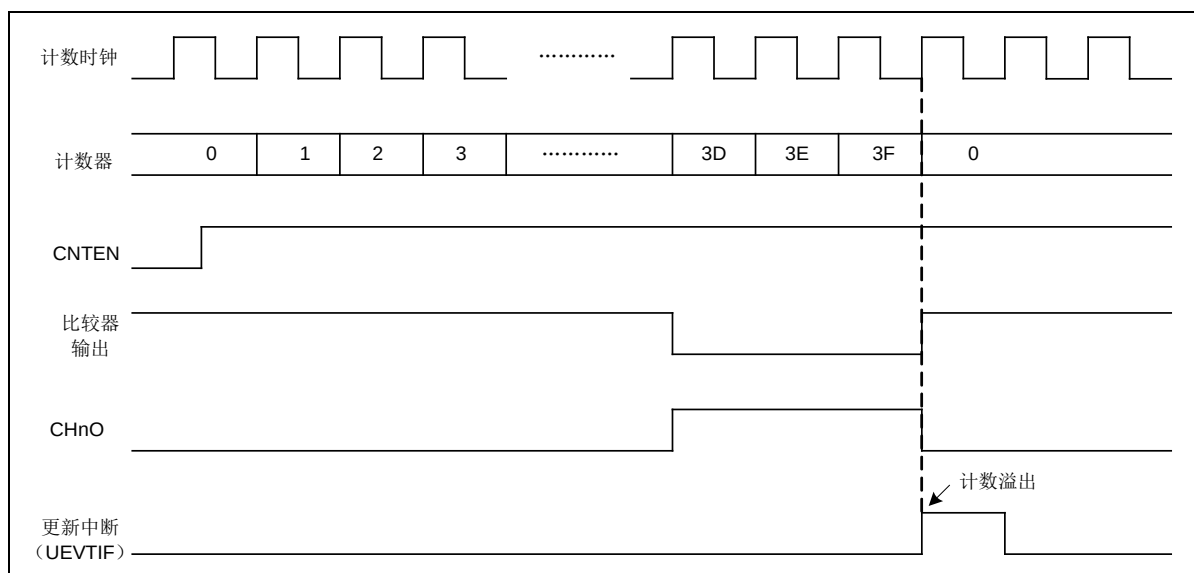


图 17-18 单脉冲模式

17.4.9 编码器接口模式

编码器接口模式的三种配置：若计数器只根据 I2 上的边沿计数，则 GP16C4T_SMCON 寄存器中的 SMODS = "001"；若计数器只根据 I1 上的边沿计数，则 GP16C4T_SMCON 寄存器中的 SMODS = "010"；若计数器同时根据 I1 和 I2 上的边沿计数，则 GP16C4T_SMCON 寄存器中的 SMODS = "011"。

配置 GP16C4T_CCEP 寄存器中的 CC1POL 和 CC2POL 位的值可选择 I1 和 I2 的极性。如果需要，也可以配置输入滤波器。

CH1_IN 和 CH2_IN 端口作为增量编码器的接口。当计数器使能时，计数器根据 I1 或 I2 上滤波后的有效电平变化时钟计数。I1 和 I2 滤波后的有效信号顺序会产生计数脉冲及方向信号。计数器是递增或递减计数由信号的跳变顺序决定，GP16C4T_CON1 寄存器中的 DIRSEL 计数方向位由自动硬件更新。

编码器接口模式的工作方式类似于一个带有方向选择的外部时钟。计数器在 0 到 GP16C4T_AR 寄存器中的自动重载值之间连续计数。因此，必须在开始计数前配置 GP16C4T_AR 寄存器。同样的，捕获器、预分频器、重复计数器、触发输出的特性正常工作。设定编码模式和选择外部时钟源 2 不兼容，不可以同时选择。

该模式下，计数器会根据增量式编码器的速度和方向自动修改，计数器的值反应的是编码器的位置。计数方向对应着连接传感器的旋转方向。

下表列出了所有的可能组合，假设 I1 和 I2 不同时变换。

有效边沿	有效边沿相对信号的电平(I1 滤波信号对应 I2,I2 滤波信号对应 I1)	I1 滤波信号边沿		I2 滤波信号边沿	
		上升	下降	上升	下降
仅在 I1 计数	高	下降	上升	不计数	不计数
	低	上升	下降	不计数	不计数
仅在 I2 计数	高	不计数	不计数	上升	下降
	低	不计数	不计数	下降	上升
在 I1 和 I2 上计数	高	下降	上升	上升	下降
	低	上升	下降	下降	上升

表 17-1 计数方向与编码器信号的关系

外部增量编码器可直接与 MCU 连接，无需外部逻辑接口逻辑。而比较器通常用于将编码器的差分输出转换为数字信号，这极大地增加了抗噪声能力。编码器的第三个输出端用于指示机械零点，可以连接到外部中断输入引脚以触发一次计数复位。

下图给出了计数器操作的例子，给出了计数信号了产生和方向控制。同样给出了选择双边沿时，输入抖动如何被补偿。输入抖动可能发生在传感器靠近切换点处。

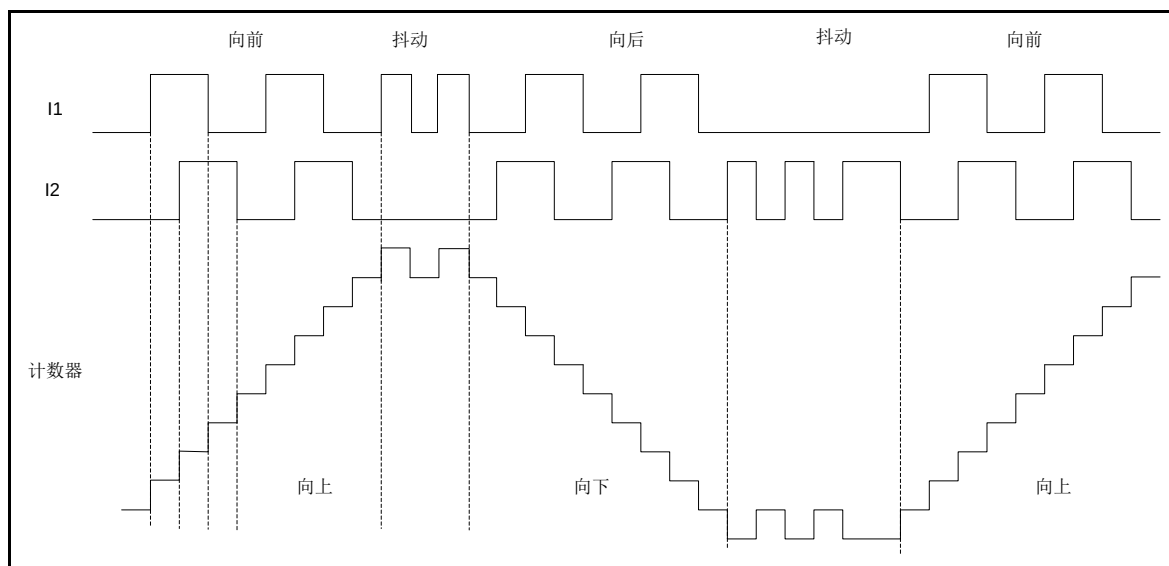


图 17-19 编码器接口模式下的计数操作

下图给出了计数器在 I1 滤波信号极性反相时的计数过程（除了 CC1POL = '1'，其他配置与上面一致）

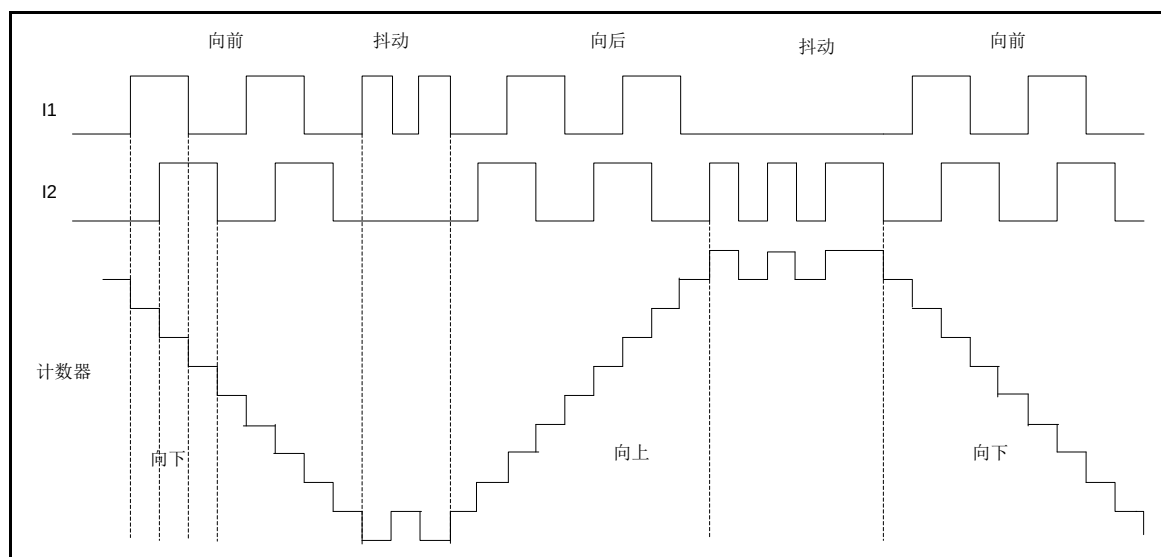


图 17-20 滤波后极性反相时编码器接口

当配置为编码器接口模式时，定时器可提供传感器的当前位置信息。配置一个额外定时器为捕获模式，用于测量两个编码器事件的间隔，根据间隔时长获取动态信息（速度、加速度、减速度）。编码器用于指示机械零点的输出就是此用处。根据编码器两个事件间隔，可以周期性的读取计数器的值。如果允许，可以将计数器值锁存到第三个输入捕获寄存器（捕获信号必须是周期性的且可由其它定时器产生）。条件允许时，可通过实时时钟产生 DMA 请求的方式读取计数器值。

17.4.10 输入异或功能

通过 GP16C4T_CON2 寄存器中 I1FSEL 位, 可将 CH1_IN、CH2_IN 和 CH3_IN 三个输入引脚进行异或 (XOR) 逻辑后, 连接到通道 1 的输入滤波器。

异或逻辑输出可用于定时器的所有输入功能, 如触发或输入捕获。

17.4.11 定时器和外部触发的同步

GP16C4T 定时器可在多种模式下与外部触发同步: 复位模式、门控模式及触发模式。

17.4.11.1 复位模式

计数器及其预分频器可以在响应触发输入事件时重新初始化。此外, 若 GP16C4T_CON1 寄存器的 UERSEL 位为低时会产生一次更新事件 UEV。所有预载寄存器 (GP16C4T_AR, GP16C4T_CCVALn) 都会因更新事件 UEV 而被更新。

在下面例子中, I1 输入端的上升沿让递增计数被清空:

- ◇ 配置通道 1 上检测 I1 上的上升沿。配置输入滤波周期 (本例无需滤波器, 故 I1FLT = "0000")。触发捕获分频器没有使用, 无需配置。CC1SSEL 位只选择输入捕获源, GP16C4T_CHMR1 寄存器中 CC1SSEL = "01"。GP16C4T_CCEP 寄存器中 CC1POL = 0 以确定极性 (只检测上升沿)。
- ◇ 定时器配置为复位模式: GP16C4T_SMCON 寄存器中 SMODS = "100"。选择 I1 作为输入源: GP16C4T_SMCON 寄存器中 TSSEL = "101"。
- ◇ 启动计数器: GP16C4T_CON1 寄存器中 CNTEN = '1'。

计数器依据内部时钟开始计数, 正常计数直到 I1 上出现上升沿。当 I1 上出现上升沿时, 计数器会被清零且从 0 重新开始计数。同时, 标志位置位 (GP16C4T_RIF 寄存器中 TRGIF 位), 如果中断及 DMA 使能 (取决于 GP16C4T_IER 寄存器中的 TRGIT 和 GP16C4T_DMAEN 的 TRGDMA 位), 会发送中断及 DMA 请求。

下图给出了当自动重载寄存器 GP16C4T_AR = 0x36 时的信号变化。由于 I1 输入的再同步电路, I1 上的上升沿和计数器实际复位之间会存在延时 (包含 2~3 个模块时钟周期的同步延时)。

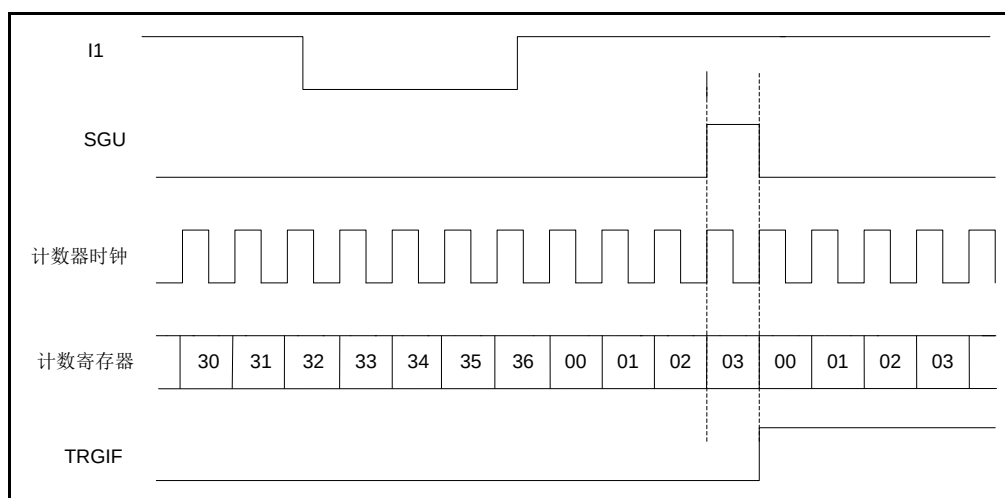


图 17-21 复位模式控制电路

17.4.11.2 门控模式

计数器根据选中的输入电平被使能。

下面的例子中，计数器只在 I1 输入为低电平时才递增计数：

- ◇ 配置通道 1 在 I1 上检测低电平。配置输入滤波周期（本例不需要滤波器，I1FLT = "0000"）。触发捕获分频器没有使用，无需配置。GP16C4T_CHMR1 寄存器中的 CC1SSEL = "01"，选择输入捕获源。GP16C4T_CCEP 寄存器中 CC1POL = '1'，确认极性（只检测低电平）。
- ◇ 配置定时器为门控模式：GP16C4T_SMCON 寄存器中 SMODS = "101"。选择 I1 作为输入源：GP16C4T_SMCON 寄存器中 TSSEL = "101"。
- ◇ 使能计数器：GP16C4T_CON1 寄存器中 CNTEN = '1'（门控模式中，如果 CNTEN = '0'，无论触发输入为何电平，计数器都不会启动）。

只要 I1 为低电平，计数器依据内部时钟开始计数，一旦 I1 为高则停止计数。由于 I1 输入端再同步电路的原因，I1 上出现上升沿和计数器实际停止之间会有一定的延时。

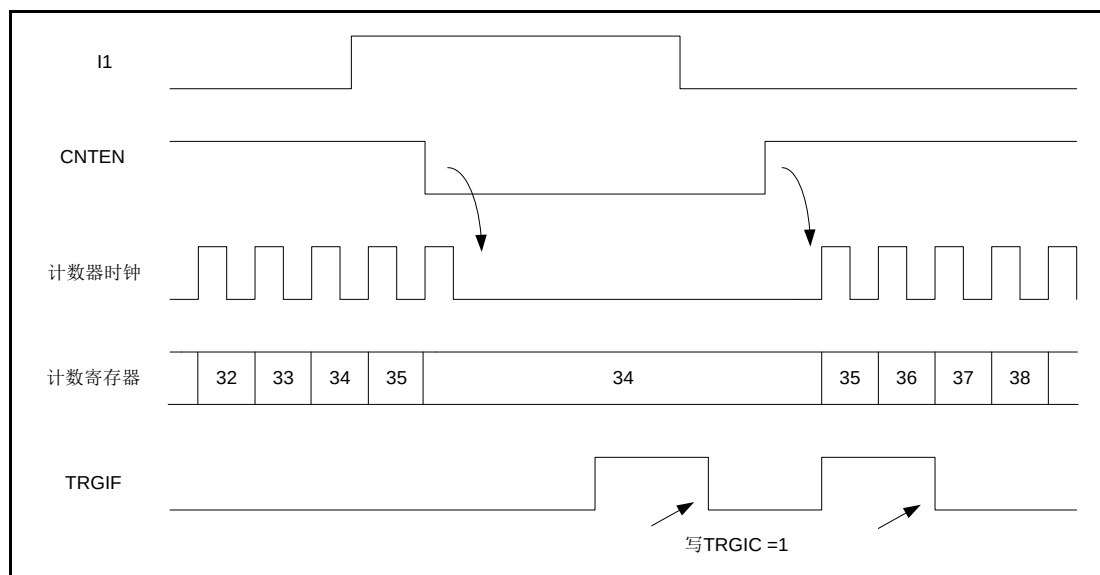


图 17-22 门控模式控制电路

17.4.11.3 触发模式

输入端选中的事件可以使能计数器。

下面的例子中，I2 输入端上的上升沿可以启动递增计数：

- ◇ 配置通道 2 可以检测 I2 上的上升沿。配置滤波时间（本例不需要滤波，I2FLT = "0000"）。触发捕获分频器没有使用，无需配置。GP16C4T_CHMR1 寄存器中 CC2SSEL = "01"，用于选择捕获源。GP16C4T_CCEP 寄存器中 CC2POL = '1'，确认极性（只检测低电平）。
 - ◇ 配置定时器为触发模式：GP16C4T_SMCON 寄存器中 SMODS = "110"。GP16C4T_SMCON 寄存器中 TSSEL = "110"，用于选择输入源。
- I2 上出现上升沿时，计数器开始依据内部时钟计数并置位 TRGIF 标志位。

由于 I2 输入的再同步原因, I2 上出现上升沿和计数器实际停止之间会有一定的延时。

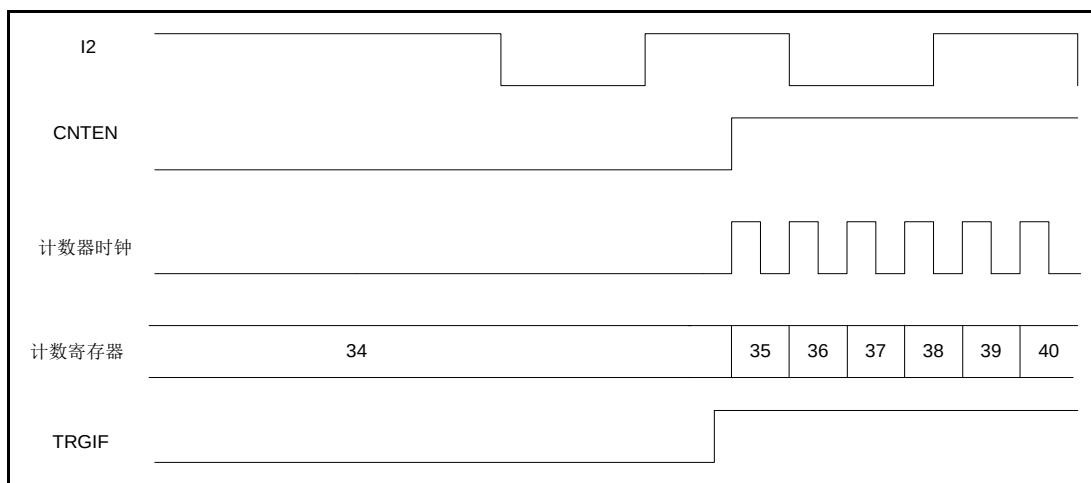


图 17-23 触发模式控制电路

17.4.11.4 选择外部时钟源 2 的触发模式

外部时钟源 2 可和其他模式一起使用 (除编码模式)。ETR 信号可作为外部时钟输入, 另一个输入可选择为触发输入 (复位模式、门控模式或触发模式)。不推荐用 GP16C4T_SMCON 寄存器的 TSSEL 位选择 ETR 作为 TI。

下面的例子中, 一旦 I1 上出现上升沿时, 计数器会依据 ETR 信号的每个上升沿递增计数。

- ◇ 通过 GP16C4T_SMCON 寄存器, 配置外部触发输入电路, 过程如下:

ETFLT = "000": 无滤波

ETPSEL = "00": 禁止分频

ETPOL = '0': 检测 ETR 的上升沿, ECM2EN = '1'使能外部时钟模式 2

- ◇ 配置通道 1 检测 I 的上升沿, 过程如下:

I1FLT = "0000": 无滤波。

触发捕获分频器没有使用, 无需配置。

GP16C4T_CHMR1 寄存器中 CC1SSEL = "01"选择输入捕获源, GP16C4T_CCEP 寄存器的 CC1POL = '0'确认极性 (只检测上升沿)。

- ◇ 配置定时器为触发模式: GP16C4T_SMCON 寄存器中 SMODS = "110"。

GP16C4T_SMCON 寄存器中 TSSEL = "101"选择 I1 作为输入源。

I1 上出现上升沿时, 计数器使能且 TRGIF 标志位置位, 然后计数器根据 ETR 上的上升沿开始计数。

由于 ETR 输入再同步电路的原因, ETR 信号的上升沿和实际计数器的复位会有延时。

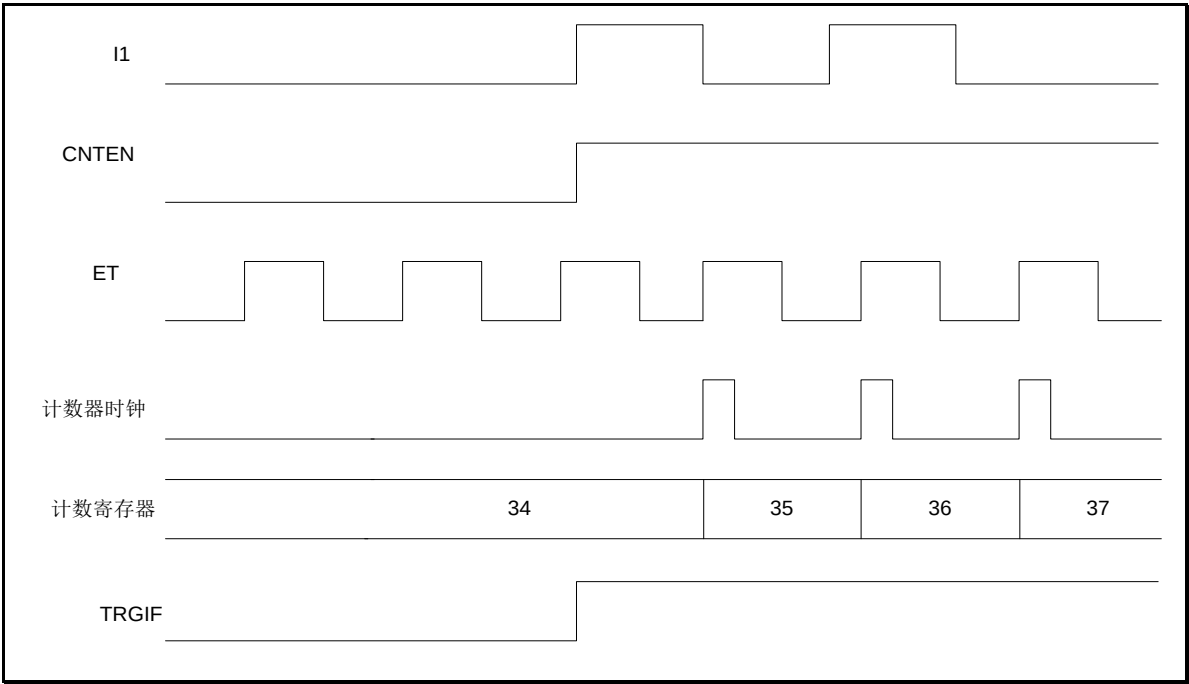


图 17-24 外部时钟源 2+触发模式下的控制电路

17. 4. 12 调试模式

当微控制器进入调试模式（CPU 内核停止），GP16C4T 计数器可被设置为停止计数。

17.5 特殊功能寄存器

17.5.1 寄存器列表

GP16C4T 寄存器列表		
名称	偏移地址	描述
GP16C4T_CON1	000 _H	控制寄存器 1
GP16C4T_CON2	004 _H	控制寄存器 2
GP16C4T_SMCON	008 _H	从模式控制寄存器
GP16C4T_IER	00C _H	中断使能寄存器
GP16C4T_IDR	010 _H	中断禁止寄存器
GP16C4T_IVS	014 _H	中断有效状态寄存器
GP16C4T_RIF	018 _H	原始中断标志寄存器
GP16C4T_IFM	01C _H	中断标志屏蔽状态寄存器
GP16C4T_ICR	020 _H	中断清零寄存器
GP16C4T_SGE	024 _H	软件生成事件计算器
GP16C4T_CHMR1	028 _H	捕获/比较模式寄存器 1
GP16C4T_CHMR2	02C _H	捕获/比较模式寄存器 2
GP16C4T_CCEP	030 _H	捕获/比较使能寄存器
GP16C4T_COUNT	034 _H	计数器寄存器
GP16C4T_PRES	038 _H	预分频寄存器
GP16C4T_AR	03C _H	自动重载寄存器
GP16C4T_CCVAL1	044 _H	捕获/比较寄存器 1
GP16C4T_CCVAL2	048 _H	捕获/比较寄存器 2
GP16C4T_CCVAL3	04C _H	捕获/比较寄存器 3
GP16C4T_CCVAL4	050 _H	捕获/比较寄存器 4
GP16C4T_DMAEN	058 _H	DMA 使能寄存器

17.5.2 寄存器描述

17.5.2.1 控制寄存器 1 (GP16C4T_CON1)

控制寄存器 1（GP16C4T_CON1）																																
偏移地址：000 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																DBGSEL	Reserved	OCCISS				OCCISP	DFCKSEL		ARPEN	CMSEL		DIRSEL	SPMEN	USERSEL	DISUE	CNTEN

Reserved	Bit 31-16	-	保留，必须保持为复位值
DBGSEL	Bit 15	R/W	调试时通道输出状态选择 0: 通道输出为高阻态 1: 通道输出保持
Reserved	Bit 14	-	保留，必须保持为复位值
OCCISS	Bit 13-11	R/W	通道输出清除内部触发源选择 000: 无效 001: 清除触发源通道 0 010: 清除触发源通道 1 011: 清除触发源通道 2 100: 清除触发源通道 3 其他: 预留，不允许编程该值
OCCISP	Bit 10	R/W	通道输出清除内部触发源极性选择 0: 低电平有效 (OCCISS 设置为无效时该位设 0) 1: 高电平有效
DFCKSEL	Bit 9-8	R/W	时钟分频 该时钟分频为定时器 (INT_CLK) 频率与死区时间生成器和数字滤波器 (ETR, In) 采用的死区时间和采样时钟 (tDTS) 之间的分频比。 00: $t_{DTS}=t_{INT_CLK}$ 01: $t_{DTS}=2*t_{INT_CLK}$ 10: $t_{DTS}=4*t_{INT_CLK}$ 11: 保留
ARPEN	Bit 7	R/W	自动重载预载使能 发生更新事件时，将设定的值载入至缓冲寄存器中 0: GP16C4T_AR 寄存器未缓冲 1: GP16C4T_AR 寄存器被装入缓冲器
CMSEL	Bit 6-5	R/W	中心对齐模式选择 00: 边沿对齐模式。计数器根据方向为 (DIRSEL) 来向上或向下计数。 01: 中心对齐模式 1。计数器以交替方式向上或

			向下计数。仅当计数器向下计数时，配置为输出的通道（GP16C4T_CHMRn 寄存器中 CCnSSEL=00）的输出比较中断标志位才会被设置。 10: 中心对齐模式 2。计数器以交替方式向上或向下计数。仅当计数器向上计数时，配置为输出的通道（GP16C4T_CHMRn 寄存器中 CCnSSEL=00）的输出比较中断标志位才会被设置。 11: 中心对齐模式 3。计数器以交替方式向上或向下计数。当计数器向上或向下计数时，配置为输出的通道（GP16C4T_CHMRn 寄存器中 CCnSSEL=00）的输出比较中断标志位均会被设置。 注意：当计数器使能时（CNTEN=1），不允许从边沿对齐模式转换到中心对齐模式
DIRSEL	Bit 4	RW	计数器方向选择 0: 计数器向上计数 1: 计数器向下计数 注意：当计数器配置为中心对齐模式或者编码器模式时，该位只读。
SPMEN	Bit 3	RW	单脉冲模式 0: 当发生更新事件时，计数器不停止。 1: 当发生下一次更新事件（CNTEN 位清零）时，计数器停止。
UERSEL	Bit 2	RW	更新请求源 该位由软件置 1 或清零，来选择 UEV 事件源。 0: 如果更新中断或 DMA 请求使能，则下述任一事件都可产生更新中断或 DMA 请求： – 计数器上溢/下溢 – 设置 SGU 位 – 从模式控制器产生的更新 1: 如果更新中断或 DMA 请求使能，仅计数器上溢/下溢才能产生更新中断或 DMA 请求中断
DISUE	Bit 1	RW	更新禁止 该位由软件置 1 或清零来使能/禁止 UEV 事件的产生。 0: UEV 使能。更新事件（UEV）由下列任一事件产生： – 计数器上溢/下溢 – 设置 SGU 位 – 从模式控制器产生的更新 缓冲寄存器载入他们的预载值。 1: UEV 禁止。不产生更新事件，影子寄存器保持

			他们的值（ARRV, PSCV, CCRVx）。如果从模式控制器接收到硬件复位，计数器和预分频器将被重新初始化。
CNTEN	Bit 0	R/W	计数器使能 0: 计数器禁止 1: 计数器使能 注意：如果软件设置了 CNTEN 位，外部时钟，门控模式和编码器模式才能工作。触发模式可由硬件自动设置 CNTEN 位。

17.5.2.2 控制寄存器 2 (GP16C4T_CON2)

控制寄存器 2（GP16C4T_CON2）																																
偏移地址：004 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																								I1FSEL	TRGOSEL			CCDMASEL	Reserved			

Reserved	Bit 31-8	-	保留, 必须保持为复位值
I1FSEL	Bit 7	RW	I1 选择 0: GP16C4T_CH1 引脚与 I1 输入连接 1: GP16C4T_CH1, CH2 和 CH3 引脚与 I1 输入 (XOR) 连接
TRGOSEL	Bit 6-4	RW	选择主模式 TRGOUT 输出 为同步 (TRGOUT), 该位可选择在主模式下发送至从计数器的信息。 000: 复位 -GP16C4T_SGE 寄存器中的 SGU 位被采用为触发输出 (TRGOUT)。如果复位由触发输入生成 (从模式控制器配置复位模式), 则相较于实际复位, TRGOUT 上的信号将会延迟。 001: 使能 -计数器使能信号被用作触发输出 (TRGOUT)。在从计数器使能的情况下, 该设置用于在同一时间启动数次或者用来控制窗口。计数器使能信号是由 CNTEN 控制位与配置为门控模式的触发输入进行 OR 操作产生的。当计数器使能信号由触发输入控制, TRGOUT 上会产生延迟, 除非被选为主/从模式 (参考 GP16C4T_SMCON 寄存器中的 MSCFG 位的描述)。 010: 更新 -更新事件被选为触发输出 (TRGOUT)。举例, 主计数器可被用作从计数器的预分频器。 011: 比较脉冲 -一旦捕获或者比较匹配发生, 当 CH1CCIF 标志位被置起 (即便已为高电平), 触发输出会发送一个正脉冲。 100: 比较 - 通道 1 比较输出信号用作触发输出 TRGOUT 101: 比较 - 通道 2 比较输出信号用作触发输出 TRGOUT 110: 比较 - 通道 3 比较输出信号用作触发输出 TRGOUT

			111: 比较- 通道 4 比较输出信号用作触发输出 TRGOUT
CCDMASEL	Bit 3	R/W	捕获/比较 DMA 选择 0: 当 CCn 事件发生, 会发出 CCn DMA 请求。 1: 当发生更新时间, 会发出 CCn DMA 请求。
Reserved	Bit 2-0	-	保留, 必须保持为复位值

17.5.2.3 从模式控制寄存器 (GP16C4T_SMCON)

从模式控制寄存器（GP16C4T_SMCON）																															
偏移地址：008 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																ETPOL	ECM2EN	ETPSEL	ETFLT				MSCFG	TSSEL			Reserved	SMODS			

Reserved	Bit 31-16	-	保留，必须保持为复位值
ETPOL	Bit 15	RW	外部触发极性 0: 正向 ETR，高电平有效或上升沿有效 1: 反正 ETR，低电平有效或下降沿有效
ECM2EN	Bit 14	RW	使能外部时钟模式 2 该位使能外部时钟模式 2 0: 禁止外部时钟模式 2 1: 使能外部时钟模式 2。计数器由 ETFP 信号上的有效边沿计数。 注意: 1. 设置 ECM2EN 位与选择外部时钟模式 1 且 TI 与 ETFP 相连接 (SMODS=111 和 TSSEL=111) 具有相同的效果。 2. 可同时使用外部时钟模式 2 与下列从模式: 复位模式, 门控模式和除法模式。在这种情况下, TI 不能与 ETFP 相连接 (TSSEL 不能设置为 111)。 3. 如果外部时钟模式 1 和外部时钟模式 2 同时使能, 外部时钟输入为 ETFP。
ETPSEL	Bit 13-12	RW	外部触发预分频器 外部触发信号频率最大为 GP16C4TnCLK 频率的 1/4。可使能预分频器来减小 ETFP 频率。该位有效用于输入高速外部时钟的情况。 00: 预分频器关闭 01: ETFP 频率 2 分频 10: ETFP 频率 4 分频 11: ETFP 频率 8 分频
ETFLT	Bit 11-8	RW	外部触发滤波器 该位定义了ETFP信号的采样频率和数字滤波器的滤波长度。 数字滤波器由一个事件计数器组成, 每N个连续事件才视为一个有效边沿。 0000: 无滤波器, 采样频率为 f_{DTS} 0001: $f_{SAMPLING} = f_{INT_CLK}$, $N = 2$

			0010: $f_{\text{SAMPLING}} = f_{\text{INT_CLK}}, N = 4$ 0011: $f_{\text{SAMPLING}} = f_{\text{INT_CLK}}, N = 8$ 0100: $f_{\text{SAMPLING}} = f_{\text{DTS}} / 2, N = 6$ 0101: $f_{\text{SAMPLING}} = f_{\text{DTS}} / 2, N = 8$ 0110: $f_{\text{SAMPLING}} = f_{\text{DTS}} / 4, N = 6$ 0111: $f_{\text{SAMPLING}} = f_{\text{DTS}} / 4, N = 8$ 1000: $f_{\text{SAMPLING}} = f_{\text{DTS}} / 8, N = 6$ 1001: $f_{\text{SAMPLING}} = f_{\text{DTS}} / 8, N = 8$ 1010: $f_{\text{SAMPLING}} = f_{\text{DTS}} / 16, N = 5$ 1011: $f_{\text{SAMPLING}} = f_{\text{DTS}} / 16, N = 6$ 1100: $f_{\text{SAMPLING}} = f_{\text{DTS}} / 16, N = 8$ 1101: $f_{\text{SAMPLING}} = f_{\text{DTS}} / 32, N = 5$ 1110: $f_{\text{SAMPLING}} = f_{\text{DTS}} / 32, N = 6$ 1111: $f_{\text{SAMPLING}} = f_{\text{DTS}} / 32, N = 8$ 注意: 当$\text{ETFLT}<3:0> = 1, 2$或3时, 公式中的f_{DTS} 由INT_CLK 取代。
MSCFG	Bit 7	RW	主/从模式 0: 无动作 1: 延迟触发输入 (In) 上的事件来允许当前计时器和其从器件之间的同步。该设置有效用于使用单个外部事件来同步多个计时器。
TSSEL	Bit 6-4	RW	触发选择 该位用来选择不同的触发输入来同步计数器。 000: 内部触发 0 (IT0) 001: 内部触发 1 (IT1) 010: 内部触发 2 (IT2) 011: 内部触发 3 (IT3) 100: I1 边沿检测器 (I1F_ED) 101: 滤波计时器输入 1 110: 滤波计时器输入 2 111: 外部触发输入 注意: 为了避免错误边沿检测, 该位在不使用时 ($\text{SMODS}=000$) 才能改变。
Reserved	Bit 3	-	保留, 必须保持为复位值
SMODS	Bit 2-0	RW	选择从模式功能 当选择外部信号, 触发信号TI的有效边沿与外部输入的极性有关系 (详见输入控制寄存器和控制寄存器描述) 000: 禁止从模式—如果$\text{CNTEN} = '1'$, 则预分频器直接由内部时钟计数。 001: 编码器模式1—计数器向上/向下计数I2边沿, 取决于I1电平。 010: 编码器模式2—计数器向上/向下计数I1边沿, 取决于I2电平

			011 :编码器模式3 -计数器向上/向下计数I1边沿检出和I2边沿检出边沿，取决于另一个输入的电平。 100 : 复位模式-选中的触发输入的上升沿重新初始化计数器，生成寄存器的更新 101 : 门控模式-当触发输入TI为高电平，计数器时钟使能。一旦触发变为低电平，计数器停止计数（并非复位）。计数器的启动和停止均受控制。 110 : 触发模式-计数器在触发信号TI的上升沿处启动（不复位）。仅寄存器的启动受控制。 111 : 外部时钟模式1-计数器在TI的上升沿计数 注意：如果I1双边沿检出被选为触发输入（TSSEL='100'），不能使用门控模式。I1每一次转换，I1双边沿检出就会输出1个脉冲，而门控模式则是检查触发信号的电平。 注意：在发生来自自主计时器的接收事件之前，从计时器的时钟必须先使能，且在接收来自自主计时器的触发过程中，从计数器时钟不能即时更改。
--	--	--	--

17.5.2.4 中断使能寄存器 (GP16C4T_IER)

中断使能寄存器（GP16C4T_IER）																																
偏移地址：00C _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																			CC4OIT	CC3OIT	CC2OIT	CC1OIT	Reserved		TRGIT	Reserved	CC4IT	CC3IT	CC2IT	CC1IT	UIT	

Reserved	Bit31-13	-	保留, 必须保持复位值
CC4OIT	Bit12	W	使能捕获/比较 4 捕获溢出中断 0: 无效 1: 使能
CC3OIT	Bit11	W	使能捕获/比较 3 捕获溢出中断 0: 无效 1: 使能
CC2OIT	Bit10	W	使能捕获/比较 2 捕获溢出中断 0: 无效 1: 使能
CC1OIT	Bit9	W	使能捕获/比较 1 捕获溢出中断 0: 无效 1: 使能
Reserved	Bit 8-7	-	保留, 必须保持为复位值
TRGIT	Bit6	W	使能触发中断 0: 无效 1: 使能
Reserved	Bit 5	-	保留, 必须保持为复位值
CC4IT	Bit4	W	使能捕获/比较 4 中断 0: 无效 1: 使能
CC3IT	Bit3	W	使能捕获/比较 3 中断 0: 无效 1: 使能
CC2IT	Bit2	W	使能捕获/比较 2 中断 0: 无效 1: 使能
CC1IT	Bit1	W	使能捕获/比较 1 中断 0: 无效 1: 使能
UIT	Bit0	W	使能更新事件中断 0: 无效 1: 使能

17.5.2.5 中断禁止寄存器 (GP16C4T_IDR)

中断禁止寄存器（GP16C4T_IDR）																															
偏移地址：0010 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																			CC4OIT	CC3OIT	CC2OIT	CC1OIT	Reserved		TRGIT	Reserved	CC4IT	CC3IT	CC2IT	CC1IT	UIT

Reserved	Bit 31-13	-	保留, 必须保持复位值
CC4OIT	Bit12	W	禁止捕获/比较 4 捕获溢出中断 0: 无效 1: 使能
CC3OIT	Bit11	W	禁止捕获/比较 3 捕获溢出中断 0: 无效 1: 使能
CC2OIT	Bit10	W	禁止捕获/比较 2 捕获溢出中断 0: 无效 1: 使能
CC1OIT	Bit9	W	禁止捕获/比较 1 捕获溢出中断 0: 无效 1: 使能
Reserved	Bit 8-7	-	保留, 必须保持为复位值
TRGIT	Bit 6	W	禁止触发中断 0: 无效 1: 禁止
Reserved	Bit 5	-	保留, 必须保持为复位值
CC4IT	Bit 4	W	禁止捕获/比较 4 中断 0: 无效 1: 禁止
CC3IT	Bit 3	W	禁止捕获/比较 3 中断 0: 无效 1: 禁止
CC2IT	Bit 2	W	禁止捕获/比较 2 中断 0: 无效 1: 禁止
CC1IT	Bit 1	W	禁止捕获/比较 1 中断 0: 无效 1: 禁止
UIT	Bit 0	W	禁止更新中断 0: 无效 1: 禁止

17.5.2.6 中断有效状态寄存器 (GP16C4T_IVS)

中断有效状态寄存器（GP16C4T_IVS）																															
偏移地址：0014 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																			CC4OIT	CC3OIT	CC2OIT	CC1OIT	Reserved		TRGIT	Reserved	CC4IT	CC3IT	CC2IT	CC1IT	UIT

Reserved	Bit 31-13	-	保留
CC4OIT	Bit12	R	捕获/比较 4 捕获溢出中断状态 0: 禁止 1: 使能
CC3OIT	Bit11	R	捕获/比较 3 捕获溢出中断状态 0: 禁止 1: 使能
CC2OIT	Bit10	R	捕获/比较 2 捕获溢出中断状态 0: 禁止 1: 使能
CC1OIT	Bit9	R	捕获/比较 1 捕获溢出中断状态 0: 禁止 1: 使能
Reserved	Bit 8-7	-	保留, 必须保持为复位值
TRGIT	Bit 6	R	触发中断状态 0: 禁止 1: 使能
Reserved	Bit 5	-	保留, 必须保持为复位值
CC4IT	Bit 4	R	通道 4 捕获/比较中断状态 0: 禁止 1: 使能
CC3IT	Bit 3	R	通道 3 捕获/比较中断状态 0: 禁止 1: 使能
CC2IT	Bit 2	R	通道 2 捕获/比较中断状态 0: 禁止 1: 使能
CC1IT	Bit 1	R	通道 1 捕获/比较中断状态 0: 禁止 1: 使能
UIT	Bit 0	R	更新事件中断状态 0: 禁止 1: 使能

17.5.2.7 原始中断标志寄存器 (GP16C4T_RIF)

原始中断标志寄存器 (GP16C4T_RIF)																															
偏移地址: 018 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																			CH4OVIF	CH3OVIF	CH2OVIF	CH1OVIF	Reserved		TRGIF	Reserved	CH4CCIF	CH3CCIF	CH2CCIF	CH1CCIF	UEVTIF

Reserved	Bit 31-13	-	保留, 必须保持为复位值
CH4OVIF	Bit 12	R	捕获/比较 4 捕获溢出中断标志 仅当相应的通道配置为捕获输入状态时, 该标志位才由硬件设置。对 GP16C4T_ICR 写 1 来清除原始中断。 0: 未检测到捕获溢出 1: 当 CH4CCIF 标志位置起时, 捕获计数器值至 GP16C4T_CCVAL1 寄存器
CH3OVIF	Bit 11	R	捕获/比较 3 捕获溢出中断标志 仅当相应的通道配置为捕获输入状态时, 该标志位才由硬件设置。对 GP16C4T_ICR 写 1 来清除原始中断。 0: 未检测到捕获溢出 1: 当 CH3CCIF 标志位置起时, 捕获计数器值至 GP16C4T_CCVAL1 寄存器
CH2OVIF	Bit 10	R	捕获/比较 2 捕获溢出中断标志 仅当相应的通道配置为捕获输入状态时, 该标志位才由硬件设置。对 GP16C4T_ICR 写 1 来清除原始中断。 0: 未检测到捕获溢出 1: 当 CH2CCIF 标志位置起时, 捕获计数器值至 GP16C4T_CCVAL1 寄存器
CH1OVIF	Bit 9	R	捕获/比较 1 捕获溢出中断标志 仅当相应的通道配置为捕获输入状态时, 该标志位才由硬件设置。对 GP16C4T_ICR 写 1 来清除原始中断。 0: 未检测到捕获溢出 1: 当 CH1CCIF 标志位置起时, 捕获计数器值至 GP16C4T_CCVAL1 寄存器
Reserved	Bit 8-7	-	保留, 必须保持为复位值
TRGIF	Bit 6	R	触发中断标志 如果触发中断使能, 当从模式控制器在门控模式以外的所有模式下使能, 发生触发事件时 (In 上检测到有效边沿), 该标志位被硬件置起。对

			GP16C4T_ICR 写 1 来清除原始中断。 0: 未发生触发事件 1: 触发中断被挂起
Reserved	Bit 5	-	保留, 必须保持为复位值
CH4CCIF	Bit 4	R	捕获/比较 4 中断标志 参考 CH1CCIF 描述
CH3CCIF	Bit 3	R	捕获/比较 3 中断标志 参考 CH1CCIF 描述
CH2CCIF	Bit 2	R	捕获/比较 2 中断标志 参考 CH1CCIF 描述
CH1CCIF	Bit 1	R	捕获/比较 1 中断标志 如果 CC1 通道配置为输出: 如果中断使能, 除去中心对齐模式的情况 (参考 GP16C4T_CON1 寄存器中 CMSEL 的描述), 当计数值与比较值匹配, 该标志位由硬件置起。对 GP16C4T_ICR 写 1 来清除原始中断。 0: 不匹配。 1: GP16C4T_COUNT 计数值与 GP16C4T_CCVAL1 值匹配。当 GP16C4T_CCVAL1 寄存器值大于 GP16C4T_AR 值, 发生计数器上溢时 (递增模式和递增/递减模式) 或下溢时 (递减模式), CH1CCIF 为被置起 如果 CC1 通道配置为输入: 发生捕获时, 该位由硬件置起。该位可通过软件或者读取 GP16C4T_CCVAL1 寄存器来清零。 0: 未发生输入捕获 1: 计数值捕获至 GP16C4T_CCVAL1 寄存器 (IC1 上检测到与选中极性匹配的边沿)
UEVTIF	Bit 0	R	更新中断标志 如果更新中断使能, 当发生更新事件, 该标志位由硬件置起。对 GP16C4T_ICR 写 1 来清除原始中断。 0: 未发生更新。 1: 更新中断被挂起。当寄存器更新时, 该位被硬件置起: -当重复计数器值发生上溢或者下溢 (若重复计数器=0, 则更新) 和当 GP16C4T_CON1 寄存器中 DISUE=0 -当使用 GP16C4T_SGE 寄存器中的 SGU 位来由软件重新初始化 CNT 时, 如果 GP16C4T_CON1 寄存中的 UERSEL=0 和 DISUE=0 -当 CNT 由触发事件来重新初始化, 如果 GP16C4T_CON1 寄存中的 UERSEL=0 和

			DISUE=0
--	--	--	---------

17.5.2.8 中断标志屏蔽状态寄存器 (GP16C4T_IFM)

中断标志屏蔽状态寄存器（GP16C4T_IFM）																															
偏移地址：001C _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																			CH4OVIM	CH3OVIM	CH2OVIM	CH1OVIM	Reserved		TRGIM	Reserved	CH4CCIM	CH3CCIM	CH2CCIM	CH1CCIM	UEVTIM

Reserved	Bit 31-13	-	保留
CH4OVIM	Bit 12	R	屏蔽通道 4 捕获/比较捕获溢出中断标志 0: 未检测到捕获溢出或中断未使能 1: 当 CH4CCIF 标志为置起时, 捕获计数器值至 GP16C4T_CCVAL1 寄存器
CH3OVIM	Bit 11	R	屏蔽通道 3 捕获/比较捕获溢出中断标志 0: 未检测到捕获溢出或中断未使能 1: 当 CH3CCIF 标志为置起时, 捕获计数器值至 GP16C4T_CCVAL1 寄存器
CH2OVIM	Bit 10	R	屏蔽通道 2 捕获/比较捕获溢出中断标志 0: 未检测到捕获溢出或中断未使能 1: 当 CH2CCIF 标志为置起时, 捕获计数器值至 GP16C4T_CCVAL1 寄存器
CH1OVIM	Bit 9	R	屏蔽通道 1 捕获/比较捕获溢出中断标志 0: 未检测到捕获溢出或中断未使能 1: 当 CH1CCIF 标志为置起时, 捕获计数器值至 GP16C4T_CCVAL1 寄存器
Reserved	Bit 8-7	-	保留
TRGIM	Bit 6	R	屏蔽触发中断标志 如果触发中断使能, 当从模式控制器在门控模式以外的所有模式下使能, 发生触发事件时 (TI 上检测到有效边沿), 该标志位被硬件置起。对 GP16C4T_ICR 写 1 来清除原始中断。 0: 未发生触发事件或中断未使能 1: 触发中断被挂起
Reserved	Bit 5	-	保留
CH4CCIM	Bit 4	R	屏蔽通道 4 捕获/比较中断标志 参考 CH1CCIM 描述
CH3CCIM	Bit 3	R	屏蔽通道 3 捕获/比较中断标志 参考 CH1CCIM 描述
CH2CCIM	Bit 2	R	屏蔽通道 2 捕获/比较中断标志

			参考 CH1CCIM 描述
CH1CCIM	Bit 1	R	屏蔽通道 1 捕获/比较中断标志 如果通道 1 配置为输出： 如果中断使能，除去中心对齐模式的情况（参考 GP16C4T_CON1 寄存器中 CMSEL 的描述），当计数值与比较值匹配，该标志位由硬件置起。对 GP16C4T_ICR 写 1 来清除原始中断。 0：不匹配或中断未使能 1：GP16C4T_COUNT 计数值与 GP16C4T_CCVAL1 值匹配。当 GP16C4T_CCVAL1 寄存器值大于 GP16C4T_AR 值，发生计数器上溢时（递增模式和递增/递减模式）或下溢时（递减模式），CH1CCIF 为被置起。 如果通道配置为输入： 发生捕获时，该位由硬件置起。该位可通过软件或者读取 GP16C4T_CCVAL1 寄存器来清零。 0：未发生输入捕获 1：计数值捕获至 GP16C4T_CCVAL1 寄存器（I1 上检测到与选中极性匹配的边沿）
UEVTIM	Bit 0	R	屏蔽更新事件中断标志 如果更新中断使能，当发生更新事件，该标志位由硬件置起。对 GP16C4T_ICR 写 1 来清除原始中断。 0：未发生更新或中断未使能 1：更新中断被挂起。当寄存器更新时，该位被硬件置起： –当重复计数器值发生上溢或者下溢（若重复计数器=0，则更新）和当 GP16C4T_CON1 寄存器中 DISUE=0 –当使用 GP16C4T_SGE 寄存器中的 SGU 位来由软件重新初始化 CNT 时，如果 GP16C4T_CON1 寄存中的 UERSEL=0 和 DISUE=0 –当 CNT 由触发事件来重新初始化，如果 GP16C4T_CON1 寄存中的 UERSEL=0 和 DISUE=0

注：GP16C4T_IFM 寄存器是滤除已关闭中断功能的中断事件，只关注开启中断功能的事件，此寄存器的状态位是将 GP16C4T_RIF 与 GP16C4T_IVS 进行逻辑与运算后的结果。

17.5.2.9 中断清零寄存器 (GP16C4T_ICR)

中断清零寄存器（GP16C4T_ICR）																															
偏移地址：020 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																			CH4OVIC	CH3OVIC	CH2OVIC	CH1OVIC	Reserved	TRGIC	Reserved	CH4CCIC	CH3CCIC	CH2CCIC	CH1CCIC	UEVTIC	

Reserved	Bit 31-13	-	保留, 必须保持为复位值
CH4OVIC	Bit 12	C_W1	通道 4 捕获/比较捕获溢出中断标志清除 0: 无效 1: CH4OVIF 清除
CH3OVIC	Bit 11	C_W1	通道 3 捕获/比较捕获溢出中断标志 0: 无效 1: CH3OVIF 清除
CH2OVIC	Bit 10	C_W1	通道 2 捕获/比较捕获溢出中断标志 0: 无效 1: CH2OVIF 清除
CH1OVIC	Bit 9	C_W1	通道 1 捕获/比较捕获溢出中断标志 0: 无效 1: CH1OVIF 清除
Reserved	Bit 8-7	-	保留, 必须保持为复位值
TRGIC	Bit 6	C_W1	触发中断清零 0: 无效 1: 触发中断清零 (GP16C4T_RIF)
Reserved	Bit 5	-	保留, 必须保持为复位值
CH4CCIC	Bit 4	C_W1	捕获/比较 4 中断清零 参考 CH1CCIC 描述
CH3CCIC	Bit 3	C_W1	捕获/比较 3 中断清零 参考 CH1CCIC 描述
CH2CCIC	Bit 2	C_W1	捕获/比较 2 中断清零 参考 CH1CCIC 描述
CH1CCIC	Bit 1	C_W1	捕获/比较 1 中断清零 0: 无效 1: 捕获/比较中断清零 (GP16C4T_RIF)
UEVTIC	Bit 0	C_W1	更新中断清零 0: 无效 1: 更新中断清零 (GP16C4T_RIF)

17.5.2.10 软件生成事件寄存器 (GP16C4T_SGE)

软件生成事件寄存器（GP16C4T_SGE）																																
偏移地址：024 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																										SGTRG	Reserved	SGCC4E	SGCC3E	SGCC2E	SGCC1E	SGU

Reserved	Bit 31-7	-	保留, 必须保持为复位值
SGTRG	Bit 6	W	触发生成 该位由软件设置来生成触发事件, 可由硬件自动清零。 0: 无动作 1: GP16C4T_RIF 寄存器中的 TRGIF 被置起, 产生相关中断或 DMA 传输
Reserved	Bit 5	-	保留, 必须保持为复位值
SGCC4E	Bit 4	W	捕获/比较 4 生成 参考 SGCC1E 描述
SGCC3E	Bit 3	W	捕获/比较 3 生成 参考 SGCC1E 描述
SGCC2E	Bit 2	W	捕获/比较 2 生成 参考 SGCC1E 描述
SGCC1E	Bit 1	W	捕获/比较 1 生成 该位由软件设置来生成事件, 可由硬件自动清零。 0: 无动作 1: 通道 1 上产生捕获/比较事件: 如果通道 1 配置为输出: CH1CCIF 标志位被置起, 产生相应中断或 DMA 请求发送 如果通道 1 配置为输入: 当前计数值捕获至 GP16C4T_CCVAL1 寄存器。 CH1CCIF 标志位被置起, 产生相应中断或 DMA 请求发送。CH1OVIF 标志位置起如果 CH1CCIF 标志位为高电平。
SGU	Bit 0	W	更新生成 该位由软件设置, 可由硬件自动清零。 0: 无动作 1: 重新初始化计数器, 更新寄存器。注意, 预分频器也会被清零 (但预分频比不会受到影响)。如果使用中心对齐模式或者 DIRSEL=0 (递增), 则计数器将清零; 否则如果 DIRSEL=1 (递减), 则将使用自动重载入值。

17.5.2.11 捕获/比较模式寄存器 1 (GP16C4T_CHMR1)

◆ 输出比较模式

捕获/比较模式寄存器 1（GP16C4T_CHMR1）																															
偏移地址：028 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																CH2OCLREN	CH2OMOD			CH2OPREN	CH2OHSEN	CC2SSEL		CH1OCLREN	CH1OMOD			CH1OPREN	CH1OHSEN	CC1SSEL	

Reserved	Bit 31-16	-	保留, 必须保持为复位值
CH2OCLREN	Bit 15	R/W	输出比较 2 清零使能 参考 CH1OCLREN 描述
CH2OMOD	Bit 14-12	R/W	输出比较 2 模式 参考 CH1OMOD 描述
CH2OPREN	Bit 11	R/W	输出比较 2 预载使能 参考 CH1OPREN 描述
CH2OHSEN	Bit 10	R/W	输出比较 2 高速使能 参考 CH1OHSEN 描述
CC2SSEL	Bit 9-8	R/W	输出比较 2 选择 该位定义了通道以及使用的输入的方向 (输入/输出) 00: 通道配置为输出 01: 通道配置为输入, 捕获源为 I2 10: 通道配置为输入, 捕获源为 I1 11: 通道配置为输入, 捕获源为 ITn 或 I1 的双边沿检出。 仅当内部触发输入通过 TSSEL 位 (GP16C4T_SMCON 寄存器) 选择时, 该模式才能工作。 注意: 当通道为关闭状态时 (GP16C4T_CCEP 中 CC2EN = '0'), CC2SSEL 为只写。
CH1OCLREN	Bit 7	R/W	输出比较 1 清零使能 0: 通道 1 比较输出不会受到 ETFP 输入影响 1: 当 ETFP 输入上检测到高电平时, 通道 1 比较输出将被清零
CH1OMOD	Bit 6-4	R/W	输出比较 1 模式 该位定义了输出参考信号通道 1 比较输出的行为。 通道 1 比较输出为高有效, CH1O 的有效电平由 CC1POL 位决定。 000: 冻结-输出比较寄存器 GP16C4T_CCVAL1

			寄存器和 GP16C4T_COUNT 计数器之间的比较对输出无效。 001：发生匹配时设置通道 1 为有效电平-当计数器 GP16C4T_COUNT 与捕获/比较寄存器 1GP16C4T_CCVAL1 发生匹配后，通道 1 比较输出信号强制为高电平。 010：发生匹配时设置通道 1 为无效电平。当计数器 GP16C4T_COUNT 与捕获/比较寄存器 1GP16C4T_CCVAL1 发生匹配后，通道 1 比较输出信号强制为低电平。 011：翻转 -当 GP16C4T_COUNT=GP16C4T_CCVAL1，通道 1 比较输出发生翻转。 100：强制为无效电平 - 通道 1 比较输出强制为低电平。 101：强制为有效电平- 通道 1 比较输出强制为高电平。 110：PWM 模式 1 -在递增模式下，当 GP16C4T_COUNT<GP16C4T_CCVAL1，通道 1 为有效电平，否则，通道 1 为无效电平。在递减模式下，当 GP16C4T_COUNT>GP16C4T_CCVAL1，通道 1 为无效电平（通道 1 比较输出='0'），否则通道 1 为有效电平（通道 1 比较输出='1'）。 111：PWM 模式 2 -在递增模式下，当 GP16C4T_COUNT<GP16C4T_CCVAL1，通道 1 为无效电平，否则，通道 1 为有效电平。在递减模式下，当 GP16C4T_COUNT>GP16C4T_CCVAL1，通道 1 为有效电平，否则通道 1 为无效电平。 注意： 在 PWM 模式 1 和 2 中，仅当比较结果更改或当输出比较模式从冻结模式转换成 PWM 模式，比较输出电平才会更改。
CH1OPREN	Bit 3	R/W	输出比较 1 预载使能 0：GP16C4T_CCVAL1 的预载寄存器禁止。GP16C4T_CCVAL1 在任何时候都可写，新写入的值将立刻生效。 1：GP16C4T_CCVAL1 的预载寄存器使能。读/写操作可访问预载寄存器。每当发生一次更新事件，GP16C4T_CCVAL1 预载入值将会被填入有效寄存器。 注意：

			仅在单脉冲模式下（GP16C4T_CON1 寄存器中的 SPMEN 设置为 1），PWM 模式可在不经过验证预载寄存器的情况下使用。其他情况下的行为不做保证。
CH1OHSEN	Bit 2	R/W	输出比较 1 高速使能 该位用来加速在 CC 输出上的输入触发事件的效应。 0：当触发开启，通道 1 运作正常取决于计数器和 CCRV1 的值。当触发输入上发现边沿时，至少需要 5 个时钟周期来激活通道 1 输出。 1：触发输入上的有效沿类似于通道 1 输出上的比较匹配。设置 OC 为 1 用来比较电平，采样触发输入和激活通道 1 输出的延时将会减少至 3 个时钟周期。只有当通道配置为 PWM1 或 PWM2 模式，CH1OHSEN 才会起作用。
CC1SSEL	Bit 1-0	R/W	捕获/比较 1 选择 该位定义了通道和使用的输入的方向。 00：通道配置为输出 01：通道配置为输入，捕获源为 I1 10：通道配置为输入，捕获源为 I2 11：通道配置为输入，捕获源为 ITn 或 I1 的双边沿检出。 只有当内部触发输入是通过 TSSEL 位（GP16C4T_SMCON 寄存器）选择时，该模式才运行。 注意：当通道关闭（GP16C4T_CCEP 寄存器中的 CC1EN = '0'），CC1SSEL 为只写。

◆ 输入捕获模式

捕获/比较模式寄存器 1（GP16C4T_CHMR1）																															
偏移地址：028 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																I2FLT				IC2PRES		CC2SSEL		I1FLT				IC1PRES		CC1SSEL	

Reserved	Bit 31-16	-	保留，必须保持为复位值
I2FLT	Bit 15-12	RW	输入捕获 2 滤波器 参考 I1FLT 描述
IC2PRES	Bit 11-10	RW	输入捕获 2 预分频器 参考 IC1PRES 描述
CC2SSEL	Bit 9-8	RW	输入捕获 2 选择 该位定义了通道和使用的输入的方向。 00: 通道配置为 输出 01: 通道配置为输入，捕获源为 I2 10: 通道配置为输入，捕获源为 I1 11: 通道配置为输入，捕获源为 ITn 或 I1 的双边沿检出 只有当内部触发输入是通过 TSSEL 位 (GP16C4T_SMCON 寄存器) 选择时，该模式才运行 注意：当通道关闭 (GP16C4T_CCEP 寄存器中的 CC2EN = '0')，CC2SSEL 为只写。
I1FLT	Bit 7-4	RW	输入捕获 1 滤波器 该位定义了 I1 输入的采样频率和数字滤波器的长度。 数字滤波器由一个事件计数器组成，每 N 个连续事件才视为一个有效边沿： 0000: 无滤波器，采样频率为 f_{DTS} 0001: $f_{SAMPLING} = f_{INT_CLK}$, $N = 2$ 0010: $f_{SAMPLING} = f_{INT_CLK}$, $N = 4$ 0011: $f_{SAMPLING} = f_{INT_CLK}$, $N = 8$ 0100: $f_{SAMPLING} = f_{DTS} / 2$, $N = 6$ 0101: $f_{SAMPLING} = f_{DTS} / 2$, $N = 8$ 0110: $f_{SAMPLING} = f_{DTS} / 4$, $N = 6$ 0111: $f_{SAMPLING} = f_{DTS} / 4$, $N = 8$ 1000: $f_{SAMPLING} = f_{DTS} / 8$, $N = 6$ 1001: $f_{SAMPLING} = f_{DTS} / 8$, $N = 8$ 1010: $f_{SAMPLING} = f_{DTS} / 16$, $N = 5$ 1011: $f_{SAMPLING} = f_{DTS} / 16$, $N = 6$

			1100: $f_{\text{SAMPLING}} = f_{\text{DTS}} / 16, N = 8$ 1101: $f_{\text{SAMPLING}} = f_{\text{DTS}} / 32, N = 5$ 1110: $f_{\text{SAMPLING}} = f_{\text{DTS}} / 32, N = 6$ 1111: $f_{\text{SAMPLING}} = f_{\text{DTS}} / 32, N = 8$ 注意: 当 $\text{ICxF} \langle 3: 0 \rangle = 1, 2 \text{ or } 3$ 时, 公式中的 f_{DTS} 由 INT_CLK 取代。
IC1PRES	Bit 3-2	RW	输入捕获 1 预分频器 该位定义了作用在 CC1 输入 (I1) 上的预分频比。 当 $\text{CC1EN} = '0'$ (GP16C4T_CCEP 寄存器), 预分频器将复位。 00: 无预分频器。每当捕获输入上检测到边沿时, 发生捕获动作。 01: 每发生 2 次事件, 执行一次捕获 10: 每发生 4 次事件, 执行一次捕获 11: 每发生 8 次事件, 执行一次捕获
CC1SSEL	Bit 1-0	RW	输入捕获 1 选择 该位定义了通道和使用的输入的方向 00: CC1 通道配置为输出 01: CC1 通道配置为输入, IC1 映射到 I1 10: CC1 通道配置为输入, IC1 映射到 I2 11: CC1 通道配置为输入, 捕获源为 ITn 或 I1 的双边沿检出。只有当内部触发输入是通过 TSSEL 位 (GP16C4T_SMCON 寄存器) 选择时, 该模式才运行 注意: 当通道关闭 (GP16C4T_CCEP 寄存器中的 $\text{CC1EN} = '0'$), CC1SSEL 为只写。

17.5.2.12 捕获/比较模式寄存器 2 (GP16C4T_CHMR2)

◆ 输出比较模式

捕获/比较模式寄存器 2（GP16C4T_CHMR2）																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																					
偏移地址：02C _H																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																					
复位值：00000000_00000000_00000000_00000000 _B																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																						
Reserved																CH4OCLREN	CH4OMOD			CH4OPREN	CH4OHSEN	CC4SSEL		CH3OCLREN	CH3OMOD			CH3OPREN	CH3OHSEN	CC3SSEL																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																							

Reserved	Bit 31-16	-	保留, 必须保持为复位值
CH4OCLREN	Bit 15	R/W	输出比较 4 清零使能 参考 CH1OCLREN 描述
CH4OMOD	Bit 14-12	R/W	输出比较 4 模式 参考 CH1OMOD 描述
CH4OPREN	Bit 11	R/W	输出比较 4 预载使能 参考 CH1OPREN 描述
CH4OHSEN	Bit 10	R/W	输出比较 4 高速使能 参考 CH1OHSEN 描述
CC4SSEL	Bit 9-8	R/W	输出比较 4 选择 该位定义了通道以及使用的输入的方向 (输入/输出)。 00: 通道配置为输出 01: 通道配置为输入, 捕获源为 I4 10: 通道配置为输入, 捕获源为 I3 11: 通道配置为输入, 捕获源为 ITn 或 I1 的双边沿检出 仅当内部触发输入通过 TSSEL 位 (GP16C4T_SMCON 寄存器) 选择时, 该模式才能工作。 注意: 当通道为关闭状态时 (GP16C4T_CCEP 中 CC4EN = '0'), CC4SSEL 为只写。
CH3OCLREN	Bit 7	R/W	输出比较 3 清零使能 参考 CH1OCLREN 描述
CH3OMOD	Bit 6-4	R/W	输出比较 3 模式 参考 CH1OMOD 描述
CH3OPREN	Bit 3	R/W	输出比较 3 预载使能 参考 CH1OPREN 描述
CH3OHSEN	Bit 2	R/W	输出比较 3 高速使能 参考 CH1OHSEN 描述
CC3SSEL	Bit 1-0	R/W	捕获/比较 3 选择

			该位定义了通道和使用的输入的方向。 00：通道配置为输出 01：通道配置为输入，捕获源为 I3 10：通道配置为输入，捕获源为 I4 11：通道配置为输入，捕获源为 ITn 或 I1 的双边沿检出。 只有当内部触发输入是通过 TSSEL 位（GP16C4T_SMCON 寄存器）选择时，该模式才运行。 注意：当通道关闭（GP16C4T_CCEP 寄存器中的 CC3EN = '0'），CC3SSEL 为只写
--	--	--	---

◆ 输入捕获模式

捕获/比较模式寄存器 2（GP16C4T_CHMR2）																															
偏移地址：02C _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																I4FLT				IC4PRES		CC4SSEL		IC3FLT				IC3PRES		CC3SSEL	

Reserved	Bit 31-16	-	保留，必须保持为复位值
I4FLT	Bit 15-12	RW	输入捕获 4 滤波器 参考 I1FLT 描述
IC4PRES	Bit 11-10	RW	输入捕获 4 预分频器 参考 IC1PRES 描述
CC4SSEL	Bit 9-8	RW	输入捕获 4 选择 该位定义了通道和使用的输入的方向。 00: CC4 通道配置为输出 01: CC4 通道配置为输入, IC4 映射到 TI4 10: CC4 通道配置为输入, IC4 映射到 TI3 11: CC4 通道配置为输入, IC4 映射到 TRC 只有当内部触发输入是通过 TSSEL 位 (GP16C4T_SMCON 寄存器) 选择时, 该模式才运行 注意: 当通道关闭 (GP16C4T_CCEP 寄存器中的 CC4EN = '0'), CC4SSEL 为只写。
IC3FLT	Bit 7-4	RW	输入捕获 3 滤波器 参考 I1FLT 描述
IC3PRES	Bit 3-2	RW	输入捕获 3 预分频器 参考 IC1PRES 描述
CC3SSEL	Bit 1-0	RW	输入捕获 3 选择 该位定义了通道和使用的输入的方向。 00: 通道配置为输出 01: 通道配置为输入, 捕获源为 I3 10: 通道配置为输入, 捕获源为 I4 11: 通道配置为输入, 捕获源为 ITn 或 I1 的双边沿检出 只有当内部触发输入是通过 TSSEL 位 (GP16C4T_SMCON 寄存器) 选择时, 该模式才运行 注意: 当通道关闭 (GP16C4T_CCEP 寄存器中的 CC3EN = '0'), CC3SSEL 为只写。

17.5.2.13 捕获/比较使能寄存器 (GP16C4T_CCEP)

捕获/比较使能寄存器（GP16C4T_CCEP）																															
偏移地址：030 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																		CC4POL	CC4EN	Reserved	CC3POL	CC3EN	Reserved	CC2POL	CC2EN	Reserved	CC1POL	CC1EN			

Reserved	Bit 31-14	-	保留, 必须保持为复位值
CC4POL	Bit 13	R/W	捕获/比较 4 输出极性 参考 CC1POL 描述
CC4EN	Bit 12	R/W	捕获/比较 4 输出使能 参考 CC1EN 描述
Reserved	Bit 11-10	-	保留, 必须保持为复位值
CC3POL	Bit 9	R/W	捕获/比较 3 输出极性 参考 CC1POL 描述
CC3EN	Bit 8	R/W	捕获/比较 3 输出使能 参考 CC1EN 描述
Reserved	Bit 7-6	-	保留, 必须保持为复位值
CC2POL	Bit 5	R/W	捕获/比较 2 输出极性 参考 CC1POL 描述
CC2EN	Bit 4	R/W	捕获/比较 2 输出使能 参考 CC1EN 描述
Reserved	Bit 3-2	-	保留, 必须保持为复位值
CC1POL	Bit 1	R/W	捕获/比较 1 输出极性 通道配置为输出: 0: CH1O 高有效 1: CH1O 低有效 通道配置为输入: CC1POL 为触发和捕获操作选择 I1 边沿检出和 I2 边沿检出的有效极性。 0: 正向/上升沿 电路对 In 边沿检出的上升沿敏感 (在复位, 外部时钟或触发模式下, 进行捕获或触发), In 边沿检出不反向 (门控模式或编码器模式下, 进行触发)。 1: 反向/下降沿 电路对 In 边沿检出的下降沿敏感 (在复位, 外部时钟或触发模式下, 进行捕获或触发), In 边沿检出反向 (门控模式或编码器模式下, 进行触发)。
CC1EN	Bit 0	R/W	捕获/比较 1 输出使能 通道配置为输出:

			0: 关闭 - CH1O 无效。 1: 开启 - CH1O 为对应输出引脚上的输出信号，由 CC1EN 决定 通道配置为输入： 该位决定了计数值是否能捕获到输入捕获/比较寄存器 1 (GP16C4T_CCVAL1)。 0: 禁止捕获。 1: 使能捕获。
--	--	--	---

17.5.2.14 计数器寄存器 (GP16C4T_COUNT)

计数器寄存器（GP16C4T_COUNT）																																	
偏移地址：034 _H																																	
复位值：00000000_00000000_00000000_00000000 _B																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved																CNTV																	

Reserved	Bit 31-16	-	保留，必须保持为复位值
CNTV	Bit 15-0	R/W	计数值

17.5.2.15 预分频寄存器 (GP16C4T_PRES)

预分频寄存器（GP16C4T_PRES）																																	
偏移地址：038 _H																																	
复位值：00000000_00000000_00000000_00000000 _B																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved																PSCV																	

Reserved	Bit 31-16	-	保留，必须保持为复位值
PSCV	Bit 15-0	R/W	预分频器值 计数器时钟频率 (CK_CNT) = $f_{CK_PSC} / (PSCV < 15:0 > + 1)$ 每发生一次更新事件 (包括当计数器由 GP16C4T_SGE 寄存器中的 SGU 位清零或当配置为复位模式时，通过触发控制器清零)，PSCV 包含的值将被填入到有效的预分频寄存器内。

17.5.2.16 自动重载寄存器 (GP16C4T_AR)

自动重载寄存器（GP16C4T_AR）																															
偏移地址：03C _H																															
复位值：00000000_00000000_11111111_11111111 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																ARRV															

Reserved	Bit 31-16	-	保留, 必须保持为复位值
ARRV	Bit 15-0	R/W	自动重载值 ARRV 中的值将被载入实际的自动重载寄存器中。 当自动重载值为空, 计数器被屏蔽。

17.5.2.17 捕获/比较寄存器 1 (GP16C4T_CCVAL1)

捕获/比较寄存器 1（GP16C4T_CCVAL1）																															
偏移地址：044 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																CCRV1															

Reserved	Bit 31-16	-	保留, 必须保持为复位值
CCRV1	Bit 15-0	R/W	捕获/比较值 1 如果通道 CCn 配置为输出 : CCRVn 中的值将被载入实际的捕获/比较寄存器中 (预载值)。 如果在 GP16C4T_CHMRn 寄存器中的预载功能没有选中, CCRVn 中的值将被永久载入; 否则, 每当发生更新事件, 预载值将会复制到有效的捕获/比较寄存器中。有效捕获/比较寄存器中包含的值将会与 GP16C4T_COUNT 中的值进行比较, 并在 OCn 上输出。 如果通道 CCn 配置为输入 : CCRVn 为由上一个输入捕获事件 (ICn) 传输的计数值。

17.5.2.18 捕获/比较寄存器 2 (GP16C4T_CCVAL2)

捕获/比较寄存器 2（GP16C4T_CCVAL2）																															
偏移地址：048 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																CCRV2															

Reserved	Bit 31-16	-	保留, 必须保持为复位值
CCRV2	Bit 15-0	R/W	捕获/比较值 2 参考 CCRV1 描述

17.5.2.19 捕获/比较寄存器 3 (GP16C4T_CCVAL3)

捕获/比较寄存器 3（GP16C4T_CCVAL3）																															
偏移地址：04C _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																CRRV3															

Reserved	Bit 31-16	-	保留, 必须保持为复位值
CCRV3	Bit 15-0	R/W	捕获/比较值 3 参考 CCRV1 描述

17.5.2.20 捕获/比较寄存器 4 (GP16C4T_CCVAL4)

捕获/比较寄存器 4（GP16C4T_CCVAL4）																															
偏移地址：050 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																CCRV4															

Reserved	Bit 31-16	-	保留, 必须保持为复位值
CCRV4	Bit 15-0	R/W	捕获/比较值 4 参考 CCRV1 描述

17. 5. 2. 21 DMA使能寄存器 (GP16C4T_DMAEN)

DMA 使能寄存器（GP16C4T_DMAEN）																																
偏移地址：058 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																										TRGDMA	Reserved	CC4DMA	CC3DMA	CC2DMA	CC1DMA	UDMA

Reserved	Bit 31-7	-	保留, 必须保持为复位值
TRGDMA	Bit 6	R/W	触发DMA请求使能 0: DMA请求禁止 1: DMA请求使能
Reserved	Bit 5	-	保留, 必须保持为复位值
CC4DMA	Bit 4	R/W	捕获/比较值 4 DMA 访问使能 0: DMA 请求禁止 1: DMA 请求使能
CC3DMA	Bit 3	R/W	捕获/比较值 3 DMA 访问使能 0: DMA 请求禁止 1: DMA 请求使能
CC2DMA	Bit 2	R/W	捕获/比较值 2 DMA 访问使能 0: DMA 请求禁止 1: DMA 请求使能
CC1DMA	Bit 1	R/W	捕获/比较值 1 DMA 访问使能 0: DMA 请求禁止 1: DMA 请求使能
UDMA	Bit 0	R/W	更新 DMA 请求使能 0: DMA 请求禁止 1: DMA 请求使能

第18章 基本定时器（BS16T0~1）

18.1 概述

芯片内部共有 2 个 16 位基本定时器（BS16T0~1），BS16T 包含一个 16 位自动重载计数器，该计数器由可配置的预分频器驱动。

通过使用定时器的分频器和 APB 时钟控制器的预分频功能，可对脉冲长度和波形周期进行数微妙到几毫秒的调整。

18.2 特性

- ◆ 16 位自动加载递增计数器
- ◆ 16 位可编程预分频器，可对计数器工作时钟进行 1 到 65536 的任意分频（运行中也可以）
- ◆ 计数上溢更新事件产生中断/DMA 请求

18.3 结构框图

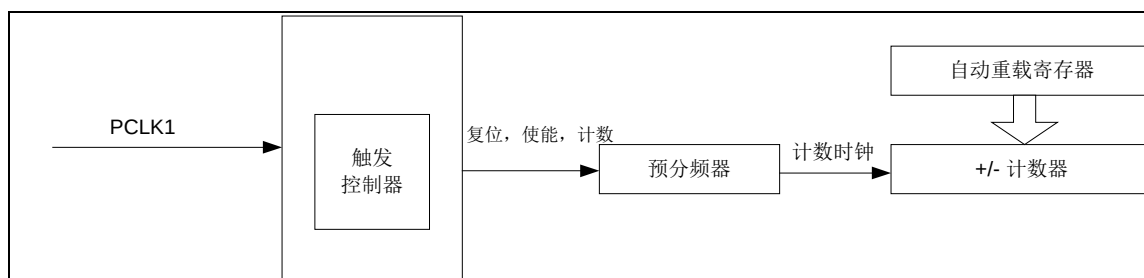


图 18-1 基本定时器电路结构框图

18.4 功能描述

18.4.1 预分频器

定时器包含一个 16-bit 的计数器（BS16T_COUNT），计数时钟由预分频寄存器（BS16T_PRES）进行分频。计数周期由自动重载计数器（BS16T_AR）设定。

自动重载寄存器（BS16T_AR）是一个可缓存的寄存器。当 BS16T_CON1 寄存器的 ARPEN 位复位时，BS16T_AR 寄存器重载功能失效，BS16T_AR 就是有效寄存器；ARPEN 置位时，BS16T_AR 寄存器具有重载功能，产生更新事件（UEV）时，加载值（BS16T_AR 寄存器值）更新到影子寄存器。

当 BS16T_CON1 寄存器中 DISUE 位为 0 时，计数器计数上溢（或递减下溢）时会产生更新事件（UEV）。同样，软件方式也可产生更新事件。BS16T_CON1 寄存器的 CNTEN 置位时，计数器开始计数。

注：计数器在 CNTEN 位置位 1 个时钟周期后开始计数。

预分频器可对定时器工作时钟进行 BS16T_PRES 寄存器值+1 次分频。由于 BS16T_PRES

是一个可重载寄存器，因此，定时器工作时可以对该寄存器进行修改，修改值在下次更新事件（UEV）后有效。

下图给出了定时器运行过程中改变预分频值时计数器的计数情况。

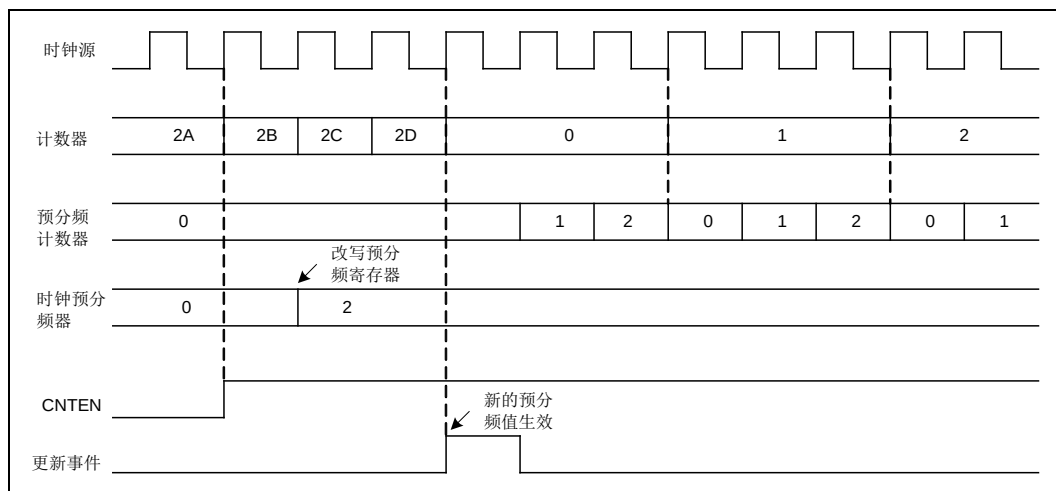


图 18-1 预分频值计数时序图

18.4.2 时钟源

计数时钟由内部时钟源（PCLK1）提供。

CNTEN 位（BS16T_CON1 寄存器）与 SGU 位（BS16T_SGE 寄存器）为实际控制位，这两个位只能软件修改（SGU 位除外，仍硬件自动清除）。一旦 CNTEN 位被写为‘1’，预分频器就由内部 PCLK1 提供时钟。

18.4.3 递增计数模式

在递增计数模式中，计数器由 0 开始计数至自动重载值（BS16T_AR 寄存器中的值），然后从 0 开始重新计数并产生一个计数溢出事件。

软件置位 BS16T_CON1 寄存器中的 DISUE 位可关闭更新事件（UEV）的产生。更新事件（UEV）关闭，可避免向预载寄存器写新值的过程中更新影子寄存器。这种情况下，DISUE 位在写‘0’之前都不会产生更新事件。正常产生更新事件后，计数器和预载计数器都是从 0 重新开始（但预分频值没有改变）。此外，若置位 BS16T_CON1 寄存器中的 UERSEL 位（更新请求选择），置位 SGU 位时会产生一次更新事件（UEV），但 UEVTIF 标志位不会置位（因此，不会触发中断或 DMA 请求）。

当更新事件发生时，所有寄存器都会被更新且更新标志位（BS16T_RIF 寄存器中的 UEVTIF 位）置位（取决于 UERSEL 位）：

- ◇ 自动重载影子寄存器加载 BS16T_AR 寄存器中的值
- ◇ 预分频器之缓冲器加载 BS16T_PRESC 寄存器中的值

18.4.4 调试模式

当微控制器进入调试模式（CPU 内核停止），BS16T 计数器可被设定为停止计数。

18. 5 特殊功能寄存器

18. 5. 1 寄存器列表

BS16T 寄存器列表		
名称	偏移地址	描述
BS16T_CON1	000 _H	控制寄存器 1
BS16T_CON2	004 _H	控制寄存器 2
BS16T_IER	00C _H	中断使能寄存器
BS16T_IDR	010 _H	中断禁止寄存器
BS16T_IVS	014 _H	中断有效状态寄存器
BS16T_RIF	018 _H	原始中断标志寄存器
BS16T_IFM	01C _H	中断标志屏蔽状态寄存器
BS16T_ICR	020 _H	中断清零寄存器
BS16T_SGE	024 _H	事件生成寄存器
BS16T_COUNT	034 _H	计数器
BS16T_PRES	038 _H	预分频器
BS16T_AR	03C _H	自动重载寄存器
BS16T_DMAEN	058 _H	DMA 使能寄存器

18.5.2 寄存器描述

18.5.2.1 控制寄存器 1 (BS16T_CON1)

控制寄存器 1（BS16T_CON1）																															
偏移地址：000 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																								APREN	Reserved			SPMEN	UERSEL	DISUE	CNTEN

Reserved	Bit 31-8	-	保留, 必须保持为复位值
APREN	Bit7	R/W	自动重载预载使能 0: BS16T_AR 寄存器未缓冲 1: BS16T_AR 寄存器被装入缓冲器
Reserved	Bit 6-4	-	保留, 必须保持为复位值
SPMEN	Bit 3	R/W	单脉冲模式 0: 当发生更新事件时, 计数器不停止。 1: 当发生下一次更新事件 (CEN 位清零) 时, 计数器停止。
UERSEL	Bit 2	R/W	更新请求源 该位由软件置 1 或清零, 来选择 UEV 事件源。 0: 如果更新中断或 DMA 请求使能, 则下述任一事件都可产生更新中断或 DMA 请求: -计数器上溢/下溢 -设置 SGU 位 -从模式控制器产生的更新 1: 如果更新中断或 DMA 请求使能, 仅计数器上溢/下溢才能产生更新中断或 DMA 请求中断
DISUE	Bit1	R/W	更新禁止 该位由软件置 1 或清零来使能/禁止 UEV 事件的产生。 0: UEV 使能。更新事件 (UEV) 由下列任一事件产生: - 计数器上溢/下溢 -设置 SGU 位 -从模式控制器产生的更新 缓冲寄存器载入他们的预载值。 1: UEV 禁止.不产生更新事件, 影子寄存器保持他们的值 (AR, PSCV)。如果从从模式控制器接收到硬件复位, 计数器和预分频器将被重新初始化。
CNTEN	Bit0	R/W	CNTEN: 计数器使能

			0: 计数器禁止 1: 计数器使能 注意: 如果软件设置了 CNTEN 位, 外部时钟, 门控模式和编码器模式才能工作。触发模式可由硬件自动设置 CNTEN 位。
--	--	--	--

18.5.2.2 控制寄存器 2 (BS16T_CON2)

控制寄存器 2（BS16T_CON2）																															
偏移地址：004 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																								TRGOSEL				Reserved			

Reserved	Bit 31-7	-	保留, 必须保持为复位值
TRGOSEL	Bit 6-4	RW	触发输出TRGOUT选择位 000: 复位 - BS16T_SGE寄存器中的SGU位被用于触发输出 001: 使能 - 计数器使能信号被用于触发输出 010: 更新 - 更新事件被用于触发输出 011~111: 保留
Reserved	Bit 3-0	-	保留, 必须保持为复位值

18.5.2.3 中断使能寄存器 (BS16T_IER)

中断使能寄存器（BS16T_IEN）																																
偏移地址：00C _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																																UIT

Reserved	Bit 31-1	-	保留, 必须保持为复位值
UIT	Bit 0	W1	更新中断使能 0: 无效 1: 使能

18.5.2.4 中断禁止寄存器 (BS16T_IDR)

中断禁止寄存器 (BS16T_IDR)																																		
偏移地址：010 _H																																		
复位值：00000000_00000000_00000000_00000000 _B																																		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	5		
Reserved																																		

Reserved	Bit 31-1	-	保留, 必须保持为复位值
UI	Bit 0	W1	更新中断禁止 0: 无效 1: 禁止

18. 5. 2. 5 中断有效状态寄存器 (BS16T_IVS)

中断有效状态寄存器（BS16T_IVS）																																
偏移地址：014 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																																UEI

Reserved	Bit 31-1	-	保留，必须保持为复位值
UEI	Bit 0	R	更新中断有效状态 0：禁止更新中断 1：使能更新中断 IER/IDR 写 1 来使能或禁止该位。

18.5.2.6 原始中断标志寄存器 (BS16T_RIF)

原始中断标志寄存器（BS16T_RIF）																																	
偏移地址：018 _H																																	
复位值：00000000_00000000_00000000_00000000 _B																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved																																	UEVTIF

Reserved	Bit 31-1	-	保留, 必须保持为复位值
UEVTIF	Bit 0	R	更新中断标志位 如果更新中断使能, 当发生更新事件, 该标志位由硬件置起。对 BS16T_ICR 写 1 来清除原始中断。 0: 未发生更新 1: 更新中断被挂起。当寄存器更新时, 该位被硬件置起: –当重复计数器值发生上溢或者下溢(若重复计数器=0, 则更新)和当 BS16T_CON1 寄存器中 DISUE=0 –当使用 BS16T_SGE 寄存器中的 SGU 位来由软件重新初始化 CNT 时, 如果 BS16T_CON1 寄存器中的 UERSEL=0 和 DISUE=0 –当 CNT 由触发事件来重新初始化, 如果 BS16T_CON1 寄存中的 UERSEL=0 和 DISUE=0。

18.5.2.7 中断标志屏蔽状态寄存器 (BS16T_IFM)

中断标志屏蔽状态寄存器（BS16T_IFM）																																
偏移地址：01C _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	UEI
Reserved																																

Reserved	Bit 31-1	-	保留, 必须保持为复位值
UEI	Bit 0	R	更新中断标志位 如果更新中断使能, 当发生更新事件, 该标志位由硬件置起。对 BS16T_ICR 写 1 来清除原始中断。 0: 未发生更新或中断未使能 1: 更新中断被挂起。当寄存器更新时, 该位被硬件置起: -当重复计数器值发生上溢或者下溢(若重复计数器=0, 则更新)和当 BS16T_CON1 寄存器中 DISUE=0 -当使用 BS16T_SGE 寄存器中的 SGU 位来由软件重新初始化 CNT 时, 如果 BS16T_CON1 寄存器中的 UERSEL=0 和 DISUE=0 -当 CNT 由触发事件来重新初始化时, 如果 BS16T_CON1 寄存中的 UERSEL=0 和 DISUE=0。

注: BS16T_IFM 寄存器是滤除已关闭中断功能的中断事件, 只关注开启中断功能的事件, 此寄存器的状态位是将 BS16T_RIF 与 BS16T_IVS 进行逻辑与运算后的结果。

18.5.2.8 中断清零寄存器 (BS16T_ICR)

中断清零寄存器（BS16T_ICR）																																
偏移地址：020 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																																UEIC

Reserved	Bit 31-1	-	保留, 必须保持为复位值
UEIC	Bit 0	C_W1	更新中断清零 0: 无效 1: 更新中断清零 (BS16T_RIF)

18.5.2.9 事件生成寄存器 (BS16T_SGE)

事件生成寄存器 (BS16T_SGE)																																		
偏移地址: 024 _H																																		
复位值: 00000000_00000000_00000000_00000000 _B																																		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	SGU		
Reserved																																		

Reserved	Bit 31-1	-	保留, 必须保持为复位值
SGU	Bit 0	W1	更新生成 该位由软件设置, 可由硬件自动清零. 0: 无动作 1: 重新初始化计数器, 更新寄存器。注意, 预分频器也会被清零 (但预分频比不会受到影响)。如果使用中心对齐模式或者 DIR=0 (递增), 则计数器将清零; 否则如果 DIR=1 (递减), 则将使用自动重载入值。

18.5.2.10 计数器 (BS16T_COUNT)

计数器 (BS16T_COUNT)																															
偏移地址: 034 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																CNTV															

Reserved	Bit 31-16	-	保留, 必须保持为复位值
CNTV	Bit 15-0	R/W	计数值

18.5.2.11 预分频器 (BS16T_PRES)

预分频器（BS16T_PRES）																															
偏移地址：038 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																PSCV															

Reserved	Bit 31-16	-	保留, 必须保持为复位值
PSCV	Bit 15-0	R/W	预分频器值 计数器时钟频率 (CK_CNT) = f_{CK_PSC} / (PSCV<15:0> + 1) 每发生一次更新事件 (包括当计数器由 BS16T_SGE 寄存器中的 SGU 位清零或当配置为复位模式时, 通过触发控制器清零), PSCV 包含的值将被填入到有效的预分频寄存器内。

18.5.2.12 自动重载寄存器 (BS16T_AR)

自动重载寄存器（BS16T_AR）																																	
偏移地址：03C _H																																	
复位值：00000000_00000000_11111111_11111111 _B																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved																ARRV																	

Reserved	Bit 31-16	-	保留, 必须保持为复位值
ARRV	Bit 15-0	R/W	自动重载值 AR 中的值将被载入实际的自动重载寄存器中。 当自动重载值为空, 计数器被屏蔽。

18.5.2.13 DMA使能寄存器 (BS16T_DMAEN)

DMA 使能寄存器（BS16T_DMAEN）																																
偏移地址：058 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																																UDEN

Reserved	Bit 31-1	-	保留, 必须保持为复位值
UDEN	Bit 0	R/W	DMA 访问使能 0: DMA 访问禁止 1: DMA 访问使能

第19章 低功耗定时器（LP16T）

19.1 概述

LP16T 是为低功耗应用设计的 16 位定时计数器。LP16T 有多种时钟源选择，能够在多种低功耗模式下（SLEEP，STOP）运行，STANDBY 除外。LP16T 支持外部时钟源，可以在内部时钟停止的情况下计数。LP16T 可以将系统从 SLEEP，STOP 模式唤醒。

19.2 特性

- ◆ 16 位向上计数
- ◆ 3 位预分频器支持 8 种分频系数 (1, 2, 4, 8, 16, 32, 64, 128)
- ◆ 时钟源
 - ◇ 内部时钟源: PCLK, HRC48M, LRC, HOSC
 - ◇ 外部时钟源: 外部端口输入
- ◆ 16 位 ARR 自动加载寄存器
- ◆ 16 位比较寄存器
- ◆ 连续或单发模式可选
- ◆ 软件或硬件触发可选
- ◆ 可编程滤波器
- ◆ 可配置输出: 脉冲, PWM, 翻转
- ◆ 输出极性可配

19.3 结构框图

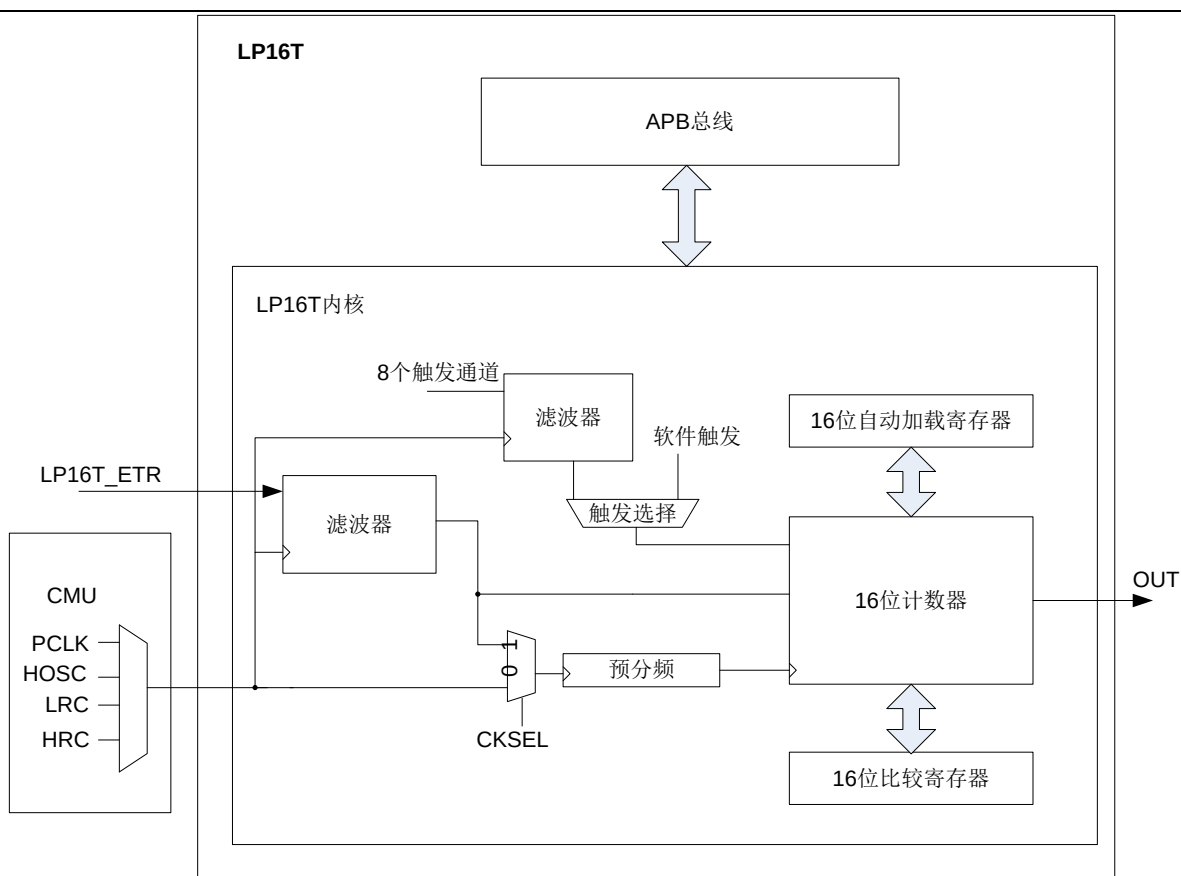


图 19-1 LP16T 结构框图

19.4 功能描述

19.4.1 时钟源

LP16T 的内部计数时钟源有 PCLK, HRC48M, LRC, HOSC, 可通过 CMU 配置寄存器 CMU_CFGR 的 LPTCLKS 位进行选择, 当选择为 PCLK 以外的时钟源时 (CMU_CFGR 的 LPTCLKS $\neq$ 00), 则在其时钟源使能后 (CMU_CFGR 的 LPTCLKEN=1), 需延迟至少两个 LP16T 时钟源周期后, 再对 LP16T 定时器的其他寄存器进行读写操作, 否则有可能导致读写操作失败。

LP16T 可选择外部端口输入信号 LP16T_ETR 作为计数时钟, 可在低功耗模式下内部时钟停止时作为计数器使用, 当把 IO 端口复用为 LP16T_ETR 时, 需将对应端口设置为输入。

通过设置寄存器 LP16T_CON0 的 CKSEL 位可选择使用内部时钟或外部时钟作为计数时钟。当使用外部时钟时, 可通过 CKPOL 位可选择外部时钟的有效计数边沿。

19.4.2 数字滤波器

LP16T 的外部时钟输入和外部触发输入, 可通过数字滤波器进行滤波, 以阻止毛刺或噪声进入 LP16T 内部, 防止错误的计数或触发。

在使能数字滤波器前, 需先通过寄存器 SCU_LPCLK 的 LPTCLKS 位选择内部时钟源, 作为数字滤波器的工作时钟。

支持两个独立的数字滤波器:

一个用来进行 LP16T 的外部时钟输入信号滤波, 滤波时间可通过寄存器 LP16T_CON0 的 CKFLT 位进行设置。

一个用来进行 LP16T 的外部触发输入信号滤波, 滤波时间可通过寄存器 LP16T_CON0 的 TRGFLT 位进行设置。

19.4.3 预分频器

LP16T 的 16 位计数器支持一个可配置预分频器, 预分频系数可通过寄存器 LP16T_CON0 的 PRESC<2:0>位进行设置。

19.4.4 触发源选择

LP16T 计数器可由软件启动, 也可选择使用外部触发源启动, 共支持 8 个外部触发源可选, 在检测到外部触发源信号的有效边沿之后, 启动计数器。

可通过 TRIGEN<1:0>位来选择 LP16T 使用软件触发和配置外部触发源信号的有效边沿。

当 TRIGEN=00 时, 软件置位 CNTSTRT 或者 SNGSTRT 可启动 LP16T 计数器。

当 TRIGEN=01, 10 或 11 时分别配置外部触发源信号的有效边沿, LP16T 计数器在检测到有效触发边沿后启动计数。

共支持 8 个外部触发源, 可通过 TRIGSEL<2:0>位来选择所使用的外部触发源, 8 个外部触发源分别对应于外部中断 PINT0~7 端口, 将外部中断端口用作 LP16T 的外部触发源时, 只与端口信号变化有关, 与外部中断是否使能无关。

外部触发信号对于 LP16T 来说是异步的，所以在检测到触发后，至少需要 2 个计数时钟周期的迟延时间来保证同步，待同步完成后启动计数器。

如果计数器已经启动，此时再次检测到新的触发事件，该事件将被忽略。

注：在软件置位 SNGSTRT/CNTSTRT 之前，必须先使能计数器。在计数器禁止期间，对 SNGSTRT/CNTSTRT 的操作无效。

19.4.5 计数模式

LP16T 支持两种工作模式：

连续模式：计数器自由计数，计数器由触发事件启动后便一直计数，直到关闭计数器。

单发模式：计数器由触发事件启动计数后，计数到 ARR 值后停止，检测到新的触发事件会重启计数器。在计数器启动之后，直到计数达到 ARR 值的计数期间，任何新的触发事件都将被忽略。

在进行设定工作模式前要先判断 CON1WBSY 为 0，即同步未开始或同步已结束。

若要进行单发计数，应先置位 SNGSTRT。

如果选择了外部触发，则每一个在 SNGSTRT 置位之后和计数器停止之后的触发事件，都将启动新的单发计数。如下图所示：

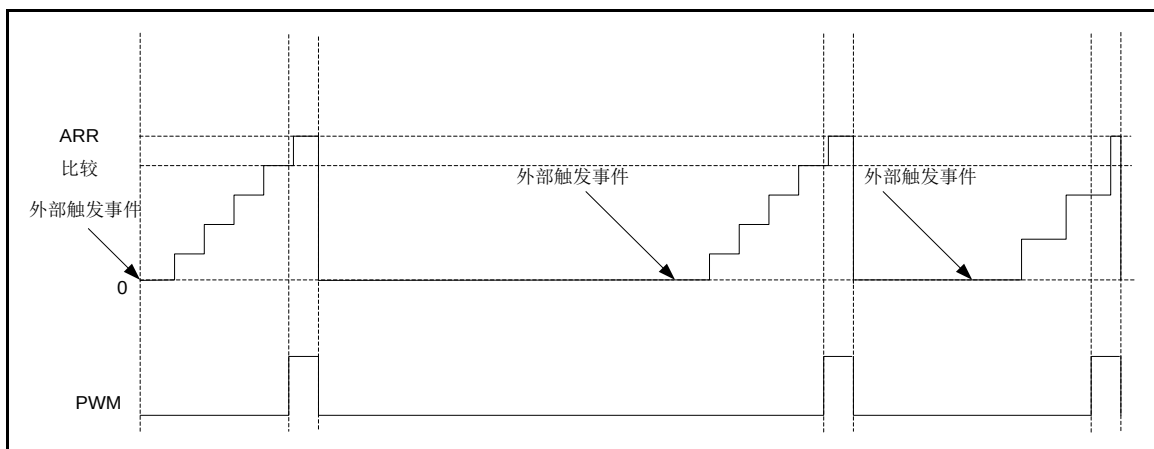


图 19-2 单发计数示意图

若要进行连续计数，需软件置位 CNTSTRT。

选择外部触发的情况下，置位 CNTSTRT 后，触发事件将启动计数器开始连续计数，之后新的触发事件将被忽略。如下图所示：

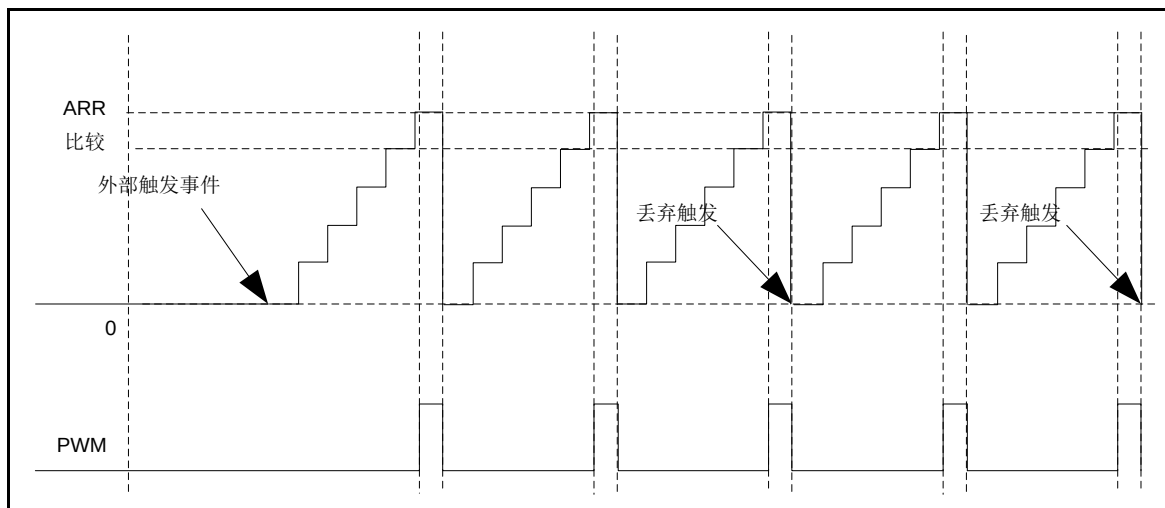


图 19-3 连续计数示意图

如果采用软件启动的方式，置位 CTNSTRT 将启动计数器进行连续计数。

SNTSTRT 和 CNTSTRT 位只能在计数器被使能后（寄存器 LP16T_CON1 的 ENABLE 位为 1）才能置位。单发模式和连续模式之间可以相互切换。

在连续模式计数期间，置位 SNGSTRT 可将 LP16T 切换至单发模式。计数器在计数至 ARR 值后将停止。

在单发模式计数期间，置位 CNTSTRT 可将 LP16T 切换至连续计数模式。计数器计数至 ARR 值后将重启计数。

19.4.6 输出波形

2 个 16 位寄存器，LP16T_ARR（自动加载寄存器）和 LP16T_CMP（比较寄存器），用于生成各种不同的波形，并输出到端口。

PWM: LP16T 输出在 LP16T_CNT 和 LP16T_CMP 匹配时置位，在 LP16T_CNT 和 LP16T_ARR 匹配时清零。须注意定时器的初始默认输出电平为高电平。

脉冲: LP16T 输出在 LP16T_CNT 和 LP16T_ARR 匹配时将置位一个计数时钟周期，在下次匹配之前一直处于清零状态。

翻转: LP16T 输出在 LP16T_CNT 和 LP16T_ARR 匹配时将当前输出翻转。

19.4.7 寄存器更新

LP16T_ARR 和 LP16T_CMP 寄存器可在 APB 总线写操作之后马上更新或者在计数器计完当前周期后更新。可通过 PRELOAD 位控制 LP16T_ARR 和 LP16T_CMP 的更新方式。

当 PRELOAD 为 0 时，LP16T_ARR 和 LP16T_CMP 在写操作之后马上更新。

当 PRELOAD 为 1 时，若计数器已经启动，LP16T_ARR 和 LP16T_CMP 将在当前计数周期结束后更新。

APB 总线和 LP16T 使用不同的时钟，所以在 APB 总线的写操作和设定值真正写到计数器的比较寄存器之间是有一些延迟的。在这期间，须避免对同一个寄存器的重复写操作。

LP16T_SYNCSTAT 寄存器的 CON1WBSY, ARRWBSY, CMPWBSY 和 CNTWBSY 标志位分别表示对寄存器 LP16T_CON1, LP16T_ARR, LP16T_CMP 和 LP16T_CNT 的写操作是否完成。

对寄存器 LP16T_CON1, LP16T_ARR, LP16T_CMP 和 LP16T_CNT 写之后, 新的写命令必须在该寄存器的前一次写操作结束之后才能进行, 否则连续的写操作会导致不可预期的结果。

19.4.8 中断

如果 LP16T_IER 使能, 以下事件可产生中断或唤醒

- ◇ 计数比较匹配
- ◇ 自动加载匹配
- ◇ 外部触发事件

19.5 特殊功能寄存器

19.5.1 寄存器列表

LP16T 寄存器列表		
名称	偏移地址	描述
LP16T_CON0	0000 _H	LP16T 控制寄存器 0
LP16T_CON1	0004 _H	LP16T 控制寄存器 1
LP16T_ARR	0008 _H	LP16T 自动加载寄存器
LP16T_CNT	000C _H	LP16T 计数寄存器
LP16T_CMP	0010 _H	LP16T 比较值寄存器
Reserved	0014 _H	保留
LP16T_IER	0018 _H	LP16T 中断使能寄存器
LP16T_ISR	001C _H	LP16T 中断状态寄存器
LP16T_IFC	0020 _H	LP16T 中断标志清零寄存器
Reserved	0024 _H ~002C _H	保留
LP16T_UPDATE	0030 _H	LP16T 更新控制寄存器
LP16T_SYNCSTAT	0034 _H	LP16T 写同步状态寄存器

19.5.2 寄存器描述

19.5.2.1 控制寄存器 0 (LP16T_CON0)

LP16T 控制寄存器 0 (LP16T_CON0)																																	
偏移地址：00 _H																																	
复位值：00000000_00000000_00000000_00000000 _B																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved									PRELOAD	WAVEPOL	WAVE	TRIGEN	Reserved	TRIGSEL	Reserved	PRESC	Reserved	TRGFLT	Reserved	CKFLT	Reserved	CKPOL	CKSEL										

Reserved	Bit 31-23	—	保留
PRELOAD	Bit 22	R/W	寄存器更新模式选择位 控制LP16T_ARR和LP16T_CMP寄存器更新 0: 寄存器在写操作后更新 1: 寄存器在当前计数周期结束后更新
WAVEPOL	Bit 21	R/W	输出波形极性选择位 0: 输出不取反 1: 输出取反
WAVE	Bit 20-19	R/W	输出波形格式选择位 00: 输出禁止 01: LP16T计数溢出时输出翻转 10: LP16T计数溢出时输出脉冲 11: LP16T输出PWM波形
TRIGEN	Bit 18-17	R/W	触发源及外部触发边沿选择位 控制LP16T是否由外部触发启动。如果选择外部触发, 有3种触发边沿可选择 00: 软件触发 01: 上升沿有效 10: 下降沿有效 11: 双边沿有效
Reserved	Bit 16	—	保留
TRIGSEL	Bit 15-13	R/W	外部触发源选择位 000: EXT_TRIG0 001: EXT_TRIG1 010: EXT_TRIG2 011: EXT_TRIG3 100: EXT_TRIG4 101: EXT_TRIG5 110: EXT_TRIG6 111: EXT_TRIG7 注: EXT_TRIG0~7分别对应于外部中断PINT0~7端口

Reserved	Bit 12	—	保留
PRESC	Bit 11-9	R/W	时钟预分频选择位 000: 1分频 001: 2分频 010: 4分频 011: 8分频 100: 16分频 101: 32分频 110: 64分频 111: 128分频
Reserved	Bit 8	R/W	保留
TRGFLT	Bit 7-6	R/W	外部触发信号EXT_TRIG的数字滤波时间配置位 如信号电平变化小于滤波时间, 则会被滤除 00: 外部触发信号无滤波 01: 滤波时间为2T, 外部触发信号跳变后的电平须维持2T以上 10: 滤波时间为4T, 外部触发信号跳变后的电平须维持4T以上 11: 滤波时间为8T, 外部触发信号跳变后的电平须维持8T以上 注: 滤波时间T为由寄存器CMU_CFGR的LPTCLKS位选择的时钟源周期
Reserved	Bit 5	—	保留
CKFLT	Bit 4-3	R/W	外部时钟信号LP16T_ETR的数字滤波时间配置位 如外部时钟信号高/低脉冲宽度小于滤波时间, 则会被滤除 00: 外部时钟信号无滤波 01: 滤波时间为2T, 外部时钟信号高/低电平均须维持2T以上 10: 滤波时间为4T, 外部时钟信号高/低电平均须维持4T以上 11: 滤波时间为8T, 外部时钟信号高/低电平均须维持8T以上 注: 滤波时间T为由寄存器CMU_CFGR的LPTCLKS位选择的时钟源周期
Reserved	Bit 2	—	保留
CKPOL	Bit 1	R/W	外部时钟有效边沿选择位 0: 上升沿为计数有效边沿 1: 下降沿为计数有效边沿
CKSEL	Bit 0	R/W	计数时钟源选择位 0: 内部时钟源 (可通过寄存器CMU_CFGR的LPTCLKS位进行选择, 并通过LPTCLKEN 位

			使能该内部时钟源) 1: 外部时钟源 (从LP16T_ETR端口输入)
--	--	--	--

19.5.2.2 控制寄存器 1 (LP16T_CON1)

LP16T 控制寄存器 1 (LP16T_CON1)																																
偏移地址：04 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																														CNTSTRT	SNGSTRT	ENABLE

Reserved	Bit 31-3	—	保留
CNTSTRT	Bit 2	R/W	LP16T连续模式启动控制位 该位由软件置位, 由硬件清零 在软件启动方式 (TRIGEN<1:0>='00') 下, 置位CNTSTRT将启动LP16T进入连续计数模式。 在软件启动方式禁止时 (TRIGEN<1:0>不为00), 置位CNTSTRT后, LP16T将在检测到外部触发后启动连续计数。 如果LP16T在单发计数模式下, 置位CNTSTRT将使LP16T在计数到LP16T_ARR后切换到连续计数模式。 该位只能在LP16T使能后进行设定。 读取该位始终为0。
SNGSTRT	Bit 1	R/W	LP16T单发模式启动控制位 该位由软件置位, 由硬件清零 在软件启动方式 (TRIGEN<1:0>='00') 下, 置位SNGSTRT将启动LP16T进入单发计数模式。 在软件启动方式禁止时 (TRIGEN<1:0>不为00), 置位SNGSTRT后, LP16T将在检测到外部触发后启动单发计数。 如果LP16T在连续计数模式下, 置位SNGSTRT将使LP16T在计数到LP16T_ARR后停止计数。 该位只能在LP16T使能后进行设定。 读取该位始终为0。
ENABLE	Bit 0	R/W	LP16T使能位 该位由软件置位或清零 0: LP16T禁止 1: LP16T使能

19.5.2.3 自动加载寄存器 (LP16T_ARR)

LP16T 自动加载寄存器 (LP16T_ARR)																															
偏移地址: 08 _H																															
复位值: 00000000_00000000_00000000_00000001 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																ARR															

Reserved	Bit 31-16	—	保留
ARR	Bit 15-0	R/W	自动加载值 ARR是LP16T的自动加载值。 ARR必须大于CMP<15: 0>的值。 ARR的值必须在LP16T使能后改写 (ENABLE=1)

19.5.2.4 计数寄存器 (LP16T_CNT)

LP16T 计数寄存器 (LP16T_CNT)																															
偏移地址: 0C _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																CNT															

Reserved	Bit 31-16	—	保留
CNT	Bit 15-0	R/W	计数值 当LP16T正在以异步时钟计数时, 读取LP16T_CNT可能会返回不可信赖值。所以, 在这种情况下有必要进行2次连续的读操作, 并且如果两次读取的值相同, 说明当前读到的计数值是可靠的。

19.5.2.5 比较值寄存器 (LP16T_CMP)

LP16T 比较值寄存器 (LP16T_CMP)																															
偏移地址: 10 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																CMP															

Reserved	Bit 31-16	—	保留
CMP	Bit 15-0	R/W	比较值 CMP作为LP16T的比较值 LP16T_CMP的值只能在LP16T使能后被改写 (ENABLE=1)

19.5.2.6 中断使能寄存器 (LP16T_IER)

LP16T 中断使能寄存器（LP16T_IER）																															
偏移地址：18 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																											EXTTRIGIE	ARRMIE	CMPMIE		

Reserved	Bit 31-3	—	保留
EXTTRIGIE	Bit 2	R/W	外部触发有效边沿中断使能位 0: EXTTRIG中断禁止 1: EXTTRIG中断使能
ARRMIE	Bit 1	R/W	自动加载中断使能位 0: ARRM中断禁止 1: ARRM中断使能
CMPMIE	Bit 0	R/W	比较匹配中断使能位 0: CMPM中断禁止 1: CMPM中断使能

19.5.2.7 中断状态寄存器 (LP16T_ISR)

LP16T 中断状态寄存器 (LP16T_ISR)																																	
偏移地址: 1C _H																																	
复位值: 00000000_00000000_00000000_00000XXX _B																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved																												EXTTRIG		ARRM		CMPM	

Reserved	Bit 31-3	—	保留
EXTTRIG	Bit 2	R	外部触发有效边沿事件 EXTTRIG由硬件置位,表示在所选择的外部触发通路上检测到有效边沿。 该位通过软件操作LP16T_IFC清零。
ARRM	Bit 1	R	自动加载值匹配 ARRM由硬件置位,表示LP16T_CNT计数值达到LP16T_ARR寄存器的设定值。 该位通过软件操作LP16T_IFC清零。
CMPM	Bit 0	R	比较匹配 CMPM由硬件置位,表示LP16T_CNT计数值达到LP16T_CMP寄存器的设定值。 该位通过软件操作LP16T_IFC清零。

19.5.2.8 中断标志清零寄存器 (LP16T_IFC)

LP16T 中断标志清零寄存器 (LP16T_IFC)																																	
偏移地址: 20 _H																																	
复位值: 00000000_00000000_00000000_00000000 _B																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved																												EXTTRIG		ARRM		CMPM	

Reserved	Bit 31-3	—	保留
EXTTRIG	Bit 2	W1	外部触发有效边沿事件标志清零 对该位写1有效。
ARRM	Bit 1	W1	自动加载值匹配标志清零 对该位写1有效。
CMPM	Bit 0	W1	比较匹配标志清零 对该位写1有效。

19.5.2.9 更新控制寄存器 (LP16T_UPDATE)

LP16T 更新控制寄存器 (LP16T_UPDATE)																																
偏移地址: 30 _H																																
复位值: 00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	UDIS
Reserved																																

Reserved	Bit 31-1	R/W	保留
UDIS	Bit 0	R/W	寄存器更新控制位 0: 寄存器写入后新值将被更新到计数器工作电路 1: 寄存器写入后新值不被更新到计数器工作电路 置 1 后, 寄存器新写值将不会生效, 直到该位被清零。 用该位可控制多个寄存器同时更新生效。 该位控制的寄存器包括: LT16T_CON1、LP16T_ARR、LP16T_CNT、LP16T_CMP。

19.5.2.10 写同步状态寄存器 (LP16T_SYNCSTAT)

LP16T 写同步状态寄存器 (LP16T_SYNCSTAT)																																					
偏移地址: 34 _H																																					
复位值: 00000000_00000000_00000000_00000000 _B																																					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
Reserved																												CNTWBSY		CMPWBSY		ARRWBSY		CON1WBSY		Reserved	

Reserved	Bit 31-4	—	保留
CNTWBSY	Bit 4	R	寄存器LP16T_CNT写同步状态位 0: 同步未开始或同步已结束 1: 同步中
CMPWBSY	Bit 3	R	寄存器LP16T_CMP写同步状态位 0: 同步未开始或同步已结束 1: 同步中
ARRWBSY	Bit 2	R	寄存器LP16T_ARR写同步状态位 0: 同步未开始或同步已结束 1: 同步中
CON1WBSY	Bit 1	R	寄存器LP16T_CON1写同步状态位 0: 同步未开始或同步已结束 1: 同步中
Reserved	Bit 0	—	保留

第20章 串行总线（I2C0~1）

20.1 概述

I2C 是两线双向的串行传输总线，提供了一种简单有效的方法来实现设备之间的数据交换。

标准 I2C 是一个多主机总线且包括冲突检测与仲裁，提供了标准模式（Sm）、快速模式（Fm）与极快速模式（Fm+）供用户选择，并且也提供 SMBus（系统管理总线）与 PMBus（电源管理总线）。

芯片内部共有 2 个两线双向串行传输总线（I2C0~1）。

20.2 特性

- ◆ 可配置为主机或从机
- ◆ 多主机模式
- ◆ 标准模式（速率最高 100 KHz）
- ◆ 快速模式（速率最高 400 KHz）
- ◆ 极快速模式（速率最高 1 MHz）
- ◆ 支持 7 位与 10 位地址模式
- ◆ 支持 2 组 7 位从机地址（2 个地址，其中一个包括屏蔽功能）
- ◆ 支持所有 7 位地址接听模式
- ◆ 支持广播模式
- ◆ 可配置的建立时间和保持时间
- ◆ 可选择时钟延长
- ◆ 可配置数字滤波器
- ◆ 支持 DMA 传输
- ◆ 支持 SMBus 标准功能
- ◆ 硬件 PEC（封包错误检查）产生与 ACK 控制
- ◆ 命令与数据应答控制
- ◆ 支持地址解析通讯协议
- ◆ 支持 SMBus 警报
- ◆ 支持侦测超时与空闲功能
- ◆ 支持 PMBus rev 1.1 标准功能

20.3 结构图

关于 I2C 电路模块的结构如下图所示：

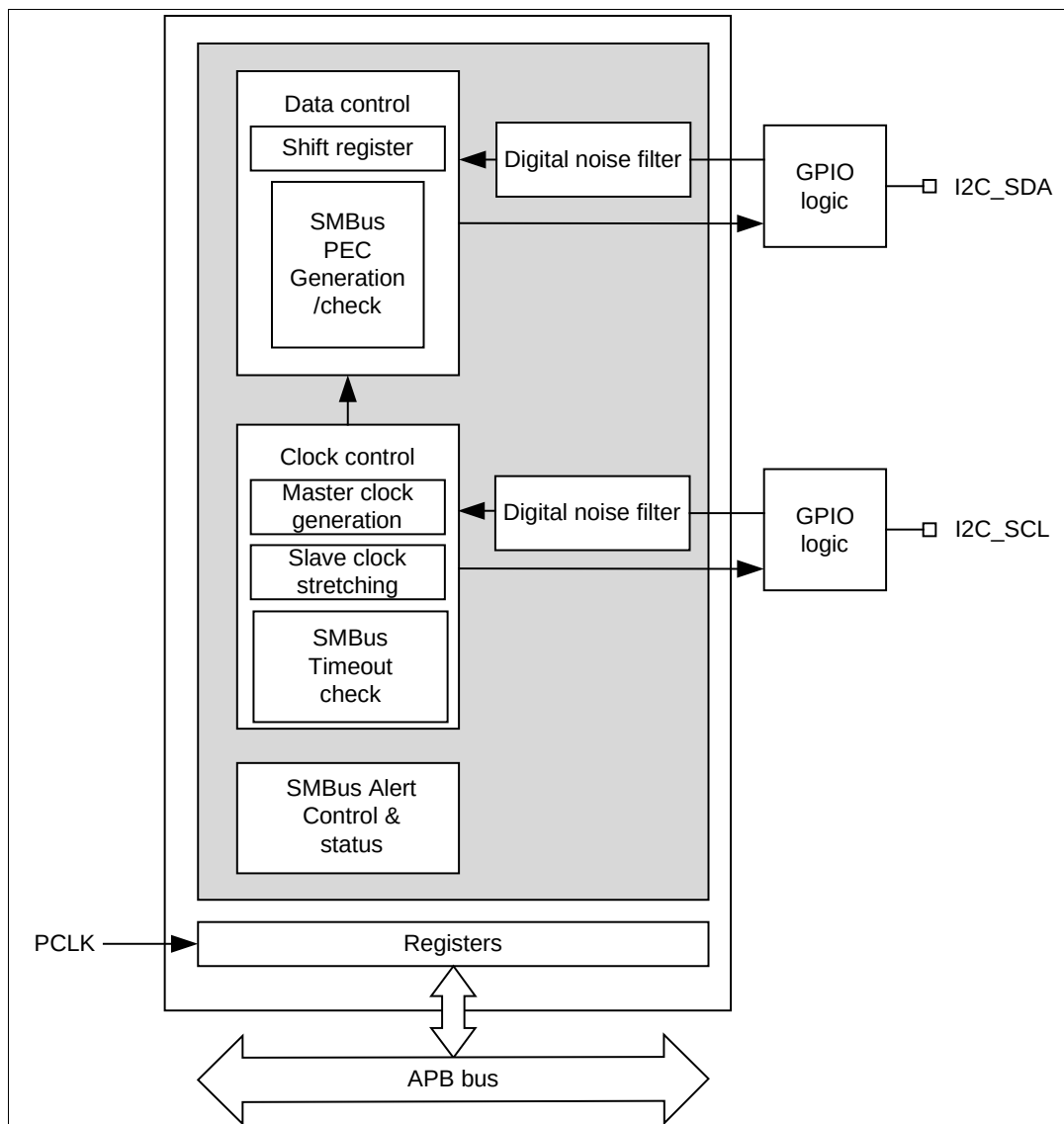


图 20-1 I2C 结构图

20.4 功能描述

I2C 接口支持多个通信检测和数据传输中断,可由软件开启或关闭。该接口通过数据引脚(SDA)和时钟引脚(SCL)连接到 I2C 总线,可以连接标准模式(最高 100 KHz),快速模式(最高 400 KHz)或极快速模式(最高 1 MHz)的 I2C 总线。

该接口也可通过数据引脚(SDA)和时钟引脚(SCL)连接到 SMBus。

如果支持 SMBus 功能: 可以使用 SMBus 警报引脚(SMBA)。

20.4.1 I2C总线协议

I2C 是一种双线双向串行总线,可在设备之间提供简单有效的数据交换方法。标准 I2C 是真正的多主机总线,包括冲突检测和仲裁,如果两个或多个主机同时尝试控制总线,其仲裁可防止数据损坏。数据在主机和从机之间逐字节同步传输到串行数据(SDA)和串行时钟(SCL)总线,每个数据字节长度为 8 位。

20.4.1.1 START和STOP条件协议

I2C 规范将起始条件定义为 SDA 从高电平到低电平的转换,且 SCL 为高电平。起始条件由主机产生,表示总线从空闲状态转换为活动状态。每个数据位有一个 SCL 时钟脉冲,首先发送数据最高位 MSB。每个传送的字节后面都有一个应答位。当 SCL 为高电平时,SDA 的电平变化被解释为通信启动或结束命令(START 或 STOP),因此在数据通信过程中,SDA 仅可以在 SCL 的低电平期间改变,并且必须在 SCL 的高电平期间保持稳定。

当总线空闲时,SCL 和 SDA 都通过总线上的外部上拉电阻拉高。当主机想要在总线上开始传输时,主机发出 START 信号(SDA 从高电平跳变到低电平,且 SCL 为高电平)。当主机想要停止传输时,主机发出 STOP 信号(SDA 从低电平跳变到高电平,且 SCL 为高电平)。START 和 STOP 信号的时序如下图所示。

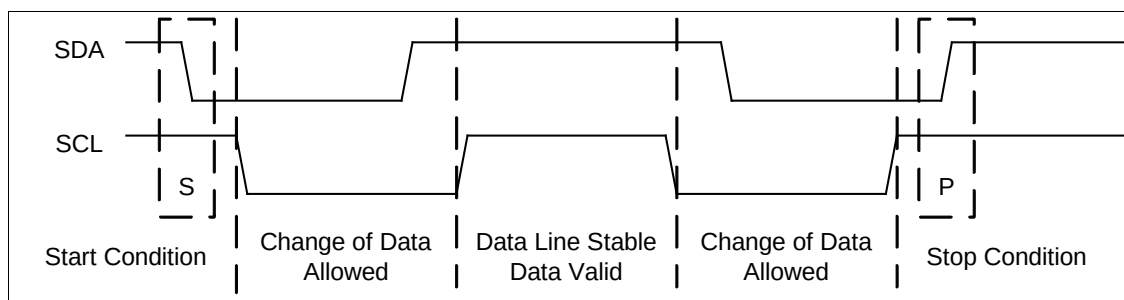


图 20-2 START 和 STOP 信号

20.4.1.2 应答位

数据传输必须带有应答位，应答位相关的时钟脉冲由主机产生。主机在应答时钟脉冲期间释放 SDA（高电平），从机必须在应答时钟脉冲低电平期间下拉 SDA，以便在时钟脉冲的高电平期间保持稳定的低电平。当然，还必须考虑应答位的建立和保持时间。通常，已经被寻址的从机必须在接收到每个字节后产生应答，除非数据以 CBUS 地址开始。

当从机不应答从机地址时（例如，由于它正在执行某些实时功能而无法接收或发送），从机必须将数据线保持为高电平。然后主机可以产生 STOP 条件以中止传输，或者重复 START 条件以开启新传输。

如果从机应答了从机地址，但是在传输过程中的某个时间不能再接收数据字节，则从机需在随后的第一个字节接收时产生非应答来表示，从机使数据线保持高电平，主机产生 STOP 或重复 START 条件。

如果主机想停止接收数据，它必须在最后一个字节接收时产生非应答，来向从机发送数据结束信号，从机必须释放数据线，以允许主机产生 STOP 或重复 START 条件。

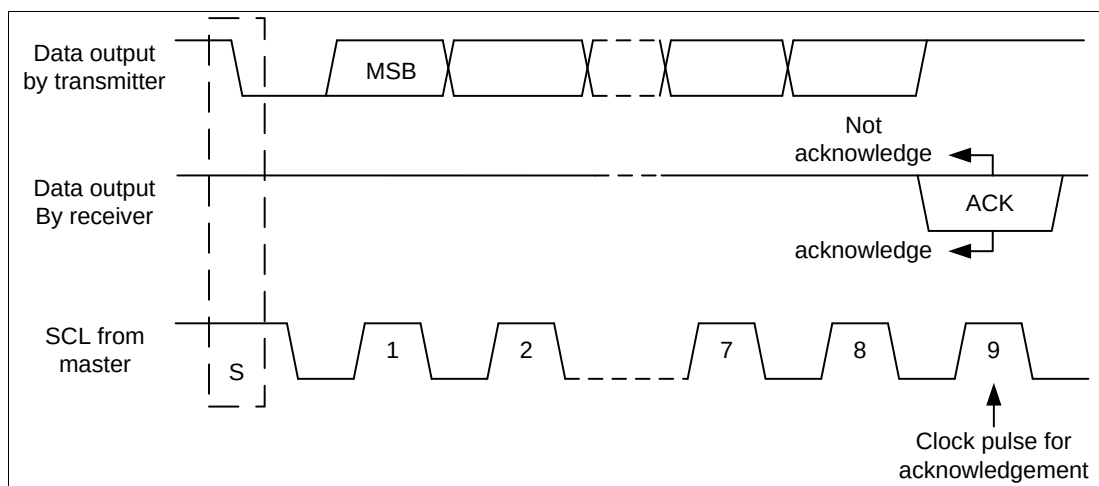


图 20-3 I2C 总线上的应答位

20.4.1.3 I2C寻址从协议

I2C 支持两种地址格式：7 位地址格式和 10 位地址格式。在 7 位地址格式时，第一个字节的前 7 位（位<7:1>）设置从地址，LSB 位（位<0>）是 R/W 位，当 LSB 位设置为 0 时，表示主机写入从机，当 LSB 位设置为 1 时，表示主机由从机读取。数据首先传输最高有效位（MSB）。在 10 位地址格式时，传输两个字节以设置 10 位地址。第一个字节的传输包含以下位定义：前 5 位（位<7:3>）通知从机这是一个 10 位地址传输，接着后两位（位<2:1>）为从机地址位<9:8>，LSB 位（位<0>）是 R/W 位；传输的第二个字节设置从机地址位<7:0>。

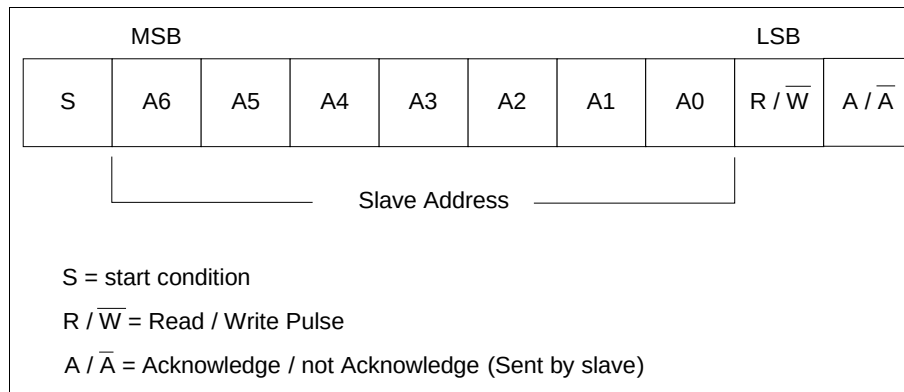


图 20-4 7 位地址格式

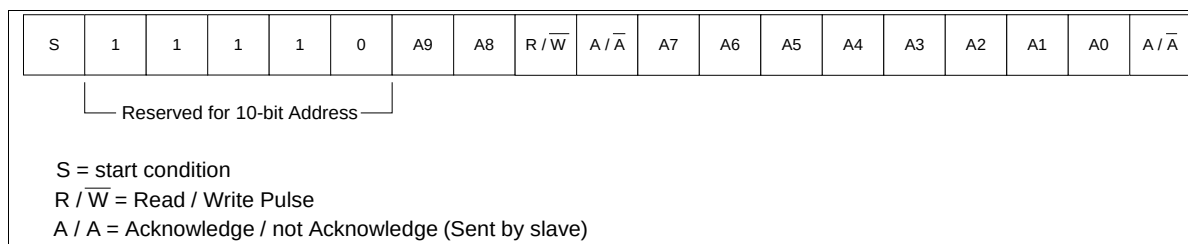


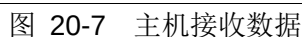
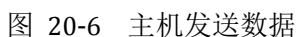
图 20-5 10 位地址格式

从地址	R/W位	描述
0000 000	0	广播地址
0000 000	1	START字节
0000 001	X	CBUS地址
1111 0XX	X	10位从机寻址

表 20-1 第一个字节中的位定义

20.4.1.4 I2C发送和接收协议

所有数据都以字节格式传输，对每次传输的字节数没有限制。在主机发送地址和 R/W 位或主机向从机发送一个字节数据后，接收的从机必须响应应答信号，当接收的从机没有响应应答脉冲时，主机通过发出 STOP 条件来中止传输，从机应使 SDA 保持高电平，以便主机可以中止传输。如果主机正在发送数据，则接收的从机在接收到每个数据字节后用应答脉冲响应主机。传输格式如下：



I2C 模块工作由 I2CCLK 提供时钟。

I2CCLK 周期 T_{I2CCLK} 必须符合以下条件:

$$T_{I2CCLK} < (T_{LOW} - T_{Filter}) / 4 \text{ 与 } T_{I2CCLK} < T_{HIGH}$$

其中：

T_{LOW} : SCL 低电平时间。

T_{HIGH} : SCL 高电平时间。

T_{Filter}: 开启数字滤波器时带来的延迟时间。数字滤波器延迟为 $DNF \times T_{12CCLK}$ 。

PCLK 时钟周期 T_{PCLK} 必须符合以下条件:

$$T_{PCLK} < 4/3 T_{SCL}.$$

T_{SCL} : SCL 周期。

20.4.3 数据传输

SDA 数据线的每个字节必须为 8 位长度。每次传输的字节数不受限制，每个字节后面都必须有一个应答位，首先传输最高位（MSB）。如果从机来不及接收或发送另一个完整的数据字节，则从机可以将 SCL 保持为低电平以强制主机进入等待状态，直到从机准备好接收另一个数据字节并释放 SCL 时，数据传输继续。

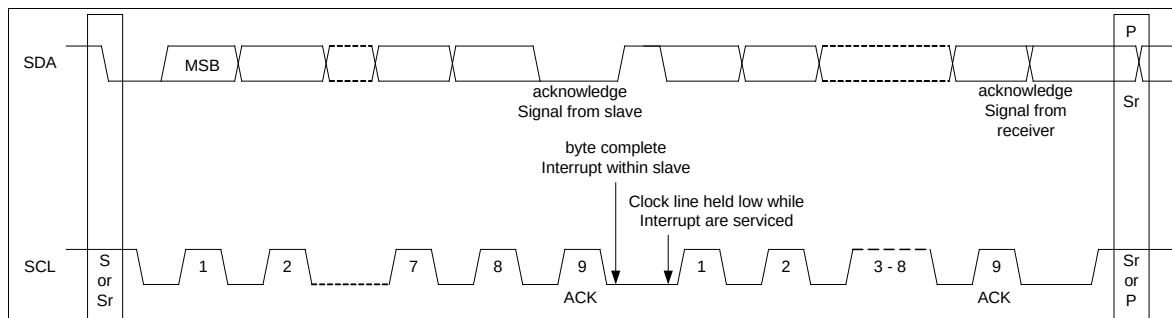


图 20-8 I2C 总线上的数据传输

接收

SDA 输入移位寄存器，在第 8 个 SCL 脉冲之后（接收到完整的数据字节），如果 RXNE=1，表示接收器非空，尚未读取先前接收的数据字节，此时 SCL 会在第 9 个 SCL 脉冲之后延长，直到读取 I2C_RXDATA 寄存器，使得接收器为空。

发送

如果发送器不为空（TXE=0），则在第 9 个 SCL 脉冲（应答脉冲）之后将其内容传输到发送移位寄存器中，然后移位寄存器的内容会在 SDA 上发送。如果 TXE=1，表示发送器尚未写入数据，则 SCL 将被拉低（应答脉冲之后），直到通过写入 I2C_TXDATA 寄存器，将数据传输到发送器。

硬件传输管理

I2C 模块包含一个字节计数器，用于管理数据字节传输过程，例如：在主模式下产生 NACK、STOP 和 RESTART，从接收模式下的 ACK 控制，支持 SMBus 功能时的 PEC 产生/检查。

字节计数器通常在主模式下使用，在从机模式下默认关闭，但可以通过设置 I2C_CON1 寄存器中的 SBC 位开启。设置 I2C_CON1 寄存器和 I2C_CON2 寄存器中的 NBYTES<15:0>位可选择要传输的字节数，如果要传输的字节数大于 65535，或者接收时想要控制接收数据字节的应答值，则必须通过设置 I2C_CON2 寄存器中的 RELOAD 位为 1，来选择重载模式。在此模式下，当传送完毕 NBYTES 中所设置的字节数时，会置起 I2C_RIF 寄存器中的 TCR 中断标志位，如果 I2C_IER 寄存器中的 TCR 位为 1，则会产生中断请求。只要置起了 TCR 标志位，SCL 就会被延长。当软件对 NBYTES 写入非零值时，硬件会自动清除 TCR 标志位。

当 NBYTES 计数器重载最后一个字节数时，必须清除 RELOAD 位。

当主模式下 RELOAD 位为 0 时，计数器可用于 2 种模式：

- ◆ **自动结束模式**（I2C_CON2 寄存器中的 AUTOEND 位为 1）。在此模式下，一旦传输完毕 NBYTES<15:0>位所设置的字节数，主机就会自动发送 STOP 条件。

- ◆ **软件结束模式** (I2C_CON2 寄存器中的 AUTOEND 位为 0)。在此模式下,一旦传输完毕 NBYTES<15:0>位所设置的字节数,就会置起 I2C_RIF 寄存器中的 TC 中断标志位,如果 I2C_IER 寄存器中的 TC 位为 1,则会产生中断请求。只要置起了 TC 标志位, SCL 就会被延长。当设置 I2C_CON2 寄存器中的 START 或 STOP 位为 1 时, TC 标志位自动清零。当主机要发送 RESTART 条件时,必须使用此模式。

20.4.4 I2C从机模式

I2C 从机初始化

为了在从机模式下工作,必须至少开启一个从机地址。两个地址寄存器 I2C_ADDR1 和 I2C_ADDR2 可用于设置从机自身地址 OA1 和 OA2。

- ◆ 通过设置 I2C_ADDR1 寄存器中的 OA1MODE 位,可以选择本机地址 1 的地址模式为 7 位或 10 位,并通过 OA1 位设置本机地址 1,然后再设置 OA1EN 位为 1 开启本机地址 1。
- ◆ 如果需要额外的从地址,可以设置第二个从地址 OA2。通过设置 I2C_ADDR2 寄存器中的 OA2MSK<2:0>位,可以屏蔽最多 7 个 OA2 地址低位。对于设置为 1 至 6 的 OA2MSK 位,分别对应于仅使用 OA2<7:2>、OA2<7:3>、OA2<7:4>、OA2<7:5>、OA2<7:6>或 OA2<7>与收到的地址相比较。一旦 OA2MSK 位不等于 0, OA2 的地址比较器就会排除未被应答的 I2C 保留地址 (0000 XXX 和 1111 XXX)。如果 OA2MSK=7,则应答所有接收到的 7 位地址 (保留地址除外)。OA2 只能是 7 位地址。

当 OA2MSK=0, 并且 I2C_ADDR1 或 I2C_ADDR2 寄存器中的本机地址开启时,则可应答这些保留地址 (0000 XXX 和 1111 XXX)。通过设置 I2C_ADDR2 寄存器中的 OA2EN 位为 1 开启本机地址 OA2。

- ◆ 通过设置 I2C_CON1 寄存器中的 GCEN 位为 1 开启广播地址。

当其中一个本机地址开启并匹配时,地址匹配中断标志状态被置为 1,如果 I2C_IER 寄存器中的 ADDR 位为 1,则会产生中断请求。

默认情况下,从机使用其时钟延长功能,这表示它在需要时可将 SCL 拉到低电平,以执行软件操作。如果主机不支持时钟延长,则需将 I2C_CON1 寄存器中 NOSTRETCH 位设置为 1。

收到地址匹配中断后,如果开启了多个地址,用户必须读取 I2C_STAT 寄存器中的 ADDCODE<6:0>位,以检查匹配的地址及检查 DIR 位来确认数据传输方向。

从机有时钟延长 (NOSTRETCH=0)

I2C 从机在以下情况下延长 SCL 时钟:

- ◆ 在从机发送过程中,如果当前的数据发送完成,但没有在 I2C_TXDATA 寄存器中写入新数据,从机会拉低 SCL 时钟。当数据写入 I2C_TXDATA 寄存器后,将释放此延长。
- ◆ 在从机接收过程中,如果当前数据接收完成,但尚未读取 I2C_RXDATA 寄存器中的旧数据,从机会拉低 SCL 时钟。当读取 I2C_RXDATA 寄存器后,将释放此延长。
- ◆ 从机字节控制模式下,当发生 TCR=1 时,重载模式 (SBC 位=1 且 RELOAD 位=1),表

示数据字节已被传输。此时通过在 NBYTES<15:0>字段中写入非零值清除 TCR，释放该延长。

- ◆ 从机应答控制模式下，当收到地址或数据时，每个字节的第 8 和第 9 个 SCL 脉冲之间将会延长 SCL。当设置应答位更新时，将会释放该延长并响应应答脉冲。
- ◆ 在 SCL 下降沿检测后，I2C 拉低延长 SCL 的时间为
$$[(SDADEL+SCLDEL+1) \times (PRESC+1) + 1] \times T_{I2CCLK}$$

从机没有时钟延长 (NOSTRETCH=1)

当 I2C_CON1 寄存器中的 NOSTRETCH 位为 1 时，I2C 从机不会延长 SCL。

- ◆ 在从机发送过程中，必须在发送的第一个 SCL 脉冲之前，将数据写入 I2C_TXDATA 寄存器，否则产生发送器下溢错误，I2C_RIF 寄存器中的下溢中断标志位 TXUD 被置为 1，如果 I2C_IER 寄存器中的 TXUD 位为 1，则会产生中断请求。
- ◆ 在从机接收过程中，必须在下一个数据字节的第 9 个 SCL 脉冲（应答脉冲）之前，从 I2C_RXDATA 寄存器中读取旧数据，否则产生接收器溢出，I2C_RIF 寄存器中的溢出中断标志位 RXOV 被置为 1，如果 I2C_IER 寄存器中的 RXOV 位为 1，则会产生中断请求。

从机字节控制模式

为了在从机接收模式下允许字节 ACK 控制，需设置 I2C_CON1 寄存器中的 SBC 位为 1 来开启从机字节控制模式，这需要符合 SMBus 标准。

必须选择重载模式 (RELOAD=1)，以便在从机接收模式中允许字节控制。如果要控制每个字节，必须在 ADDR 中断子程序中将 NBYTES 初始化为 0x1，并在每个字节接收后重载到 0x1。当接收到该字节时，TCR 位被设置为 1，在第 9 个 SCL 脉冲之后将 SCL 拉低，用户可以从 I2C_RXDATA 寄存器读取数据，然后通过设置 I2C_CON2 寄存器中的 NACK 位决定下一个数据是否应答。通过将 NBYTES 设置为非零值来释放 SCL 延长：发送应答或不应答。

NBYTES 可以加载大于 0x1 的值，在这种情况下，接收流程在 NBYTES 数据接收期间是连续的。

注 1：当关闭 I2C 时，才可以设置 SBC 位。当 TCR=1 时，可以更改 RELOAD 位。

注 2：从机字节控制模式与 NOSTRETCH 模式不能同时使用，不允许在 NOSTRETCH=1 时开启 SBC 位。



图 20-9 从机初始化流程图

从机发送

在接收到匹配地址时，I2C_RIF 寄存器中的 ADDR 位被置为 1，此时若 TX 已准备好要发送的数据时，从机会通过内部移位寄存器将 TX 中的数据字节发送到 SDA；若 TX 此时为空，从机会延长 SCL 低电平时间，直到 TX 通过 I2C_TXDATA 寄存器写入发送数据为止。

当发送成功，主机会回答应信号，当主机响应 NACK 时，I2C_RIF 寄存器中的 NACK 位被置为 1，此时从机会自动释放 SCL 与 SDA 总线，让主机能够发送后续的 STOP 或 RESTART 命令。

当主机发送 STOP 时，I2C_RIF 寄存器中的 STOP 位被设置为 1，并结束通信，等待下一次收到匹配地址。但如果 TX 内还有尚未传送的数据字节，则可以选择下一次地址匹配时，继续发送数据。

当从机字节控制开启时，可设置 I2C_CON1 寄存器和 I2C_CON2 寄存器中的 NBYTES 位选择需要传送的字节数。

注：当 NOSTRETCH 模式开启时，SCL 时钟无法被延长，则待发送的数据需要提前写入 I2C_TXDATA 寄存器。

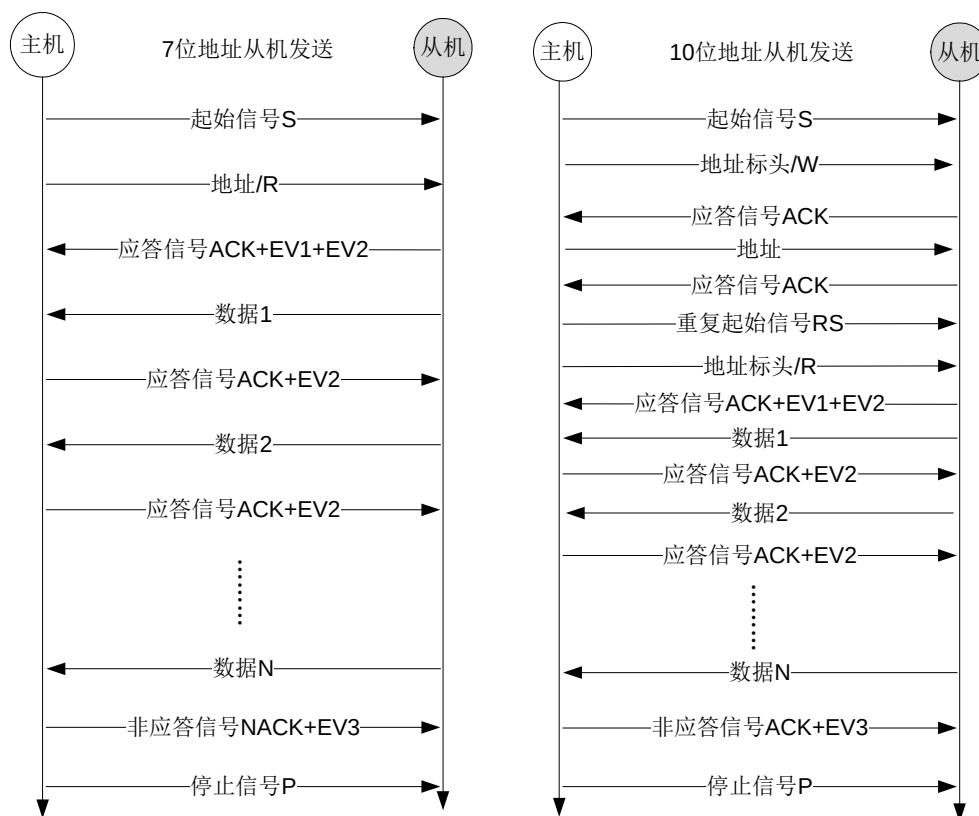


图 20-10 从机发送的传输序列图

注 1：S=起始位，RS=重复起始位，P=停止位，ACK=应答，NACK=非应答

注 2：EV1=当收到匹配地址时，I2C_RIF 寄存器中的 ADDR 位被设置为 1，设置 I2C_ICR 寄存器中的 ADDR 位为 1 来清除中断。

注 3：EV2=判断 I2C_STAT 寄存器中的 TXE 位，若为空则写入数据至 I2C_TXDATA 寄存器。

注 4: EV3=当收到非应答信号 NACK 时, I2C_RIF 寄存器中的 NACK 位被置为 1, 设置 I2C_ICR 的 NACK 位为 1 来清除中断。此时还需判断 TX 是否还有尚未发送的数据字节, 若有则软件需要额外处理。

注 5: 如果在当前字节传输结束之前尚未写入下一个字节, 导致 TX 为空时, EV2 事件将会延长 SCL 时钟的低电平时间。

从机接收

在接收到匹配地址时, I2C_RIF 寄存器中的 ADDR 位被置为 1, 从机此时会通过内部移位寄存器将 SDA 上的数据字节保存到 RX 中, 无论 RX 是否为空, 从机都会自动发送应答信号, 如果 RX 接收器为非空, 则在应答信号发送后, 会延长 SCL 时钟低电平时间, 等待软件读取 RX 字节后, 才会释放 SCL 时钟。

当主机发送 STOP 时, I2C_RIF 寄存器中的 STOP 位被置为 1, 并结束通信, 等待下一次收到匹配地址。

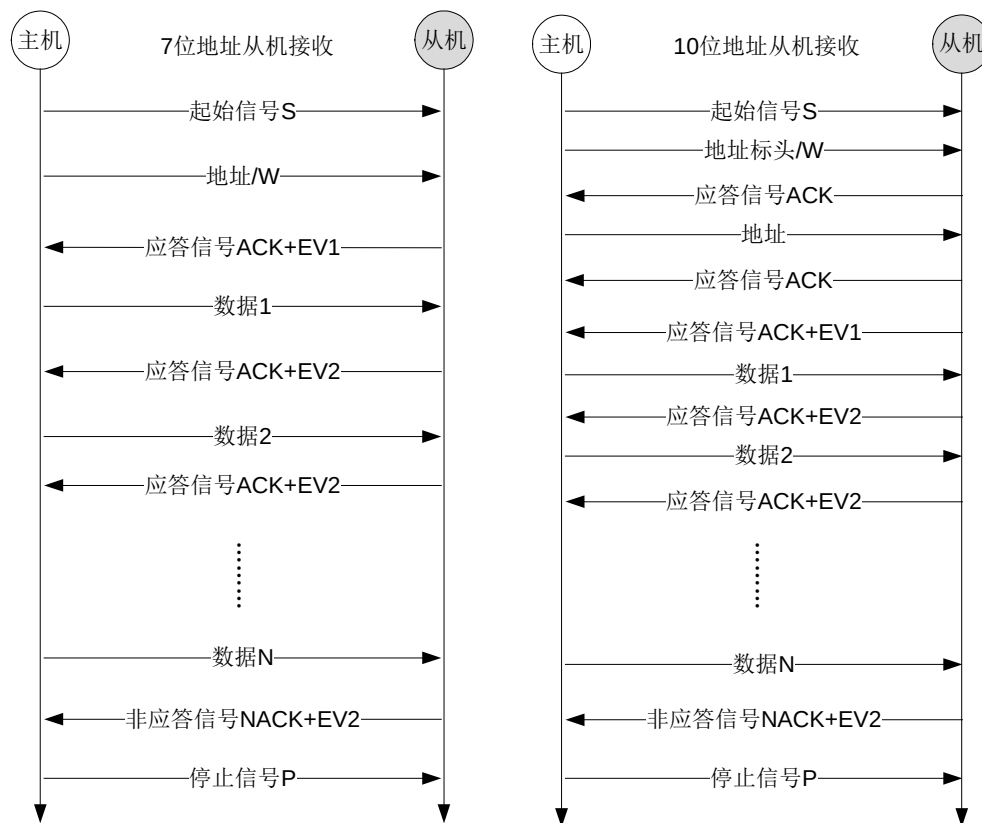


图 20-11 从机接收的传输序列图

注 1: S=起始位, RS=重复起始位, P=停止位, ACK=应答, NACK=非应答

注 2: EV1=当收到匹配地址时, I2C_RIF 寄存器中的 ADDR 位被置为 1, 设置 I2C_ICR 寄存器中的 ADDR 位为 1 来清除中断。

注 3: EV2=判断 I2C_STAT 寄存器中的 RXNE 位, 若非空则读取 I2C_RXDATA 寄存器数据。

注 4: 如果在当前字节接收结束时, RX 接收器为非空, EV2 事件将会延长 SCL 时钟低电平时间。

20.4.5 I2C主机模式

I2C 主机初始化

在开启 I2C 主机之前，必须先通过设置 I2C_TIMINGR 寄存器中的 SCLH 位和 SCLL 位来配置 I2C 主机时钟，实现同步时钟机制以支持多主机环境和从机时钟延长。

SCL 高低电平计数：

- ◆ 从内部检测到 SCL 低电平开始，使用 SCLL 计数器计数低电平时钟。
- ◆ 从内部检测到 SCL 高电平开始，使用 SCLH 计数器计数高电平时钟。

基于 SCL 下降沿，I2C 开始低电平内部检测，在 T_{SYNC1} 延迟后检测到自己的 SCL 低电平，一旦 SCLL 计数器达到 I2C_TIMINGR 寄存器中的 SCLL<7:0>位设置的值，I2C 就会将 SCL 释放为高电平。

基于 SCL 上升沿，I2C 开始高电平内部检测，在 T_{SYNC2} 延迟后检测到自己的 SCL 高电平，一旦 SCLH 计数器达到 I2C_TIMINGR 寄存器中的 SCLH<7:0>位设置的值，I2C 就会将 SCL 拉到低电平。

因此，主机时钟周期为：

$$T_{\text{SCL}} = T_{\text{SYNC1}} + T_{\text{SYNC2}} + \{ [(SCLH+1) + (SCLL+1)] \times (PRESC+1) \times T_{\text{I2CCLK}} \}$$

T_{SYNC1} 的持续时间取决于以下参数：

- ◆ SCL 下降斜率
- ◆ 开启数字滤波器时，引起的输入延迟：DNF $\times T_{\text{I2CCLK}}$
- ◆ 由于 SCL 与 I2CCLK 时钟同步导致的延迟：最多 3 个 I2CCLK 周期

T_{SYNC2} 的持续时间取决于以下参数：

- ◆ SCL 上升斜率
- ◆ 开启数字滤波器时，引起的输入延迟：DNF $\times T_{\text{I2CCLK}}$
- ◆ 由于 SCL 与 I2CCLK 时钟同步导致的延迟：最多 3 个 I2CCLK 周期

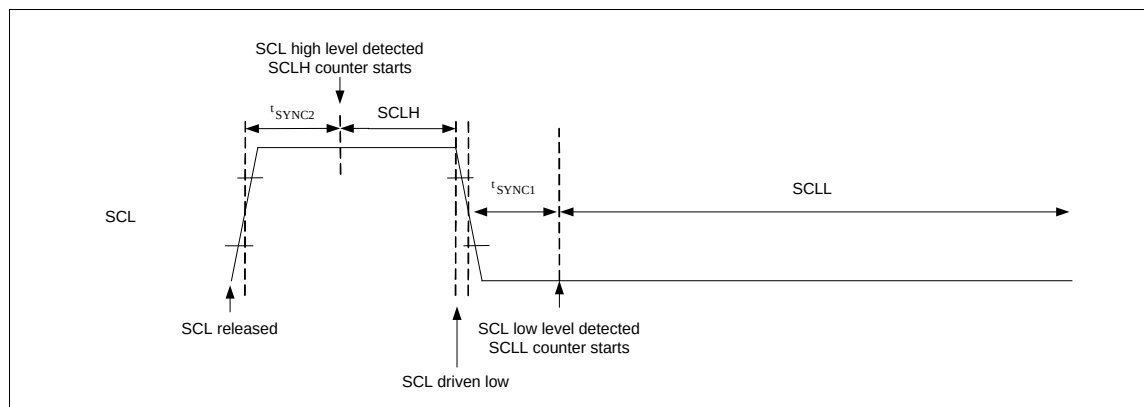


图 20-12 主机时钟产生

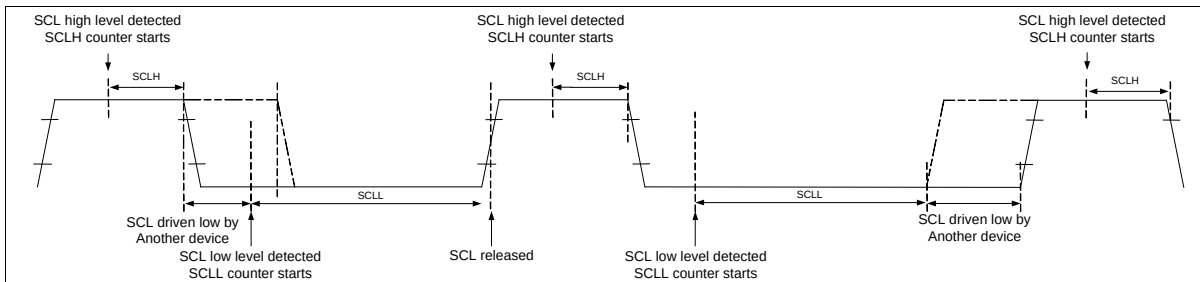


图 20-13 SCL 主机时钟同步

主机通信初始化

在开启通信前，必须先设置 I2C CON2 寄存器中的寻址从机参数：

- ◆ 寻址模式（7 位或 10 位）：ADD10
- ◆ 要寻址的从机地址：SADD<9: 0>
- ◆ 传输方向：RD_WRN
- ◆ 如果是 10 位地址寻址模式，则需配置 HEAD10R 位，选择是否发送完整的地址序列，或者仅发送地址的前 7 位。
- ◆ 要传输的字节数：NBYTES<15:0>。如果字节数等于或大于 65535，则 NBYTES<15:0>可以先填入 0xFFFF。

然后再设置 I2C_CON2 寄存器中的 START 位为 1，当 START 位为 1 时，不允许更改所有上述位。一旦检测到总线空闲（BUSY=0）后，主机就会自动发送 START 条件，再发送从机地址。

在仲裁丢失的情况下,主机自动切换回从机模式,如果作为寻址从机,则可以应答自己的地址。

注 1: 无论接收到的应答值是什么, 当总线上的从机地址发送时, **START** 位由硬件清除, 如果发生仲裁丢失, 则 **START** 位也由硬件清除。在 10 位寻址模式下, 当从机地址前 7 位被从机 **NACK** 时, 主机将自动重复起始从机地址传输, 直到收到 **ACK**。如果在 **START** 位为 1 时 **I2C** 被寻址为从机 (**ADDR=1**), 则 **I2C** 切换到从机模式, 当 **ADDR** 位为 1 时, **START** 位清零。

注 2: 对重复起始条件应用上述 START 相同的过程, 在这种情况下, BUSY=1。

初始化主机 10 位从地址寻址接收模式

- ◆ 如果被寻址的从机地址采用 10 位格式，用户可以通过清零 I2C_CON2 寄存器中的 HEAD10R 位来选择发送完整的从机地址读序列。在这种情况下，主机在 START 位为 1 后自动发送以下完整序列：起始位+从机地址标头/写+从机地址第 2 字节+重复起始+从机地址标头/读；
- ◆ 如果主机寻址 10 位地址从机，将数据发送到该从机，然后从同一从机读取数据，则必须先完成主机发送流程，然后使用从地址标头设置重复起始读。在这种情况下，主机发送以下序列：重复起始+从机地址标头/读。

主机发送

在主机开始发送之前，需先设置 I2C_CON1 和 I2C_CON2 寄存器中的 NBYTES 位，当传输字节大于 65535 时，需要额外设置 RELOAD 位。在此配置下，当 NBYTES 配置的数据字节数传输完成后，I2C_RIF 寄存器中的 TCR 位被置为 1，此时 SCL 时钟会保持低电平，直到 NBYTES 位重新写入新的数值以及对 I2C_TXDATA 寄存器写入发送数据后，才会继续进行传输。

当从机回应 NACK 时，I2C_RIF 寄存器中的 NACK 位被置为 1，并且接下来主机自动发送停止信号 STOP。

当从机响应 ACK，且 RELOAD=0，NBYTES 所配置的数据字节数都已经传完时，会有以下情况：

- ◆ 若 AUTOEND=1，此时主机自动发送停止信号 STOP。
- ◆ 若 AUTOEND=0，此时主机将 SCL 时钟保持低电平，等待软件控制后续操作：
 - ◇ RESTART：设置 I2C_CON2 寄存器中的 START 位为 1，会发送重复起始信号。
 - ◇ STOP：设置 I2C_CON2 寄存器中的 STOP 位为 1，会发送停止信号。

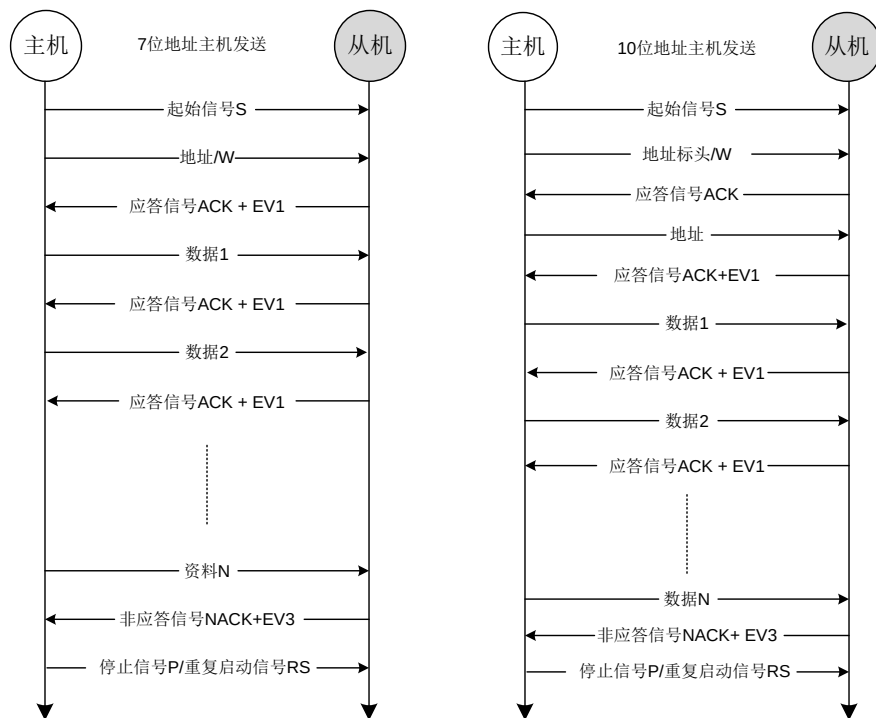


图 20-14 主机发送的传输序列图

注 1：S=起始位，RS=重复起始位，P=停止位，ACK=应答，NACK=非应答

注 2：EV1=传输尚未完成事件，判断 I2C_STAT 寄存器中的 TXE 位，若为空写入数据至 I2C_TXDATA 寄存器。

注 3：EV2=当收到应答信号 ACK 时，若传输已完成，后续操作为停止信号 STOP 或重复起始信号 RESTART。

注 4：EV3=当收到非应答信号 NACK 时，后续操作为停止信号 STOP。

注 5：如果在当前字节发送结束之前尚未写入下一个字节，导致 TX 为空时，EV1 事件将会延长 SCL 时钟低电平时间。

主机接收

在主机开始接收之前，需先设置 I2C_CON1 和 I2C_CON2 寄存器中的 NBYTES 位，当接收字节大于 65535 时，需要额外配置 RELOAD 位。在此配置下，当 NBYTES 配置的数据字节数接收完成后，I2C_RIF 寄存器中的 TCR 位被设置为 1，此时 SCL 时钟会保持低电平，直到 NBYTES 位重新写入新的数值后，才会继续进行接收。

当 RELOAD 位=0 并且 NBYTES 所配置的数据字节数都已经接收完时，会有以下情况：

- ◆ 若 AUTOEND=1，此时会自动发送非应答信号 NACK 与停止信号 STOP。
- ◆ 若 AUTOEND=0，此时会自动发送非应答信号 NACK，并将 SCL 时钟保持低电平，等待软件控制后续操作：
 - ◇ RESTART：对 I2C_CON2 寄存器中的 START 位设置为 1，会发送重复起始信号。
 - ◇ STOP：对 I2C_CON2 寄存器中的 STOP 位设置为 1，会发送停止信号。

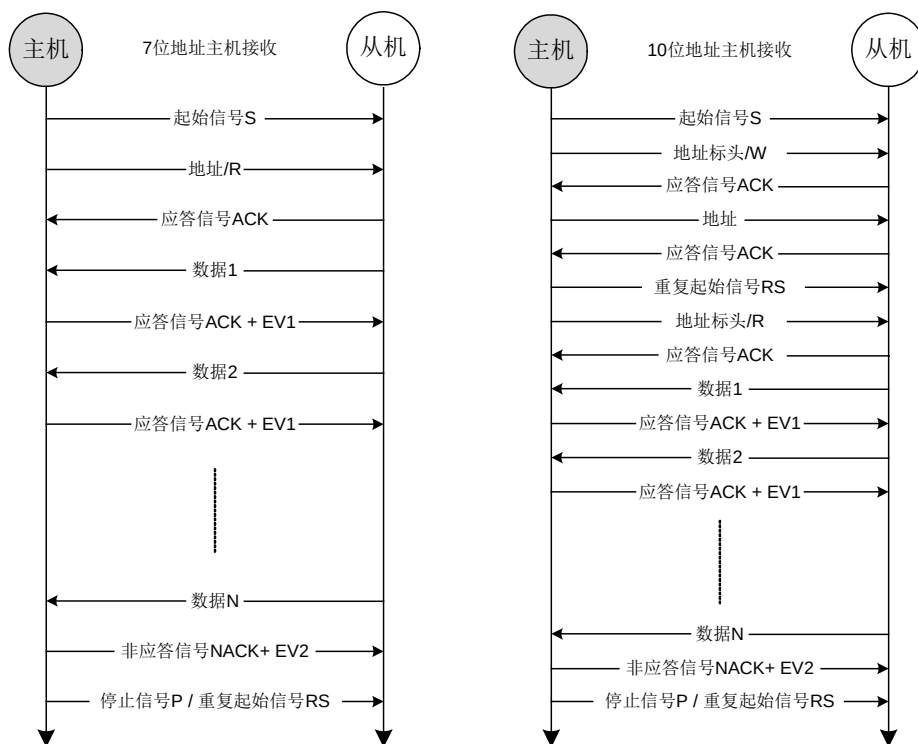


图 20-15 主机接收的传输序列图

注 1：S=起始位，RS=重复起始位，P=停止位，ACK=应答，NACK=非应答

注 2：EV1=传输尚未完成事件，判断 I2C_STAT 寄存器中的 RXNE 位，若非空则读取 I2C_RXDATA 寄存器。

注 3：EV2=传输完成事件，会自动发送非应答信号 NACK，后续根据软件配置来决定发送停止信号 STOP 还是重复起始信号 RESTART。

注 4：如果在当前字节接收结束之前尚未读取之前的数据，导致 RX 非空时，EV1 事件将会延长 SCL 时钟低电平时间。

20.4.6 I2C_TIMINGR寄存器的配置的例子

下表提供了如何对 I2C_TIMINGR 进行设置以获得符合 I2C 规范的时序示例。

参数	标准模式 (Sm)		快速模式 (Fm)	极快速模式 (Fm+)
	10 kHz	100 kHz	400 kHz	500 kHz
PRESC	1	1	0	0
SCLL	0xC7	0x13	0x9	0x6
T _{SCLL}	200x250 ns=50 μs	20x250 ns=5.0 μs	10x125 ns=1250 ns	7x125 ns=875 ns
SCLH	0xC3	0xF	0x3	0x3
T _{SCLH}	196x250 ns=49 μs	16x250 ns=4.0 μs	4x125ns=500ns	4x125ns=500ns
T _{SCL} ⁽¹⁾	~100 μs ⁽²⁾	~10 μs ⁽²⁾	~2500 ns ⁽³⁾	~2000 ns ⁽⁴⁾
SDADEL	0x2	0x2	0x1	0x0
T _{SDADEL}	2x250 ns=500 ns	2x250 ns=500 ns	1x125 ns=125 ns	0 ns
SCLDEL	0x4	0x4	0x3	0x1
T _{SCLDEL}	(0xC7-0x4)x250 ns ⁽⁵⁾	(0x13-0x4)x250 ns ⁽⁵⁾	(0x9-0x3)x125 ns ⁽⁵⁾	(0x6-0x1)x125 ns ⁽⁵⁾

表 20-2 F_{I2CCLK} = 8 MHz 的时序设置示例

1. 由于 SCL 内部检测延迟, SCL 周期 T_{SCL} 大于 T_{SCLL} + T_{SCLH}。示例中 T_{SCL} 的值仅供参考。
2. T_{SYNC1} + T_{SYNC2} 最小值为 4 x T_{I2CCLK} = 500 ns, 示例中的值约为 1000 ns。
3. T_{SYNC1} + T_{SYNC2} 最小值为 4 x T_{I2CCLK} = 500 ns, 示例中的值约为 750 ns。
4. T_{SYNC1} + T_{SYNC2} 最小值为 4 x T_{I2CCLK} = 500 ns, 示例中的值约为 625 ns。
5. T_{SCLDEL} = (SCLL-SCLDEL) x T_{PRESC}。

参数	标准模式 (Sm)		快速模式 (Fm)	极快速模式 (Fm+)
	10 kHz	100 kHz	400 kHz	1000kHz
PRESC	3	3	1	0
SCLL	0xC7	0x13	0x9	0x4
T _{SCLL}	200x250 ns=50 μs	20x250 ns=5.0 μs	10x125 ns=1250 ns	6x62.5 ns=312.5 ns
SCLH	0xC3	0xF	0x3	0x2
T _{SCLH}	196x250 ns=49 μs	16x250 ns=4.0 μs	4x125ns=500ns	3x62.5ns=187.5ns
T _{SCL} ⁽¹⁾	~100 μs ⁽²⁾	~10 μs ⁽²⁾	~2500 ns ⁽³⁾	~1000 ns ⁽⁴⁾
SDADEL	0x2	0x2	0x2	0x0
T _{SDADEL}	2x250 ns=500 ns	2x250 ns=500 ns	2x125 ns=250 ns	0 ns
SCLDEL	0x4	0x4	0x3	0x2
T _{SCLDEL}	(0xC7-0x4)x250 ns ⁽⁵⁾	(0x13-0x4)x250 ns ⁽⁵⁾	(0x9-0x3)x125 ns ⁽⁵⁾	(0x4-0x2)x62.5 ns ⁽⁵⁾

表 20-3 F_{I2CCLK} = 16 MHz 的时序设置示例

1. 由于 SCL 内部检测延迟, SCL 周期 T_{SCL} 大于 T_{SCLL} + T_{SCLH}。示例中 T_{SCL} 的值仅供参考。
2. T_{SYNC1} + T_{SYNC2} 最小值为 4 x T_{I2CCLK} = 250 ns, 示例中的值约为 1000 ns。
3. T_{SYNC1} + T_{SYNC2} 最小值为 4 x T_{I2CCLK} = 250 ns, 示例中的值约为 750 ns。
4. T_{SYNC1} + T_{SYNC2} 最小值为 4 x T_{I2CCLK} = 250 ns, 示例中的值约为 500 ns。
5. T_{SCLDEL} = (SCLL-SCLDEL) x T_{PRESC}。

参数	标准模式 (Sm)		快速模式 (Fm)	极快速模式 (Fm+)
	10 kHz	100 kHz	400 kHz	1000kHz
PRESC	0xB	0xB	5	5
SCLL	0xC7	0x13	0x9	0x3
T _{SCLL}	200x250 ns=50 μs	20x250 ns=5.0 μs	10x125 ns=1250 ns	4x125 ns=500 ns
SCLH	0xC5	0x11	0x5	0x1
T _{SCLH}	198x250 ns=49.5 μs	18x250 ns=4.5μs	6x125ns=750ns	2x125ns=250ns
T _{SCL} ⁽¹⁾	~100 μs ⁽²⁾	~10 μs ⁽²⁾	~2500 ns ⁽²⁾	~1000ns ⁽³⁾
SDADEL	0x2	0x2	0x3	0x0
T _{SDADEL}	2x250 ns=500 ns	2x250 ns=500 ns	3x125 ns=375 ns	0 ns
SCLDEL	0x4	0x4	0x3	0x1
T _{SCLDEL}	(0xC7-0x4)x250 ns ⁽⁴⁾	(0x13-0x4)x250 ns ⁽⁴⁾	(0x9-0x3)x125 ns ⁽⁴⁾	(0x3-0x1)x125 ns ⁽⁴⁾

表 20-4 F_{I2CCLK} = 48 MHz 的时序设置示例

1. 由于 SCL 内部检测延迟, SCL 周期 T_{SCL} 大于 T_{SCLL} + T_{SCLH}。示例中 T_{SCL} 的值仅供参考。
2. T_{SYNC1} + T_{SYNC2} 最小值为 4 x T_{I2CCLK} = 83.3 ns, 示例中的值约为 500 ns。
3. T_{SYNC1} + T_{SYNC2} 最小值为 4 x T_{I2CCLK} = 83.3 ns, 示例中的值约为 250 ns。
4. T_{SCLDEL} = (SCLL-SCLDEL) x T_{PRESC}。

参数	标准模式 (Sm)		快速模式 (Fm)	极快速模式 (Fm+)
	10 kHz	100 kHz	400 kHz	1000 kHz
PRESC	0xF	0xF	0x8	0x8
SCLL	0xE0	0x18	0x9	0x3
T _{SCLL}	225x222 ns=49.95 μs	25x222 ns=5.55 μs	10x125 ns=1250 ns	4x125 ns=500 ns
SCLH	0xDF	0x12	0x7	0x1
T _{SCLH}	224x222 ns=49.7 μs	19x222 ns=4.2μs	8x125ns=1000ns	2x125ns=250ns
T _{SCL} ⁽¹⁾	~100 μs ⁽²⁾	~10 μs ⁽³⁾	~2500 ns ⁽³⁾	~1000 ns ⁽³⁾
SDADEL	0x2	0x2	0x3	0x0
T _{SDADEL}	2x222 ns=444 ns	2x222 ns=444 ns	3x125 ns=375 ns	0 ns
SCLDEL	0x4	0x4	0x3	0x1
T _{SCLDEL}	(0xE0-0x4)x222 ns ⁽⁴⁾	(0x18-0x4)x222 ns ⁽⁴⁾	(0x9-0x3)x125 ns ⁽⁴⁾	(0x3-0x1)x125 ns ⁽⁴⁾

表 20-5 F_{I2CCLK} = 72 MHz 的时序设置示例

1. 由于 SCL 内部检测延迟, SCL 周期 T_{SCL} 大于 T_{SCLL} + T_{SCLH}。示例中 T_{SCL} 的值仅供参考。
2. T_{SYNC1} + T_{SYNC2} 最小值为 4 x T_{I2CCLK} = 55.5 ns, 示例中的值约为 350 ns。
3. T_{SYNC1} + T_{SYNC2} 最小值为 4 x T_{I2CCLK} = 55.5 ns, 示例中的值约为 250ns。
4. T_{SCLDEL} = (SCLL-SCLDEL) x T_{PRESC}。

20.4.7 SMBus具体功能

介绍

系统管理总线（SMBus）是一个双线制接口，各设备可通过它在彼此之间或者与系统的其余部分进行通信。它以 I2C 的工作原理为基础。SMBus 可针对系统和电源管理相关的任务提供控制总线。系统可使用 SMBus 与设备进行消息传递，而无需切换各个控制线。

系统管理总线规范涉及三类设备：

- ◆ 从设备用于接收或响应命令。
- ◆ 主设备用于发出命令、生成时钟和中止传输。
- ◆ 主机，专用的主设备，可提供连接系统 CPU 的主接口。主机必须具有主从设备功能，并且必须支持 SMBus 主机通知协议。

系统中只允许存在一个主机。该外设可以配置为主设备或从设备，也可以配置为主机。

总线协议

对于任何给定的设备，有 11 种可能的命令协议，可以使用 11 个协议中的任何一个或全部来进行通信。协议包括快速命令、发送字节、接收字节、写入字节、写入字、读取字节、读取字、进程调用、块读取、块写入和块写入块读取进程调用，这些协议应由用户软件实现。有关这些协议的更多详细信息，请参阅 SMBus 规范 2.0 版。

地址解析通讯协议（ARP）

可以通过为每个从设备动态分配新的唯一地址来解决 SMBus 从地址冲突。为了提供隔离每个设备以便进行地址分配的机制，每个设备必须具有唯一的设备标识符（UDID），该标识符是一个 128 位的数字，由软件实现。

支持地址解析通讯协议(ARP)。通过设置 I2C_CON1 寄存器中的 SMBDEN 位为 1 开启 SMBus 从设备地址（0b1100 001）。ARP 命令由用户通过软件实现，仲裁也在从机模式下执行以支持 ARP。

有关 SMBus 地址解析通讯协议的更多详细信息，请参阅 SMBus 规范 2.0 版。

命令和数据接收应答控制

SMBus 接收器必须能够 NACK 每个接收到的命令或数据。为了在从机模式下允许 ACK 控制，必须设置 I2C_CON1 寄存器中的 SBC 位为 1 来开启从机字节控制模式。

主机通知协议

该外设通过设置 I2C_CON1 寄存器中的 SMBHEN 位为 1 来支持主机通知协议。在这种情况下，主机将应答 SMBus 主机地址（0b0001 000）。使用此协议时，设备充当主机，主机充当从机。

SMBus 警报

支持 SMBus ALERT 可选信号。仅从设备可以通过 SMBALERT 引脚向主机发送信号选择通信。主机处理中断并同时通过警报响应地址（0b0001 100）访问所有 SMBALERT 设备。只有拉低 SMBALERT 的设备才会应答警报响应地址。

当配置为从设备（SMBHEN=0）时，通过设置 I2C_CON1 寄存器中的 ALERTEN 位为 1，可将 SMBA 引脚拉低，警报响应地址同时开启。

当配置为主机（SMBHEN=1）时，如果在 SMBA 引脚上检测到下降沿且 ALERTEN=1，则在 I2C_RIF 寄存器中的 ALERT 位被置为 1。如果 I2C_IER 寄存器中的 ALERT 位为 1，则会产生中断请求。当 ALERTEN=0 时，即使外部 SMBA 引脚为低电平，ALERT 线也会被视为高电平。

如果不需要 SMBus ALERT 引脚，当 ALERTEN=0 时，SMBA 引脚可用作标准 GPIO。

数据包错误检查

SMBus 规范中引入了一种数据包错误检查机制，以提高可靠性和通信稳健性。通过在每次消息传输结束时附加分组错误代码（PEC）来实现分组错误检查。通过对所有消息字节（包括地址和读/写位）使用 $C(x) = X^8 + X^2 + X + 1$ CRC-8 多项式来计算 PEC。外设嵌入了硬件 PEC 计算器，当接收到的字节与硬件计算的 PEC 不匹配时，允许自动发送非应答。

超时

该外设嵌入了硬件定时器，并符合 SMBus 规范 2.0 版中定义的 3 个超时。

标记	参数	范围		单位
		最小	最大	
T _{TIMEOUT}	检测时钟低电平超时	25	35	ms
T _{LOW : SEXT} ⁽¹⁾	累积时钟低电平延长时间（从设备）	-	25	ms
T _{LOW : MEXT} ⁽²⁾	累积时钟低电平延长时间（主设备）	-	10	ms

表 20-6 SMBus 超时规格

1. T_{LOW : SEXT} 是允许给定从设备在一条消息中，从初始 START 到 STOP 的延长时钟周期的累积时间。另一个从设备或主设备也可能延长时钟，导致组合时钟低电平延长时间大于 T_{LOW : SEXT}，因此该参数是在从设备作为全速主设备的唯一目标的情况下测量的。
2. T_{LOW : MEXT} 是允许主设备在从 START 到 ACK，ACK 到 ACK 或 ACK 到 STOP 定义消息的每个字节内延长其时钟周期的累积时间。从设备或另一个主设备也可能延长时钟，导致组合时钟低电平时间大于给定字节上的 T_{LOW : MEXT}，因此使用全速从设备作为主设备的唯一目标来测量该参数。

总线空闲检测

如果总线检测到时钟和数据信号已经持续高电平并且 T_{IDLE} 大于 T_{HIGH.MAX}，则主设备可以认为总线是空闲的。

该时序参数涵盖了主机已动态添加到总线，并且可能未检测到 SMBCLK 或 SMBDAT 线路上的状态转换的情况。在这种情况下，主设备必须等待足够长的时间以确保当前没有进行传输。SMBus 支持硬件总线空闲检测。

20.4.8 SMBus初始化

除了 I2C 初始化之外，还必须进行一些其他特定的初始化以执行 SMBus 通信：

特定地址（从机模式）

如果需要，应开启特定的 SMBus 地址。

通过设置 I2C_CON1 寄存器中的 SMBDEN 位为 1 开启 SMBus 设备从机地址(0b1100 001)。

通过设置 I2C_CON1 寄存器中的 SMBHEN 位为 1 开启 SMBus 主机从机地址(0b0001 000)。

通过设置 I2C_CON1 寄存器中的 ALERTEN 位为 1 开启报警响应地址 (0b0001100)。

数据包错误检查

通过设置 I2C_CON1 寄存器中的 PECEN 位为 1 开启 PEC 计算。然后通过硬件字节计数器管理 PEC 传输：I2C_CON1 和 I2C_CON2 寄存器中的 NBYTES<15:0>位。必须先设置 PECEN 位，然后再开启 I2C。

PEC 传输由硬件字节计数器管理，因此在从机模式下连接 SMBus 时必须设置 SBC 位。在设置 PECBYTE 位为 1 且 RELOAD 位清零后，传输 NBYTES-1 个数据字节后传输 PEC，如果设置了 RELOAD 位，则 PECBYTE 无效。

注：开启 I2C 时，不允许更改 PECEN 设置。

超时检测

通过设置 I2C_TIMEOUTR 寄存器中的 TIMEOUTEN 位和 TEXTEN 位为 1 来开启超时检测。定时器必须按以下方式设置。

◆ T_{TIMEOUT} 检查

为了开启 T_{TIMEOUT} 检查，必须设置 TIMEOUTA<11:0>位为定时器的重载值，以检查 T_{TIMEOUT} 参数。必须将 TIDLE 位设置为 0 才能检测 SCL 低电平超时，然后通过设置 I2C_TIMEOUTR 寄存器中的 TIMEOUTEN 位来开启定时器。如果 SCL 在大于(TIMEOUTA + 1)× 2048 × T_{I2CCLK} 的时间内被拉低，则 I2C_RIF 寄存器中的 TOUT 位被置为 1。

注：当设置 TIMEOUTEN 位为 1 时，不允许更改设置 TIMEOUTA<11:0>位和 TIDLE 位。

◆ T_{LOW:SEXT} 和 T_{LOW:MEXT} 检查

根据外设是配置为主机还是从机，必须配置 12 位 TIMEOUTB 定时器，以便检查从机的 T_{LOW:SEXT} 和主机的 T_{LOW:MEXT}。由于标准仅指定最大值，因此使用者可以为两者选择相同的值，然后通过将 I2C_TIMEOUTR 寄存器中的 TEXTEN 位置 1 来启用定时器。

注：当设置 TEXTEN 位为 1 时，不允许更改设置 TIMEOUTB<11:0>位。

总线空闲检测

为了开启 T_{IDLE} 检查，必须设置 $TIMEOUTA<11:0>$ 位为定时器的重载值，以获得 T_{IDLE} 参数。必须设置 $TIDLE$ 位为 1 开启 SCL 和 SDA 高电平超时功能。

然后通过设置 $I2C_TIMEOUTR$ 寄存器中的 $TIMEOUTEN$ 位为 1 来开启定时器。如果 SCL 和 SDA 都保持高电平的时间大于 $(TIMEOUTA + 1) \times 4 \times T_{I2CCLK}$ ，则在 $I2C_RIF$ 寄存器中的 $TOUT$ 位被置为 1。

注：设置 $TIMEOUTEN$ 时，不允许更改设置 $TIMEOUTA$ 位和 $TIDLE$ 位。

20.4.9 SMBus: $I2C_TIMEOUTR$ 寄存器配置的例子

◆ 将 $T_{TIMEOUT}$ 的最大持续时间配置为 25 ms:

F_{I2CCLK}	$TIMEOUT<11:0>$	$TIDLE$	$TIMEOUTEN$	$T_{TIMEOUT}$
8 MHz	0x61	0	1	$98 \times 2048 \times 125 \text{ ns} = 25 \text{ ms}$
16 MHz	0xC3	0	1	$196 \times 2048 \times 62.5 \text{ ns} = 25 \text{ ms}$
32 MHz	0x186	0	1	$391 \times 2048 \times 31.25 \text{ ns} = 25 \text{ ms}$

表 20-7 各种 $I2CCLK$ 频率的 $TIMEOUTA$ 设置示例 ($T_{TIMEOUT} = 25 \text{ ms}$)

◆ 将 $T_{LOW:SEXT}$ 和 $T_{LOW:MEXT}$ 的最大持续时间配置为 8 ms

F_{I2CCLK}	$TIMEOUT<11:0>$	$TXMEOUTEN$	$T_{LOW:SEXT}$
8 MHz	0x1F	1	$32 \times 2048 \times 125 \text{ ns} = 8 \text{ ms}$
16 MHz	0x3F	1	$64 \times 2048 \times 62.5 \text{ ns} = 8 \text{ ms}$
32 MHz	0x7C	1	$125 \times 2048 \times 31.25 \text{ ns} = 8 \text{ ms}$

表 20-8 各种 $I2CCLK$ 频率的 $TIMEOUTB$ 设置示例

◆ 将 T_{IDLE} 的最大持续时间配置为 50 μs

F_{I2CCLK}	$TIMEOUT<11:0>$	$TIDLE$	$TIMEOUTEN$	T_{IDLE}
8 MHz	0x63	1	1	$100 \times 4 \times 125 \text{ ns} = 50 \mu\text{s}$
16 MHz	0xC7	1	1	$200 \times 4 \times 62.5 \text{ ns} = 50 \mu\text{s}$
32 MHz	0x18F	1	1	$400 \times 4 \times 31.25 \text{ ns} = 50 \mu\text{s}$

表 20-9 各种 $I2CCLK$ 频率的 $TIMEOUTA$ 设置示例 ($T_{IDLE} = 50 \mu\text{s}$)

20. 4. 10 DMA请求

使用 DMA 发送

通过设置 I2C_CON1 寄存器中的 TXDMAEN 位为 1，可以开启 DMA 进行发送。只要 TXE 位被设置为 1，就会使用 DMA 外设配置的 SRAM 区域加载数据到 I2C_TXDATA 寄存器。只有数据可通过 DMA 发送。

使用 DMA 接收

通过设置 I2C_CON1 寄存器中的 RXDMAEN 位为 1，可以开启 DMA 进行接收。只要 RXNE 位被设置为 1，就会将 I2C_RXDATA 寄存器的数据加载到使用 DMA 外设配置的 SRAM 区域。只有数据（包括 PEC）可通过 DMA 接收。

20. 4. 11 通信错误类型

以下是可能导致通信失败的错误情况，当发生通信失败时，用户通过查询状态标志来判断发生了哪种错误类型。

总线错误（BERR）

总线错误是指在总线传输地址或数据期间检测到 START 或 STOP 条件，仅当 I2C 作为主机或寻址从机进行传输时（不在从机模式下的地址阶段），才会设置总线错误标志。

如果在从机模式下检测到错误的 START 或 RESTART，则 I2C 会进入地址识别状态，就像正确的 START 条件一样。

检测到总线错误时，I2C_RIF 寄存器中的 BERR 位被置为 1，如果 I2C_IER 寄存器中的 BERR 位为 1，则会产生中断请求。

仲裁丢失（ARLO）

仲裁丢失为当在 SDA 上发送高电平时，但在 SCL 上升沿却采样到低电平。

- ◆ 在主机模式下，在地址阶段，数据阶段和数据应答阶段检测仲裁丢失。在这种情况下，SDA 和 SCL 被释放，START 控制位由硬件清零，主机自动切换到从机模式。
- ◆ 在从机模式下，会在数据阶段和数据应答阶段检测仲裁丢失。在这种情况下，传输停止，SCL 和 SDA 被释放。

当检测到仲裁丢失时，I2C_RIF 寄存器中的 ARLO 位被置为 1，如果 I2C_IER 寄存器中的 ARLO 位为 1，则会产生中断请求。

接收溢出 / 发送下溢错误（RXOV / TXUD）

当 NOSTRETCH = 1 时，在从机模式下检测到溢出或下溢错误：

- ◆ 当接收到新字节且接收器非空时。新接收的字节将会丢失，并且自动发送 NACK 作为对新字节的应答。
- ◆ 在发送时如果待发送的新字节且尚未写入发送器，则会发送 0xFF。

当检测到接收溢出或发送下溢错误时，在 I2C_STAT 寄存器中的 TXUD 位与 RXOV 位被置为 1，如果 I2C_IER 寄存器中的 TXUD 位或 RXOV 位为 1，则会产生中断请求。

20. 4. 12 I2C中断

I2C 中断由以下个寄存器控制。

◆ 中断控制 (IER, IDR, IVS)

通过设置 I2C 中断开启寄存器 I2C_IER 中的各位为 1 来开启中断功能, 通过设置 I2C 中断关闭寄存器 I2C_IDR 中的各位为 1 来关闭中断功能。IER 和 IDR 寄存器只能写入, 上述寄存器中的结果可由中断功能有效状态寄存器 I2C_IVS 表示, IVS 寄存器只能读取。

◆ 原始中断标志寄存器 (RIF)

I2C 原始中断标志寄存器 I2C_RIF 是一个只能读取的寄存器, 用于读取模块的中断状态。该寄存器中的位表示 I2C 中断的真实状态。当出现以下条件时, I2C 可以产生中断:

- ◇ SMBus 警报
- ◇ 发生超时
- ◇ PEC 错误
- ◇ 仲裁丢失
- ◇ 总线错误
- ◇ 发送完成并重载
- ◇ 发送完成
- ◇ 检测 STOP
- ◇ 收到非应答
- ◇ 地址匹配
- ◇ 接收器不为空
- ◇ 发送器为空
- ◇ 发生接收溢出或发送下溢

◆ 中断标志屏蔽寄存器 (IFM)

◇ I2C 中断标志屏蔽寄存器 I2C_IFM 用于读取模块的标志位中断状态, 表示是哪个中断。IFM 中的每个位是 IVS 和 RIF 中各个位的逻辑与。

◆ 中断清除寄存器 (ICR)

通过设置 I2C 中断清除寄存器 I2C_ICR 中的各位为 1, 可以清除相应的中断。

20. 4. 13 调试模式

当微控制器进入调试模式 (CPU 内核停止运行), 根据调试控制 (DBG) 章节中 DBG_APB2FZ 寄存器的配置, 可选择 SMBus 超时计数器继续正常计数或停止计数。

20.5 特殊功能寄存器

20.5.1 寄存器列表

I2C 寄存器列表		
名称	偏移地址	描述
I2C_CON1	0000 _H	I2C 控制寄存器 1
I2C_CON2	0004 _H	I2C 控制寄存器 2
I2C_ADDR1	0008 _H	I2C 本机地址寄存器 1
I2C_ADDR2	000C _H	I2C 本机地址寄存器 2
I2C_TIMINGR	0010 _H	I2C 时钟寄存器
I2C_TIMEOUTR	0014 _H	I2C 超时寄存器
I2C_STAT	0018 _H	I2C 状态寄存器
I2C_PECR	0020 _H	I2C PEC 寄存器
I2C_RXDATA	0024 _H	I2C 接收器数据寄存器
I2C_TXDATA	0028 _H	I2C 发送器数据寄存器
I2C_IER	002C _H	I2C 中断开启寄存器
I2C_IDR	0030 _H	I2C 中断关闭寄存器
I2C_IVS	0034 _H	I2C 中断功能有效状态寄存器
I2C_RIF	0038 _H	I2C 中断原始标志寄存器
I2C_IFM	003C _H	I2C 中断标志屏蔽状态寄存器
I2C_ICR	0040 _H	I2C 中断清除寄存器

20.5.2 寄存器描述

20.5.2.1 I2C控制寄存器 1 (I2C_CON1)

I2C 控制寄存器 1 （I2C_CON1）																															
偏移地址：000 _H																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NBYTES								PECEN	ALERTEN	SMBDEN	SMBHEN	GCEN	Reserved	NOSTRETCH	SBC	RXDMAEN	TXDMAEN	Reserved	DNF				Reserved								PE

NBYTES	Bit 31-24	RW	接收/发送的数据字节数 参照I2C_CON2.NBYTES描述
PECEN	Bit 23	RW	PEC 开启位 0: 关闭 PEC 计算 1: 开启 PEC 计算 注意: 如果不支持 SMBus 功能, 则该位保留并由硬件强制为 0。
ALERTEN	Bit 22	RW	SMBus 警报开启位 设备模式 (SMBHEN = 0): 0: 释放 SMBA 引脚为高电平且关闭警报响应地址标头 0001100x, 回应 NACK。 1: 将 SMBA 引脚驱动为低电平且开启警报响应地址标头 0001100x, 回应 ACK。 主机模式 (SMBHEN = 1): 0: 不支持 SMBus 警报引脚 (SMBA)。 1: 支持 SMBus 警报引脚 (SMBA)。 注: 当 ALERTEN=0 时, SMBA 引脚可用作标准 GPIO。如果不支持 SMBus 功能, 则该位保留并由硬件强制为 0。
SMBDEN	Bit 21	RW	SMBus 设备从机地址启用位 0: 关闭设备从机地址 0b1100001x, 回应 NACK。 1: 开启设备从机地址 0b1100001x, 回应 ACK。 注: 如果不支持 SMBus 功能, 则该位保留并由硬件强制为 0。
SMBHEN	Bit 20	RW	SMBus 主机地址启用位 0: 关闭主机地址 0b0001000x, 回应 NACK。 1: 开启主机地址 0b0001000x, 回应 ACK。 注: 如果不支持 SMBus 功能, 则该位保留并由硬件强制为 0。
GCEN	Bit 19	RW	广播呼叫开启位 0: 关闭广播呼叫地址 0b00000000, 回应 NACK。 1: 开启广播呼叫地址 0b00000000, 回应 ACK。
Reserved	Bit 18	—	保留
NOSTRETCH	Bit 17	RW	时钟延长关闭位

			该位用于关闭从机模式下的时钟延长。在主机模式下必须保持为 0。 0: 开启时钟延长 1: 关闭时钟延长 注: 只有在关闭 I2C (PE=0) 时才能对该位进行设置。
SBC	Bit 16	RW	从机字节控制使能位 该位用于在从机模式下开启硬件字节控制。 0: 关闭从机字节控制 1: 开启从机字节控制
RXDMAEN	Bit 15	RW	DMA 接收器开启位 0: 关闭 DMA 接收器 1: 开启 DMA 接收器
TXDMAEN	Bit 14	RW	DMA 发送器开启位 0: 关闭 DMA 发送器 1: 开启 DMA 发送器
Reserved	Bit 13-12	—	保留
DNF	Bit 11-8	RW	数字噪声滤波器的滤波宽度 该位用于配置 SDA 和 SCL 输入噪声数字滤波器的滤波宽度: $DNF<3:0> \times T_{I2CCLK}$ 0000: 关闭数字滤波器 0001: 开启数字滤波器, 滤波宽度为 $1 T_{I2CCLK}$... 1111: 开启数字滤波器, 滤波宽度为 $15 T_{I2CCLK}$ 注: 只有在关闭 I2C (PE=0) 时才能对该位进行设置。
Reserved	Bit 7-1	—	保留
PE	Bit 0	RW	I2C 开启位 0: I2C 关闭 1: I2C 开启 注: 当 PE=0 时, I2C SCL 和 SDA 被释放, 内部状态机和状态位将恢复为其复位值。清零后, PE 为 0 并必须保持至少 3 个 APB 时钟周期。

20.5.2.2 I2C控制寄存器 2 (I2C_CON2)

I2C 控制寄存器 2 （I2C_CON2）																																									
偏移地址：004 _H																																									
复位值：0x0000 0000																																									
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0										
Reserved		ACK_UPD		HOLD ACK		Reserved		PECBYTE		AUTOEND		RELOAD		NBYTES								NACK		STOP		START		HEAD10R		ADD10		RD_WRN		SADD							

Reserved	Bit 31-30	—	保留
ACK_UPD	Bit 29	T_W1	ACK 更新 该位由软件设置, 在 PE=0 时或在下一个时钟后由硬件清零。 0: 不更新 ACK 状态 1: 更新 ACK 状态并释放时钟
HOLDACK	Bit 28	R/W	等待回应 ACK 开启时, 第 8 和第 9 个 SCL 脉冲之间会将 SCL 延长, 并等待用户设置 ACK/NACK。在设置 ACK/NACK 之后, 设置 ACK_UPD 以发出 ACK/NACK 并释放 SCL。 0: 自动应答 ACK 1: 开启手动回应 ACK
Reserved	Bit 27	—	保留
PECBYTE	Bit 26	W1	数据包错误检查字节 该位由软件设置, 当传输 PEC 时, 或者当接收到 STOP 条件、匹配的地址或当 PE=0 时, 由硬件清零。 0: 没有 PEC 传输 1: 请求 PEC 发送器/接收器 注: 向该位写 0 无效。设置 RELOAD 时, 该位无效。当 SBC=0 时, 该位对从机模式无效。如果不支持 SMBus 功能, 则该位保留并由硬件强制为 0。
AUTOEND	Bit 25	R/W	自动结束模式 (主机模式) 该位由软件设置和清除。 0: 软件结束模式: 发送器完 NBYTES 所设置的数据字节时设置 TC 标志, 将 SCL 拉低 1: 自动结束模式: 发送器完 NBYTES 所设置的数据字节时自动发送 STOP 条件。 注: 该位在从机模式或设置 RELOAD 位为 1 时无效。
RELOAD	Bit 24	R/W	NBYTES 重载模式 该位由软件设置和清除。 0: 在 NBYTES 所设置的数据字节传输完后结束传输 (接下来是 STOP 或 RESTART)。

			1: 在 NBYTES 所设置的数据字节传输完后将继续传输 (NBYTES 将重载), TCR 标志置 1, 将 SCL 拉低。
NBYTES	Bit 23-16	R/W	接收/发送的数据字节数 此位与 I2C_CON1.NBYTES 组合成 16 位, NBYTES={ I2C_CON1.NBYTES<7:0>,I2C_CON2.NBYTES<7:0>}, 用于设置要发送/接收的字节数。 从机模式下, 当 SBC=0 时, 该位无效。 注: 不允许在设置 START 位时更改该位。
NACK	Bit 15	W1	NACK 产生 (从机模式) 该位由软件设置, 在发送器 NACK 时由硬件清零, 或在接收到 STOP 条件或地址匹配时, 或当 PE=0 时由硬件清零。 0: 无操作 1: 在下一个接收字节发送 NACK 注: 向该位写 0 无效。 该位仅用于从机模式: 在主机接收模式下, 无论 NACK 位值如何, 在 STOP 或 RESTART 条件之前的最后一个字节自动产生 NACK。当从机接收 NOSTRETCH 模式发生溢出时, 无论 NACK 位值如何, 都会自动产生 NACK。当开启硬件 PEC 检查 (PECBYTE=1) 时, PEC 确认值不依赖于 NACK 值。
STOP	Bit 14	W1	STOP 产生 (主机模式) 该位由软件设置, 当检测到停止条件时, 或当 PE=0 时由硬件清零, 该位仅用于主机模式。 0: 无操作 1: 当前字节传输完后产生 STOP 注: 向该位写 0 无效。
START	Bit 13	W1	START 产生 该位由软件设置, 并在起始位后跟随地址序列发送器、仲裁丢失、检测超时错误或 PE=0 时由硬件清零。 0: 无操作 1: 产生 RESTART/START 如果 I2C 处于主机模式且 AUTOEND=0, 则在 NBYTES 所设置的数据字节传输结束后, 当 RELOAD=0 时, 将该位设置为 1 会产生重复起始条件 RESTART。 当总线空闲时, 将该位设置为 1 或产生 START 条件。 注: 向该位写 0 无效。 即使总线忙, 也可以设置 START 位。在 10 位地址模式下, 如果在地址的第一部分接收到 NACK, 则 START 位不会被硬件清零, 主机将重新发送地址序列, 除非 START 位被软件清零
HEAD10R	Bit 12	R/W	10 位地址序列发送方式选择 (主机接收模式) 0: 主机发送完整的 10 位从机地址序列: 起始位 + 地址标头/写 + 10 位地址的低 8 位 + 重新起始位 + 地址

			标头/读 1: 主机仅发送 10 位地址的前 7 位, 然后发送读取方向 注: 不允许在设置 START 位时更改该位。
ADD10	Bit 11	R/W	地址模式选择 (主机模式) 0: 主机使用 7 位地址模式 1: 主机使用 10 位地址模式 注: 不允许在设置 START 位时更改该位。
RD_WRN	Bit 10	R/W	传输方向 (主机模式) 0: 主机发送 1: 主机接收 注: 不允许在设置 START 位时更改该位。
SADD	Bit 9-0	R/W	从机地址位 (主机模式) 在 7 位地址模式下, bit<7:1>为待寻址的从机地址; 在 10 位地址模式下, bit<9:0>为待寻址的从机地址。 注: 不允许在设置 START 位时更改该位。

20.5.2.3 I2C本机地址寄存器 1 (I2C_ADDR1)

I2C 本机地址寄存器 1 （I2C_ADDR1）																																
偏移地址：008 _H																																
复位值：0x0000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																OA1EN	Reserved				OA1MODE	OA1										

Reserved	Bit 31-16	—	保留
OA1EN	Bit 15	R/W	本机地址 1 开启位 0: 关闭本机地址 1。接收到从机地址 OA1 时响应 NACK。 1: 开启本机地址 1。接收到从机地址 OA1 时响应 ACK。
Reserved	Bit 14-11	—	保留
OA1MODE	Bit 10	R/W	本机地址 1 的地址模式选择位 0: 本机地址 1 使用 7 位地址模式 1: 本机地址 1 使用 10 位地址模式 注: 当 OA1EN=0 时才能写入该位。
OA1	Bit 9:0	R/W	本机地址 1 7 位地址模式下, bit <7:1>为本机地址 1; 10 位地址模式下, bit <9:0>为本机地址 1。 注: 当 OA1EN=0 时才能写入该位。

20.5.2.4 I2C本机地址寄存器 2 (I2C_ADDR2)

I2C 本机地址寄存器 2 （I2C_ADDR2）																																
偏移地址：00C _H																																
复位值：0x0000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																OA2EN	Reserved				OA2MSK			OA2							Reserved	

Reserved	Bit 31-16	—	保留
OA2EN	Bit 15	R/W	本机地址 2 开启位 0: 关闭本机地址 2。接收到从机地址 OA2 时响应 NACK。 1: 开启本机地址 2。接收到从机地址 OA2 时响应 ACK。
Reserved	Bit 14-11	—	保留
OA2MSK	Bit 10-8	R/W	本机地址 2 屏蔽位 000: 没有屏蔽 001: OA2<1>被屏蔽, 仅比较 OA2<7:2>。 010: OA2<2:1>被屏蔽, 仅比较 OA2<7:3>。 011: OA2<3:1>被屏蔽, 仅比较 OA2<7:4>。 100: OA2<4:1>被屏蔽, 仅比较 OA2<7:5>。 101: OA2<5:1>被屏蔽, 仅比较 OA2<7:6>。 110: OA2<6:1>被屏蔽, 仅比较 OA2<7>。 111: OA2<7:1>被屏蔽, 不进行比较, 并且应答所有接收到的 7 位地址 (保留地址除外)。 注: 当 OA2EN=0 时才能写入该位。 一旦 OA2MSK 不等于 0, 则 I2C 即使比较匹配, 也不会应答保留地址 (0b0000xxx 和 0b1111xxx)。
OA2	Bit 7-1	R/W	本机地址 2 7 位地址模式: 7 位地址 注: 当 OA2EN=0 时才能写入该位。
Reserved	Bit 0	—	保留

20.5.2.5 I2C时钟寄存器 (I2C_TIMINGR)

I2C 时钟寄存器（I2C_TIMINGR）																															
偏移地址：010 _H																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRESC				Reserved				SCLDEL				SDADEL				SCLH								SCLL							

PRESC	Bit 31-28	R/W	时钟预分频器 该位用于预分频 I2CCLK，以产生用于数据建立和保持的计数时钟以及 SCL 高电平和低电平的计数时钟，预分频后的时钟周期 T_{PRESC} 为： $T_{PRESC} = (PRESC + 1) \times T_{I2CCLK}$ 只有在关闭 I2C (PE=0) 时才能对该位进行设置。
Reserved	Bit 27-24	—	保留
SCLDEL	Bit 23-20	R/W	数据建立时间 该位用于在 SDA 边沿和 SCL 上升沿之间产生延迟 T_{SCLDEL} 。在主机和从机模式下，NOSTRETCH=0 时，SCL 线在 T_{SCLDEL} 期间拉低。 $T_{SCLDEL} = (SCLL - SCLDEL) \times T_{PRESC}$ 注： T_{SCLDEL} 用于产生 $T_{SU:DAT}$ 时序。 只有在关闭 I2C (PE=0) 时才能对该位进行设置。
SDADEL	Bit 19-16	R/W	数据保持时间 该位用于在 SCL 下降沿和 SDA 边沿之间产生延迟 T_{SDADEL} 。在主机和从机模式下，NOSTRETCH=0 时，SCL 线在 T_{SDADEL} 期间拉低。 $T_{SDADEL} = SDADEL \times T_{PRESC}$ 注：SDADEL 用于产生 $T_{HD:DAT}$ 时序。 只有在关闭 I2C (PE=0) 时才能对该位进行设置。
SCLH	Bit 15-8	R/W	SCL 高电平时间（主机模式） 该位用于在主机模式下产生 SCL 高电平脉宽。 $T_{SCLH} = (SCLH + 1) \times T_{PRESC}$ 注：SCLH 还用于产生 $T_{SU:STO}$ 和 $T_{HD:STA}$ 时序。 只有在关闭 I2C (PE=0) 时才能对该位进行设置。
SCLL	Bit 7-0	R/W	SCL 低电平时间（主机模式） 该位用于在主机模式下产生 SCL 低电平脉宽。 $T_{SCLL} = (SCLL + 1) \times T_{PRESC}$ 注：SCLL 还用于产生 T_{BUF} 和 $T_{SU:STA}$ 时序。 只有在关闭 I2C (PE=0) 时才能对该位进行设置。

20.5.2.6 I2C超时寄存器 (I2C_TIMEOUTR)

I2C 超时寄存器 (I2C_TIMEOUTR)																																	
偏移地址: 014 _H																																	
复位值: 0x0000 0000																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
TEXTEN	Reserved			TIMEOUTB												TIMEOUTEN	Reserved		TIDLE	TIMEOUTA													

TEXTEN	Bit 31	R/W	累积时钟延长超时检测开启位 0: 关闭累积时钟延长超时检测 1: 开启累积时钟延长超时检测 当 I2C 接口累积 SCL 延长超过 $T_{LOW:EXT}$ 时, 会检测到超时错误 (TOUT=1)。
Reserved	Bit 30-28	—	保留
TIMEOUTB	Bit 27-16	R/W	总线超时 B 该位用于配置累积时钟延长超时: 在主机模式下, 检测主机累积时钟低延长时间。 在从机模式下, 检测从机累积时钟低延长时间。 $T_{LOW:EXT} = (TIMEOUTB + 1) \times 2048 \times T_{I2CCCLK}$ 注: 当 TEXTEN=0 时才能写入该位。
TIMEOUTEN	Bit 15	R/W	时钟超时检测开启位 0: 关闭 SCL 超时检测 1: 开启 SCL 超时检测: 当 SCL 为低电平的时间超过 $T_{TIMEOUT}$ ($TIDLE=0$) 或高电平的时间超过 T_{IDLE} ($TIDLE=1$) 时, 检测到超时错误 (TOUT=1)。
Reserved	Bit 14-13	—	保留
TIDLE	Bit 12	R/W	空闲时钟超时检测选择位 0: TIMEOUTA 用于检测 SCL 低超时 1: TIMEOUTA 用于检测 SCL 和 SDA 高超时 (总线空闲状态) 注: 当 TIMEOUTEN=0 时才能写入该位。
TIMEOUTA	Bit 11-0	R/W	总线超时 A 该位用于配置: - 当 TIDLE=0 时, SCL 低超时条件 $T_{TIMEOUT}$ $T_{TIMEOUT} = (TIMEOUTA + 1) \times 2048 \times T_{I2CCCLK}$ - 当 TIDLE=1 时, 总线空闲状态 (SCL 和 SDA 均为高电平) $T_{IDLE} = (TIMEOUTA + 1) \times 4 \times T_{I2CCCLK}$ 注: 当 TIMEOUTEN=0 时才能写入该位。

20.5.2.7 I2C状态寄存器 (I2C_STAT)

I2C 状态寄存器 (I2C_STAT)																																	
偏移地址：018 _H																																	
复位值：0x0000 0001																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved								ADDCODE								DIR	BUSY	Reserved				TCR	TC	Reserved	RXUD	RXOV	Reserved	RXNE	Reserved	TXUD	TXOV	Reserved	TXE

Reserved	Bit 31-24	—	保留
ADDCODE	Bit 23-17	R	地址匹配代码 (从机模式) 当发生地址匹配事件 (ADDR = 1) 时, 该位为接收到的地址。在 10 位地址模式下, ADDCODE 为地址标头 (包括地址的 2 个 MSB 位)。
DIR	Bit 16	R	传输方向位 (从机模式) 发生地址匹配事件 (ADDR = 1) 时更新此标志。 0: 写入传输, 从机进入接收模式。 1: 读取传输, 从机进入发送模式。
BUSY	Bit 15	R	总线忙标志位 0: 总线空闲 1: 总线正在进行通信, 检测到 START 条件时由硬件设置为 1。当检测到停止条件或 PE=0 时, 由硬件清零
Reserved	Bit 14-12	—	保留
TCR	Bit 11	R	传输完成并重载标志位 当 RELOAD=1 且已将 NBYTES 所设置的数据字节传输完成时, 此标志由硬件设置为 1。当 NBYTES 位写入非零值时, 由硬件清零。 注: 当 PE=0 时, 该位由硬件清零。该标志仅用于主机模式, 或者用于从模式且设置 SBC 位为 1 时。
TC	Bit 10	R	传输完成标志位 (主机模式) 当 RELOAD=0、AUTOEND=0 且已将 NBYTES 所设置的数据字节传输完成时, 该标志由硬件设置为 1。当设置 START 位或 STOP 位为 1 时, 由硬件清零。 注: 当 PE=0 时, 该位由硬件清零。
Reserved	Bit 9	—	保留
RXUD	Bit 8	R	接收器下溢标志位 读取 I2C_STAT 后, 由硬件清零。 0: 接收器没有下溢 1: 接收器下溢

RXOV	Bit 7	R	接收器溢出标志位 读取 I2C_STAT 后，由硬件清零。 0: 接收器没有溢出 1: 接收器溢出
Reserved	Bit 6	—	保留
RXNE	Bit 5	R	接收器非空标志位 0: 接收器空 1: 接收器非空
Reserved	Bit 4	—	保留
TXUD	Bit 3	R	发送器下溢标志位 读取 I2C_STAT 后，由硬件清零。 0: 发送器没有下溢 1: 发送器下溢
TXOV	Bit 2	R	发送器溢出标志位 读取 I2C_STAT 后，由硬件清零。 0: 发送器没有溢出 1: 发送器溢出
Reserved	Bit 1	—	保留
TXE	Bit 0	R	发送器空标志位 0: 发送器没有空 1: 发送器空

20.5.2.8 I2C PEC寄存器 (I2C_PECR)

I2C PEC 寄存器 (I2C_PECR)																															
偏移地址: 020 _H																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																PEC															

Reserved	Bit 31-8	—	保留
PEC	Bit 7-0	R	数据包错误检查寄存器 当 PECEN = 1 时，该位包含内部 PEC。 当 PECEN = 0 时，PEC 由硬件清零。

20.5.2.9 I2C接收器数据寄存器 (I2C_RXDATA)

I2C 接收器数据寄存器 （I2C_RXDATA）																															
偏移地址：024 _H																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																								RXDATA							

Reserved	Bits 31-8	—	保留
RXDATA	Bits 7-0	R	8 位接收器数据 从 I2C 总线接收器的数据字节。

20.5.2.10 I2C发送器数据寄存器 (I2C_TXDATA)

I2C 发送器数据寄存器 (I2C_TXDATA)																															
偏移地址：028 _H																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																								TXDATA							

Reserved	Bit 31-8	—	保留
TXDATA	Bit 7-0	W	8 位发送器数据 要传输到 I2C 总线的数据字节。

20. 5. 2. 11 I2C中断开启寄存器 (I2C_IER)

I2C 中断开启寄存器 (I2C_IER)																															
偏移地址：02C _H																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											ALERT	TOUT	PECE	ARLO	BERR	Reserved	STOP	NACK	ADDR	TCR	TC	Reserved	RXUD	RXOV	Reserved	RXNE	Reserved	TXUD	TXOV	Reserved	TXE

Reserved	Bit 31-21	—	保留
ALERT	Bit 20	W1	开启 SMBus 报警中断功能 此位置 1 时, 开启中断功能, 硬件侦测到 SMBus 报警事件时发生中断
TOUT	Bit 19	W1	开启超时中断功能 此位置 1 时, 开启中断功能, 硬件侦测到超时事件时发生中断
PECE	Bit 18	W1	开启 PEC 错误中断功能 此位置 1 时, 开启中断功能, 硬件侦测到 PEC 错误事件时发生中断
ARLO	Bit 17	W1	开启仲裁丢失中断功能 此位置 1 时, 开启中断功能, 硬件侦测到仲裁丢失事件时发生中断
BERR	Bit 16	W1	开启总线错误中断功能 此位置 1 时, 开启中断功能, 硬件侦测到总线错误事件时发生中断
Reserved	Bit 15	—	保留
STOP	Bit 14	W1	开启检测停止位中断功能 此位置 1 时, 开启中断功能, 硬件侦测到停止位事件时发生中断
NACK	Bit 13	W1	开启接收 NACK 中断功能 此位置 1 时, 开启中断功能, 硬件侦测到接收器 NACK 事件时发生中断
ADDR	Bit 12	W1	开启地址匹配中断功能 此位置 1 时, 开启中断功能, 硬件侦测到地址匹配事件时发生中断
TCR	Bit 11	W1	开启传输完成并重载中断功能 此位置 1 时, 开启中断功能, 硬件侦测到传输完成

			并重载事件时发生中断
TC	Bit 10	W1	开启传输完成中断功能 此位置 1 时，开启中断功能，硬件侦测到传输完成事件时发生中断
Reserved	Bit 9	—	保留
RXUD	Bit 8	W1	开启接收器下溢中断功能 此位置 1 时，开启中断功能，硬件侦测到接收器下溢事件时发生中断
RXOV	Bit 7	W1	开启接收器溢出中断功能 此位置 1 时，开启中断功能，硬件侦测到接收器溢出事件时发生中断
Reserved	Bit 6	—	保留
RXNE	Bit 5	W1	开启接收器非空中断功能 此位置 1 时，开启中断功能，硬件侦测到接收器非空事件时发生中断
Reserved	Bit 4	—	保留
TXUD	Bit 3	W1	开启发送器下溢中断功能 此位置 1 时，开启中断功能，硬件侦测到发送器下溢事件时发生中断
TXOV	Bit 2	W1	开启发送器溢出中断功能 此位置 1 时，开启中断功能，硬件侦测到发送器溢出事件时发生中断
Reserved	Bit 1	—	保留
TXE	Bit 0	W1	开启发送器空中断功能 此位置 1 时，开启中断功能，硬件侦测到发送器空事件时发生中断

20. 5. 2. 12 I2C中断关闭寄存器 (I2C_IDR)

I2C 中断关闭寄存器 (I2C_IDR)																															
偏移地址：030 _H																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											ALERT	TOUT	PECE	ARLO	BERR	Reserved	STOP	NACK	ADDR	TCR	TC	Reserved	RXUD	RXOV	Reserved	RXNE	Reserved	TXUD	TXOV	Reserved	TXE

Reserved	Bit 31-21	—	保留
ALERT	Bit 20	W1	关闭 SMBus 报警中断功能 此位置 1 时, 关闭 SMBus 报警中断功能
TOUT	Bit 19	W1	关闭超时中断功能 此位置 1 时, 关闭超时中断功能
PECE	Bit 18	W1	关闭 PEC 错误中断功能 此位置 1 时, 关闭 PEC 错误中断功能
ARLO	Bit 17	W1	关闭仲裁丢失中断功能 此位置 1 时, 关闭仲裁丢失中断功能
BERR	Bit 16	W1	关闭总线错误中断功能 此位置 1 时, 关闭总线错误中断功能
Reserved	Bit 15	—	保留
STOP	Bit 14	W1	关闭检测停止中断功能 此位置 1 时, 关闭检测停止位中断功能
NACK	Bit 13	W1	关闭接收器 NACK 中断功能 此位置 1 时, 关闭接收器 NACK 中断功能
ADDR	Bit 12	W1	关闭地址匹配中断功能 此位置 1 时, 关闭地址匹配中断功能
TCR	Bit 11	W1	关闭传输完成并重载中断功能 此位置 1 时, 关闭传输完成并重载中断功能
TC	Bit 10	W1	关闭传输完成中断功能 此位置 1 时, 关闭传输完成中断功能
Reserved	Bit 9	—	保留
RXUD	Bit 8	W1	关闭接收器下溢中断功能 此位置 1 时, 关闭接收器下溢中断功能
RXOV	Bit 7	W1	关闭接收器溢出中断功能 此位置 1 时, 关闭接收器溢出中断功能
Reserved	Bit 6	—	保留
RXNE	Bit 5	W1	关闭接收器非空中断功能 此位置1时, 关闭接收器非空中断功能
Reserved	Bit 4	—	保留

TXUD	Bit 3	W1	关闭发送器下溢中断功能 此位置 1 时，关闭发送器下溢中断功能
TXOV	Bit 2	W1	关闭发送器溢出中断功能 此位置 1 时，关闭发送器溢出中断功能
Reserved	Bit 1	—	保留
TXE	Bit 0	W1	关闭发送器空中断功能 此位置 1 时，关闭发送器空中断功能

20.5.2.13 I2C中断功能有效状态寄存器 (I2C_IVS)

I2C 中断功能有效状态寄存器（I2C_IVS）																															
偏移地址：034 _H																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											ALERT	TOUT	PECE	ARLO	BERR	Reserved	STOP	NACK	ADDR	TCR	TC	Reserved	RXUD	RXOV	Reserved	RXNE	Reserved	TXUD	TXOV	Reserved	TXE

Reserved	Bit 31-21	—	保留
ALERT	Bit 20	R	SMBus 报警中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
TOUT	Bit 19	R	超时中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
PECE	Bit 18	R	PEC 错误中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
ARLO	Bit 17	R	仲裁丢失中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
BERR	Bit 16	R	总线错误中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
Reserved	Bit 15	—	保留
STOP	Bit 14	R	检测停止位中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
NACK	Bit 13	R	接收器 NACK 中断功能状态 0: 中断功能处于关闭状态

			1: 中断功能处于开启状态
ADDR	Bit 12	R	地址匹配中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
TCR	Bit 11	R	传输完成并重载中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
TC	Bit 10	R	传输完成中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
Reserved	Bit 9	—	保留
RXUD	Bit 8	R	接收器下溢中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
RXOV	Bit 7	R	接收器溢出中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
Reserved	Bit 6	—	保留
RXNE	Bit 5	R	接收器非空中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
Reserved	Bit 4	—	保留
TXUD	Bit 3	R	发送器下溢中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
TXOV	Bit 2	R	发送器溢出中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
Reserved	Bit 1	—	保留
TXE	Bit 0	R	发送器空中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态

注: I2C_IVS 寄存器, 是实时反映系统配置 I2C_IER 与 I2C_IDR 的中断开启状态。

20. 5. 2. 14 I2C原始中断标志寄存器 (I2C_RIF)

I2C 原始中断标志寄存器 （I2C_RIF）																															
偏移地址：038 _H																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											ALERT	TOUT	PECE	ARLO	BERR	Reserved	STOP	NACK	ADDR	TCR	TC	Reserved	RXUD	RXOV	Reserved	RXNE	Reserved	TXUD	TXOV	Reserved	TXE

Reserved	Bits 31-21	—	保留
ALERT	Bit 20	R	SMBus 报警，原始中断状态 0: 无发生中断 1: 已发生中断
TOUT	Bit 19	R	超时，原始中断状态 0: 无发生中断 1: 已发生中断
PECE	Bit 18	R	PEC 错误，原始中断状态 0: 无发生中断 1: 已发生中断
ARLO	Bit 17	R	仲裁丢失，原始中断状态 0: 无发生中断 1: 已发生中断
BERR	Bit 16	R	总线错误，原始中断状态 0: 无发生中断 1: 已发生中断
Reserved	Bit 15	—	保留
STOP	Bit 14	R	检测停止位，原始中断状态 0: 无发生中断 1: 已发生中断
NACK	Bit 13	R	接收器 NACK，原始中断状态 0: 无发生中断 1: 已发生中断
ADDR	Bit 12	R	地址匹配，原始中断状态 0: 无发生中断 1: 已发生中断
TCR	Bit 11	R	传输完成并重载，原始中断状态 0: 无发生中断 1: 已发生中断
TC	Bit 10	R	传输完成，原始中断状态 0: 无发生中断 1: 已发生中断

Reserved	Bit 9	—	保留
RXUD	Bit 8	R	接收器下溢，原始中断状态 0: 无发生中断 1: 已发生中断
RXOV	Bit 7	R	接收器溢出，原始中断状态 0: 无发生中断 1: 已发生中断
Reserved	Bit 6	—	保留
RXNE	Bit 5	R	接收器非空，原始中断状态 0: 无发生中断 1: 已发生中断
Reserved	Bit 4	—	保留
TXUD	Bit 3	R	发送器下溢，原始中断状态 0: 无发生中断 1: 已发生中断
TXOV	Bit 2	R	发送器溢出，原始中断状态 0: 无发生中断 1: 已发生中断
Reserved	Bit 1	—	保留
TXE	Bit 0	R	发送器空，原始中断状态 0: 无发生中断 1: 已发生中断

20. 5. 2. 15 I2C中断标志屏蔽寄存器 (I2C_IFM)

I2C 中断标志屏蔽寄存器 （I2C_IFM）																															
偏移地址：03C _H																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											ALERT	TOUT	PECE	ARLO	BERR	Reserved	STOP	NACK	ADDR	TCR	TC	Reserved	RXUD	RXOV	Reserved	RXNE	Reserved	TXUD	TXOV	Reserved	TXE

Reserved	Bits 31-21	—	保留
ALERT	Bit 20	R	SMBus 报警，标志位中断状态 0: 未发生中断或中断未使能 1: 已发生中断
TOUT	Bit 19	R	超时，标志位中断状态 0: 未发生中断或中断未使能 1: 已发生中断
PECE	Bit 18	R	PEC 错误，标志位中断状态 0: 未发生中断或中断未使能 1: 已发生中断
ARLO	Bit 17	R	仲裁丢失，标志位中断状态 0: 未发生中断或中断未使能 1: 已发生中断
BERR	Bit 16	R	总线错误，标志位中断状态 0: 未发生中断或中断未使能 1: 已发生中断
Reserved	Bit 15	—	保留
STOP	Bit 14	R	检测停止位，标志位中断状态 0: 未发生中断或中断未使能 1: 已发生中断
NACK	Bit 13	R	接收器 NACK，标志位中断状态 0: 未发生中断或中断未使能 1: 已发生中断
ADDR	Bit 12	R	地址匹配，标志位中断状态 0: 未发生中断或中断未使能 1: 已发生中断
TCR	Bit 11	R	传输完成并重载，标志位中断状态 0: 未发生中断或中断未使能

			1: 已发生中断
TC	Bit 10	R	传输完成, 标志位中断状态 0: 未发生中断或中断未使能 1: 已发生中断
Reserved	Bit 9	—	保留
RXUD	Bit 8	R	接收器下溢, 标志位中断状态 0: 未发生中断或中断未使能 1: 已发生中断
RXOV	Bit 7	R	接收器溢出, 标志位中断状态 0: 未发生中断或中断未使能 1: 已发生中断
Reserved	Bit 6	—	保留
RXNE	Bit 5	R	接收器非空, 标志位中断状态 0: 未发生中断或中断未使能 1: 已发生中断
Reserved	Bit 4	—	保留
TXUD	Bit 3	R	发送器下溢, 标志位中断状态 0: 未发生中断或中断未使能 1: 已发生中断
TXOV	Bit 2	R	发送器溢出, 标志位中断状态 0: 未发生中断或中断未使能 1: 已发生中断
Reserved	Bit 1	—	保留
TXE	Bit 0	R	发送器空, 标志位中断状态 0: 未发生中断或中断未使能 1: 已发生中断

注: I2C_IFM 寄存器, 是滤除已关闭中断功能的中断事件, 只关注开启中断功能的事件。此寄存器状态是将 I2C_RIF 与 I2C_IVS 进行硬件逻辑与运算。

20. 5. 2. 16 I2C中断清除寄存器 (I2C_ICR)

I2C 中断清除寄存器 (I2C_ICR)																															
偏移地址：040 _H																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											ALERT	TOUT	PECE	ARLO	BERR	Reserved	STOP	NACK	ADDR	TCR	TC	Reserved	RXUD	RXOV	Reserved	RXNE	Reserved	TXUD	TXOV	Reserved	TXE

Reserved	Bits 31-21	—	保留
ALERT	Bit 20	C_W1	SMBus 报警中断清除 此位置 1 时, 清除中断状态 (I2C_RIF 与 I2C_IFM)
TOUT	Bit 19	C_W1	超时中断清除 此位置 1 时, 清除中断状态 (I2C_RIF 与 I2C_IFM)
PECE	Bit 18	C_W1	PEC 错误中断清除 此位置 1 时, 清除中断状态 (I2C_RIF 与 I2C_IFM)
ARLO	Bit 17	C_W1	仲裁丢失中断清除 此位置 1 时, 清除中断状态 (I2C_RIF 与 I2C_IFM)
BERR	Bit 16	C_W1	总线错误中断清除 此位置 1 时, 清除中断状态 (I2C_RIF 与 I2C_IFM)
Reserved	Bit 15	—	保留
STOP	Bit 14	C_W1	检测停止位中断清除 此位置 1 时, 清除中断状态 (I2C_RIF 与 I2C_IFM)
NACK	Bit 13	C_W1	接收器 NACK 中断清除 此位置 1 时, 清除中断状态 (I2C_RIF 与 I2C_IFM)
ADDR	Bit 12	C_W1	地址匹配中断清除 此位置 1 时, 清除中断状态 (I2C_RIF 与 I2C_IFM)
TCR	Bit 11	C_W1	传输完成并重载中断清除 此位置 1 时, 清除中断状态 (I2C_RIF 与 I2C_IFM)
TC	Bit 10	C_W1	传输完成中断清除 此位置 1 时, 清除中断状态 (I2C_RIF 与 I2C_IFM)
Reserved	Bit 9	—	保留
RXUD	Bit 8	C_W1	接收器下溢中断清除 此位置 1 时, 清除中断状态 (I2C_RIF 与 I2C_IFM)
RXOV	Bit 7	C_W1	接收器溢出中断清除 此位置 1 时, 清除中断状态 (I2C_RIF 与 I2C_IFM)
Reserved	Bit 6	—	保留

RXNE	Bit 5	C_W1	接收器非空中断清除 此位置 1 时，清除中断状态 (I2C_RIF 与 I2C_IFM) 注：当 I2C_STAT 寄存器的 RXNE 位为 1 时，对该位写 1 无效。
Reserved	Bit 4	—	保留
TXUD	Bit 3	C_W1	发送器下溢中断清除 此位置 1 时，清除中断状态 (I2C_RIF 与 I2C_IFM)
TXOV	Bit 2	C_W1	发送器溢出中断清除 此位置 1 时，清除中断状态 (I2C_RIF 与 I2C_IFM)
Reserved	Bit 1	—	保留
TXE	Bit 0	C_W1	发送器空中断清除 此位置 1 时，清除中断状态 (I2C_RIF 与 I2C_IFM) 注：当 I2C_STAT 寄存器的 TXE 位为 1 时，对该位写 1 无效。

注：I2C_ICR 寄存器设置时，将清除 I2C_RIF 与 I2C_IFM 中断标志状态；此设置不影响中断 I2C_IER、I2C_IDR 与 I2C_IVS 寄存器，只清除标志状态 I2C_RIF 与 I2C_IFM。此寄存器通过硬件清除中断。

第21章 串行外设接口（SPI0~1）

21.1 概述

串行外设接口（SPI）可与外部 SPI 设备进行半双工或全双工的同步串行通信。该接口可配置为主机模式或从机模式。在配置为主机模式时，可以为外部 SPI 从设备提供通信时钟（SCK）。该接口还能够多主机模式下工作。

芯片内部共有 2 个串行外设接口（SPI0~1），功能规格一致。

21.2 特性

- ◆ 支持主机或从机模式操作
- ◆ 基于三线的全双工同步传输
- ◆ 基于双线的半双工同步传输，其中一条线作为双向数据线
- ◆ 基于双线的单工同步传输，其中一条线作为单向数据线
- ◆ 8 位或 16 位传输帧格式选择
- ◆ 支持多主机模式功能
- ◆ 主机模式支持波特率可配置
- ◆ 从机模式波特率最高可达 $f_{HCLK}/2$
- ◆ 对于主机模式和从机模式都可通过硬件或软件进行 NSS 控制
- ◆ 时钟极性和相位可编程
- ◆ 数据顺序可编程，可最先移位 MSB 或 LSB
- ◆ 具有发送或接收的 FIFO 缓存状态标志
- ◆ 具有显示 SPI 总线忙状态标志
- ◆ 支持 SPI 摩托罗拉协议
- ◆ 支持 SPI TI 协议
- ◆ 支持用于确保可靠通信的硬件 CRC 功能：
 - 在发送模式下可将 CRC 值作为最后一个字节数据发送
 - 根据收到的最后一个字节自动进行 CRC 错误校验
- ◆ 提供独立 4 级深度的发送和接收 FIFO 数据缓存
- ◆ 提供 12 种中断事件可触发中断
- ◆ 支持 DMA 传输：发送和接收请求

21.3 SPI结构图

SPI 允许 MCU 与外部设备之间进行同步串行通信。应用软件可以通过轮询状态标志或使用专用 SPI 中断来管理通信。SPI 的主要模块及其相互关系如下面的框图所示。

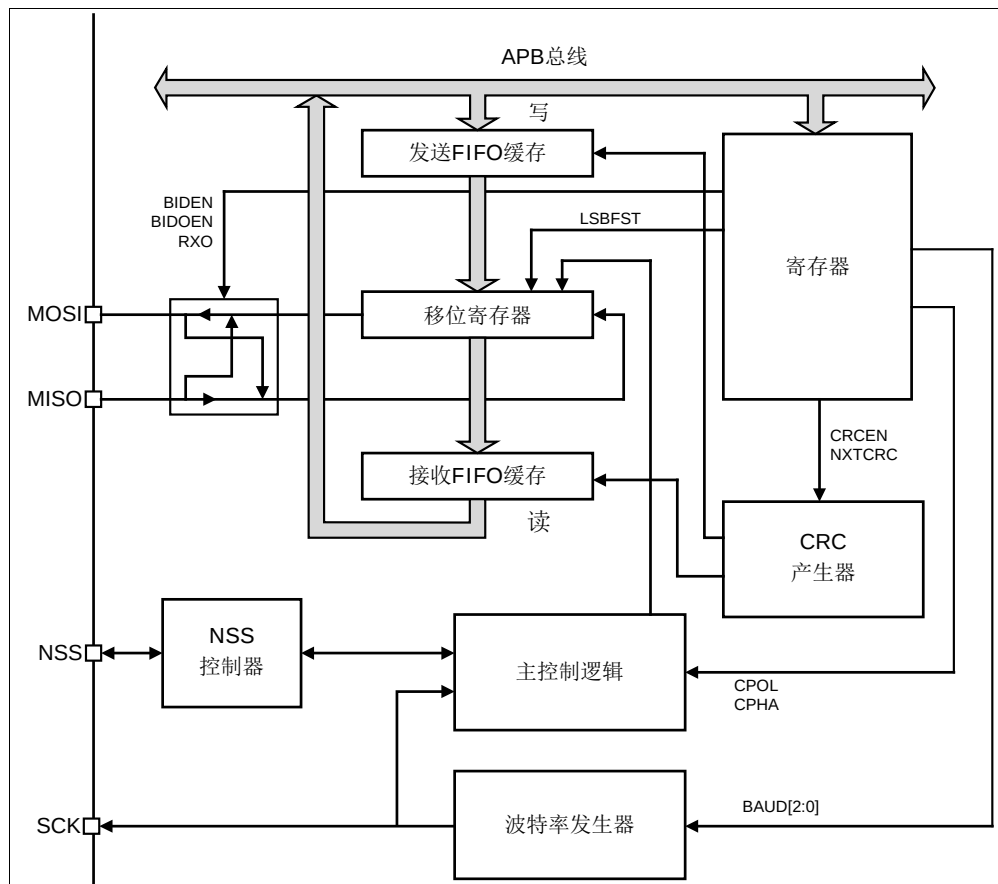


图 21-1 SPI 电路结构框图

通常，SPI 使用四个 I/O 引脚来与外部器件连接：

- ◆ **MISO**：主机输入/从机输出数据引脚。此引脚可用于在从机模式下发送数据和在主机模式下接收数据。
- ◆ **MOSI**：主机输出/从机输入数据引脚。此引脚可用于在主机模式下发送数据和在从机模式下接收数据。
- ◆ **SCK**：用于 SPI 主机的串行时钟输出以及 SPI 从机的串行时钟输入。
- ◆ **NSS**：从机选择引脚。此引脚用作“片选”，可让 SPI 主机与从机进行单独通信，从而避免数据线上的竞争。从机的 NSS 输入可由主机的 IO 端口驱动。

在主机模式下（SPI_CON1.MSTREN=1），当 SPI_CON2 寄存器中 NSSOE 位置 1 时，NSS 引脚配置为输出，传输时硬件驱动 NSS 引脚为低电平，当 SPI_CON2 寄存器中 NSSOE 位置 0 时，NSS 引脚配置为输入，如果 NSS 被拉至低电平将产生冲突，SPI_CON1.MSTREN 位将自动清零，SPI 将进入模式错误状态（更多信息请参见“模式故障（MODE）”章节）。

21. 4 SPI功能描述

在 SPI 通信期间，接收和发送操作同时执行。串行时钟（SCK）同步数据线上信息的移位和采样。通信格式取决于时钟相位、时钟极性和数据帧格式。为了能够一起通信，主机和从机必须遵循相同的通信格式。

21. 4. 1 时钟相位和极性控制

通过配置 SPI_CON1.CPOL 和 SPI_CON1.CPHA 位，可以选择四种可能的时序关系。SPI_CON1.CPOL（时钟极性）位控制空闲时时钟线的电平状态，此位对主机和从机都有作用。如果复位 SPI_CON1.CPOL 位，SCK 引脚在空闲状态时处于低电平。如果将 SPI_CON1.CPOL 位置 1，SCK 引脚在空闲状态时处于高电平。

如果将 SPI_CON1.CPHA 位置 1，则 SCK 引脚上的第二个边沿（如果 SPI_CON1.CPOL 位配置为 0，则为下降沿；如果 SPI_CON1.CPOL 位配置为 1，则为上升沿）对 MSB 采样。即在第二个时钟边沿锁存数据。如果复位 CPHA 位，则 SCK 引脚上的第一个边沿（如果 SPI_CON1.CPOL 位配置为 0，则为上升沿；如果 SPI_CON1.CPOL 位配置为 1，则为下降沿）对 MSB 采样。即在第一个时钟边沿锁存数据。

可通过组合 SPI_CON1.CPOL 和 SPI_CON1.CPHA 位来选择数据捕获的时钟边沿。

下图显示了在 SPI_CON1.CPHA 和 SPI_CON1.CPOL 位的四种组合下的 SPI 传输。可以将该图解释为主机或从机时序图，其中 SCK 引脚、MISO 引脚、MOSI 引脚直接连接在主机和从机之间。

注 1：在切换 SPI_CON1.CPOL 或 SPI_CON1.CPHA 位之前，必须通过复位 SPI_CON1.SPIEN 位来关闭 SPI。必须以同一时序模式对主机和从机进行编程。

注 2：主机和从机的时序需要配置成相同，通信才能正常。

注 3：SCK 的空闲状态必须与 SPI_CON1 寄存器中选择的极性相对应（如果 SPI_CON1.CPOL=1，则上拉 SCK；如果 SPI_CON1.CPOL=0，则下拉 SCK）。

注 4：通过 SPI_CON1.FLEN 位选择数据帧长度（8 或 16 位），该格式决定了发送与接收过程中的数据长度。

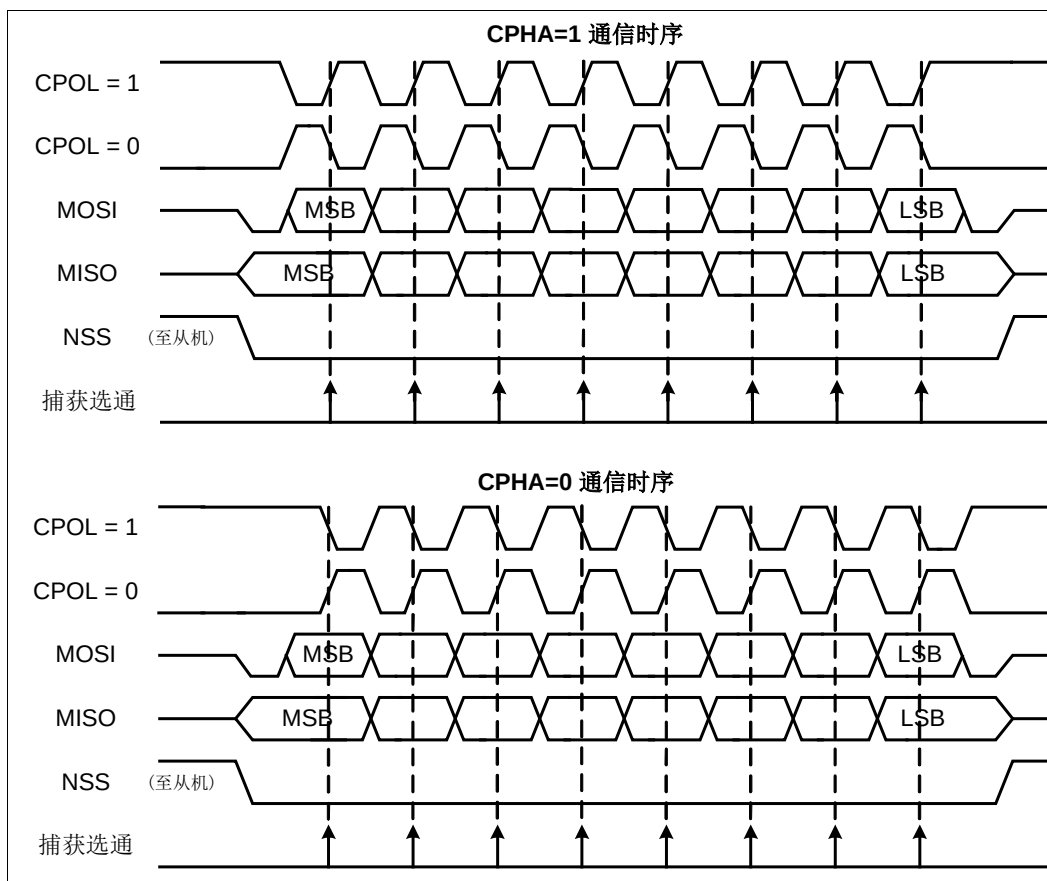


图 21-2 SPI 通信时序格式

注：上图中显示的是当 SPI_CON1.LSBFST 处于复位状态时的时序图。

21.4.2 数据帧格式

SPI 移位寄存器可以设置为移出 MSB 优先或 LSB 优先，具体取决于 SPI_CON1.LSBFST 位的值。

每个数据帧的长度均为 8 位或 16 位，具体取决于 SPI_CON1.FLEN 位的配置。所选的数据帧长度适用于发送和接收。

21.4.3 从机片选（NSS）引脚管理

可以使用 SPI_CON1.SSEN 位设置硬件或软件控制从机片选。

- ◆ 软件控制 NSS (SPI_CON1.SSEN = 1)，从机片选是由内部 SPI_CON1.SSOUT 位的值决定。
- ◆ 硬件管理 NSS (SPI_CON1.SSEN = 0)，根据 NSS 输出配置 (SPI_CON2.NSSOE 位)，硬件管理 NSS 有两种模式。
 - ◇ NSS 输出使能 (SPI_CON1.SSEN = 0, SPI_CON2.NSSOE = 1) 仅当 SPI 设备在主机模式下工作时才使用此配置。当主机开始传输数据时，NSS 信号驱动为低电平，并保持到数据传输结束为止。

- ◇ NSS 输出禁止（SPI_CON1.SSEN = 0，SPI_CON2.NSSOE = 0）对于在主机模式下工作的设备，此配置允许多主机模式功能。对于设置为从机模式的设备，NSS 引脚用作传统 NSS 输入：在 NSS 为低电平时片选该从机，在 NSS 为高电平时取消对它的片选。

21.4.4 主机与从机的单对单通讯应用

SPI 允许 MCU 使用不同的配置进行通信，具体取决于所针对的设备和应用要求。当使用软件 NSS 管理时通过 2 或 3 线进行通信，使用硬件 NSS 管理时通过 3 或 4 线进行通信。通信始终由主机发起。

21.4.4.1 全双工通信

默认情况下，SPI 配置为全双工通信。在此配置中，MOSI 引脚连接在一起，MISO 引脚连接在一起。通过这种方式，主机和从机之间以串行方式传输数据（最高有效位在前）。

通信始终由主机发起。当主机通过 MOSI 引脚向从机发送数据时，从机同时通过 MISO 引脚发出准备好的数据。这是一个数据输出和数据输入都由同一时钟进行同步的全双工通信过程，时钟信号由主机的 SCK 引脚发出提供给从机。

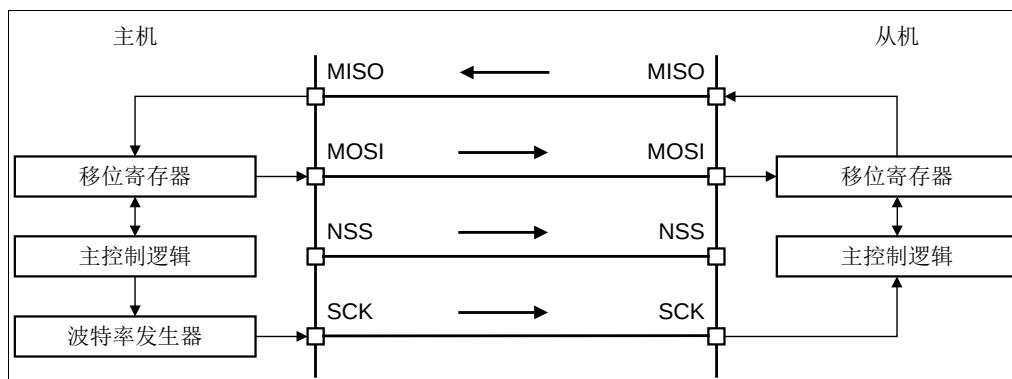


图 21-3 全双工通信

21.4.4.2 半双工通信

SPI 可将 SPI_CON1.BIDEN 位置 1 来使能此模式。在此模式下, SCK 作为时钟信号输出引脚, MOSI (主机模式下) 或 MISO (从机模式下) 作为数据通信引脚。通过 SPI_CON1.BIDOEN 位来选择传输方向 (输入或输出)。当该位置 1 时数据线为输出, 该位置 0 时为输入。

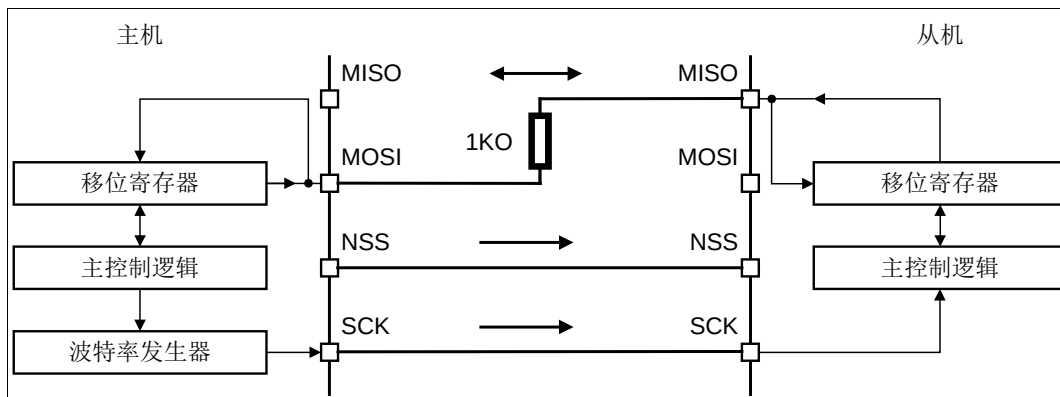


图 21-4 半双工通信

注 1: NSS 引脚可用于在主机和从机之间提供硬件控制流。如果不使用 NSS 引脚的话, 必须在主机和从机的处理程序中增加控制流。有关更多详细信息, 请参见“从机片选 (NSS) 引脚管理”章节。

注 2: 在此配置中, 主机的 MISO 引脚和从机的 MOSI 引脚可用作 GPIO。

注 3: 当在双向模式下工作的两个节点之间的通信方向更改不同步, 或同时在公共线上临时提供相反的输出电平进行斗争时, 建议在 MISO 和 MOSI 引脚之间插入一个串联电阻, 以保护输出并在这种情况下限制它们之间的电流。

21.4.4.3 单工通信

SPI 可以在单工模式下通信，方法是使用 SPI_CON1.RXO 位将 SPI 设置为只发送或只接收。在这种模式下，只有一条线路用于主机和从机之间的数据传输。

- ◆ 只发送模式类似于全双工模式（SPI_CON1.BIDEN=0、SPI_CON1.RXO=0）：在发送引脚（主机模式下的 MOSI 或从机模式下的 MISO）上发送数据。接收引脚（主机模式下的 MISO 或从机模式下的 MOSI）可用作通用 IO。在此模式下接收的数据是无意义的，应用程序只需要忽略接收 FIFO 缓存。
- ◆ 只接收模式下，应用程序可将 SPI_CON1.RXO 位置 1 来关闭 SPI 输出功能。在这种情况下，发送 IO 引脚（主机模式下的 MOSI 或从机模式下的 MISO）可用于其它用途。

当 SPI 设置为只接收模式时：

- ◆ 一旦在主机模式下使能 SPI 后，主机会立即从 SCK 引脚发送时钟，即意味着通信开启，当 SPI_CON1.SPIEN 位清 0 后，SPI 模块关闭，通信也立即停止。此模式下无需读取 BUSY 标志，因为开始通信后此标志一直为 1。
- ◆ 在从机模式下，只要 NSS 引脚被拉低（或在 NSS 软件模式下将 SPI_CON1.SSOUT 位清零），意味着从机被选中，同时一直有来自主机的 SCK 输入，SPI 就会继续接收。

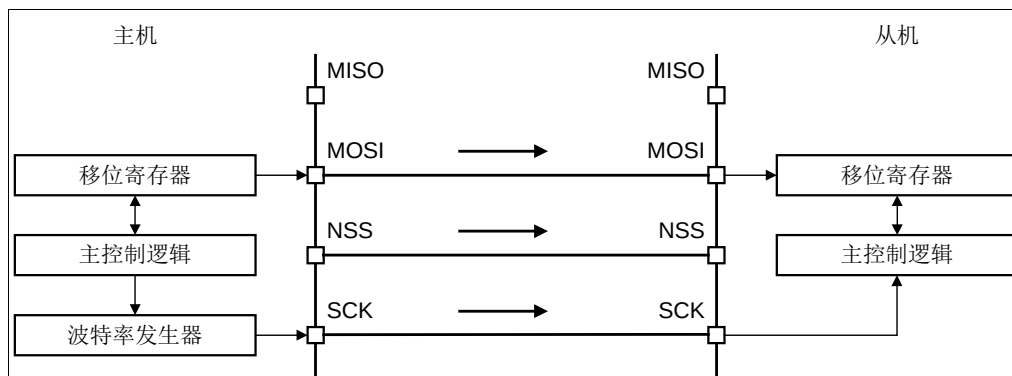


图 21-5 单工通信（主机模式下的只发送与从机模式下的只接收）

注：SPI 单工模式字节接收，SCK 时钟仅支持最快为 HCLK 的 4 分频；SPI 单工模式半字接收或单工发送支持最快为 HCLK 的 2 分频。

21. 4. 5 标准多从机通讯应用

在具有两个或更多独立从机的配置中，主机使用 GPIO 引脚来管理每个从机的芯片选择线，请见下图。主机必须通过拉低连接到从机 NSS 输入的 GPIO 来单独选择一个从机，实现主机和被选择从机的专用通信。

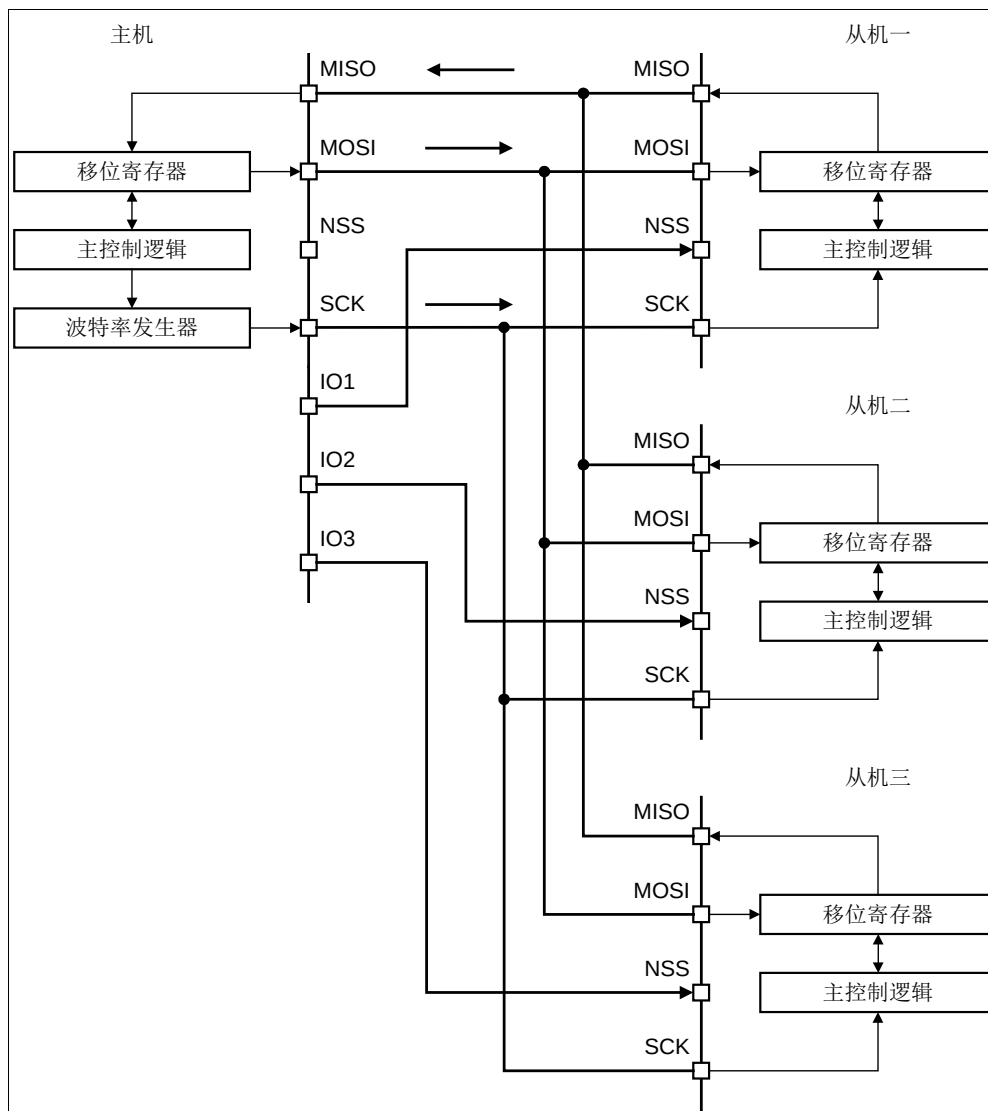


图 21-6 多从机通讯（一个主机和三个从机）

21.4.6 多主机通讯应用

多主机模式仅支持两个 SPI 节点，因为一次只有一个节点可以将其输出应用于公共数据线上。可以使用内置功能来检测主控总线的两个节点之间的潜在冲突。对于此检测必须将 NSS 引脚配置为硬件输入模式。

当节点处于非活动状态时，默认情况下两个节点都处于从机模式。一旦一个节点想要超越总线上的控制，它就会切换到主机模式并通过专用的 GPIO 引脚对另一个节点的从机选择输入应用活动电平。会话完成后释放活动的从机选择信号，节点控制总线临时返回被动从机模式，等待下一个会话启动。

如果可能两个节点同时提出了它们的主控请求，则会出现总线冲突事件（参见“模式故障 (MODEF)”章节）。使用者可以应用一些简单的仲裁过程（例如通过在两个节点上定义不同的超时机制来推迟下一次请求）。

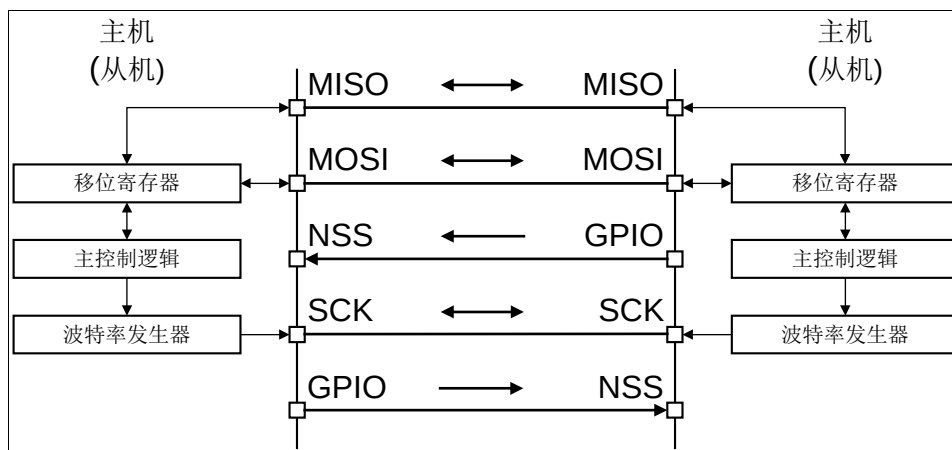


图 21-7 多主机通讯应用

21.4.7 SPI从机模式

SPI 作为从机时，时钟信号由主机提供，所以建议先使能从机，然后主机再发送时钟，否则数据传输可能不正常。建议按以下步骤配置 SPI 为从机：

步骤

1. 先配置时钟，将 SPI_CON1.CPOL 和 SPI_CON1.CPHA 位配置好，以定义数据传输和时钟之间的关系，注意从机和主机的这两位配置需保持一致。
2. 通过 SPI_CON1.FLEN 位设置数据帧的长度，可选择 8 位或 16 位。
3. 帧格式（MSB 在前或 LSB 在前取决于 SPI_CON1.LSBFST 位的值）必须与主机的帧格式相同。
4. 在硬件模式下（请参见“从机片选（NSS）引脚管理”章节），NSS 引脚在整个字节发送序列期间都会保持低电平。在 NSS 软件模式下将 SPI_CON1.SSEN 位置 1，将 SPI_CON1.SSOUT 位清零。
5. 将 SPI_CON1.MSTREN 位清零，并将 SPI_CON1.SPIEN 位置 1。
6. 在从机模式下，MOSI 引脚作为数据输入，MISO 引脚作为数据输出。

发送序列

数据字节在写周期内被并行加载到发送 FIFO 缓存中。

当从机收到时钟信号并在 MOSI 引脚上收到数据的最高有效位时，发送序列开始。其余位（8 位数据帧长度中的 7 个位，16 位数据帧长度中的 15 个位）将加载到移位寄存器中。

SPI_STAT.TXE 标志在发送 FIFO 缓存的最后一个数据加载到移位寄存器时置 1，并且在 SPI_IER.TXE 位置 1 时将生成中断请求。

接收序列

对于接收器在数据传输完成时，移位寄存器中的数据将传输到接收 FIFO 缓存，并且将 SPI_STAT.RXNE 位置 1。

在最后一个采样时钟边沿后，将 SPI_STAT.RXNE 位置 1，移位寄存器中接收的数据字节被拷贝到接收 FIFO 缓存中，并且在 SPI_IER.RXNE 位置 1 时将生成中断请求。当读取 SPI_DATA 寄存器时，SPI 外设将返回此缓冲值。

21.4.8 SPI主机模式

时钟信号由主机从 SCK 引脚发出传输给从机。

步骤

1. 先配置时钟，设置 SPI_CON1.BAUD 位域，定义时钟波特率。
2. 配置 SPI_CON1.CPOL 和 SPI_CON1.CPHA 位，以定义数据传输和串行时钟之间的关系（四种关系中的一种）。
3. 通过 SPI_CON1.FLEN 位设置数据帧的长度，可选择 8 位或 16 位。
4. 通过 SPI_CON1.LSBFST 位设置定义帧格式，可选择 MSB 在前或 LSB 在前。
5. 当 NSS 引脚配置成输入时，在 NSS 硬件模式下，NSS 引脚在整个发送序列期间必须连接到高电平信号；在 NSS 软件模式下，需要将 SPI_CON1.SSEN 和 SPI_CON1.SSOUT 位都置 1。如果 NSS 引脚配置成输出，只需要将 SPI_CON2.NSSOE 位置 1 即可。
6. SPI_CON1.MSTREN 位置 1 使 SPI 工作在主机模式下，然后 SPI_CON1.SPIEN 位置 1 使能 SPI 模块（当 NSS 引脚配置成输入且在 NSS 硬件模式时，NSS 引脚必须维持高电平信号，这两个位才保持置 1）。
7. 在此配置中，MOSI 引脚作为数据输出，MISO 引脚作为数据输入。

发送序列

在 SPI_DATA 寄存器写入数据字节时，发送序列开始。在第一个位传输期间，数据并行加载到移位寄存器中，然后以串行方式移出到 MOSI 引脚，至于是 MSB 在前还是 LSB 在前则取决于 SPI_CON1.LSBFST 位。TXE 标志在发送 FIFO 缓存的最后一个数据加载到移位寄存器时置 1，并且在 SPI_IER.TXE 位置 1 时将生成中断请求。

接收序列

对于接收器，在数据传输最后一个采样时钟边沿时，将 SPI_STAT.RXNE 位置 1，移位寄存器中接收的数据字节被拷贝到接收 FIFO 缓存中，并且在 SPI_IER.RXNE 位置 1 时将生成中断请求。当读取 SPI_DATA 寄存器时，可读取到接收 FIFO 缓存中的数据。

如果在发送开始后将要发送的下一个数据置于发送 FIFO 缓存，则可保持连续的数据发送流。请注意，仅当 SPI_STAT.TXF 位为 0 时，才可以对发送 FIFO 缓存执行写操作。

注：如果与之通信的从机需要在每个字节传输之间拉低片选信号，必须将该主机的 NSS 配置成 GPIO，或使用其他 GPIO，通过软件控制从机的片选。

21. 4. 9 数据发送和接收

21. 4. 9. 1 接收和发送FIFO缓存

所有 SPI 数据传输都通过嵌入式 16 级深度的 FIFO 缓存。使 SPI 能够连续传输工作。发送和接收都有自己的 FIFO 缓存。

对 SPI_DATA 寄存器的读访问将返回存储在接收 FIFO 缓存中但尚未读取的最旧的值。对 SPI_DATA 的写访问将已写数据存储在发送队列末尾的发送 FIFO 缓存中。SPI_STAT 寄存器中 RXFLV 和 TXFLV 位域指示两个 FIFO 缓存的有效数据个数。

对 SPI_DATA 寄存器的读访问必须由 RXTH 事件管理。当数据存储在接收 FIFO 缓存中并且达到阈值（由 SPI_CON2 寄存器中 RXFTH 位域定义）时，触发此事件。当 RXTH 被清除时，表示接收 FIFO 缓存中的有效数据个数小于阈值。以类似的方式，要发送的数据帧的写访问由 TXTH 事件管理。当发送 FIFO 缓存有效数据个数小于或等于阈值（由 SPI_CON2 寄存器中 TXFTH 位域定义）时将触发此事件。

21. 4. 9. 2 在主机模式下启动通信序列

- ◆ 在全双工通信（SPI_CON1.BIDEN=0 且 SPI_CON1.RXO=0）
 - ◇ 将数据写入到 SPI_DATA 寄存器（发送 FIFO 缓存）后，启动通信序列。
 - ◇ 随后在第一个位的发送期间，将数据从发送 FIFO 缓存并行加载到 8 位移位寄存器中，然后以串行方式将其移出到 MOSI 引脚。
 - ◇ 同时，将 MISO 引脚上接收的数据以串行方式移入 8 位移位寄存器，然后并行加载到 SPI_DATA 寄存器（接收 FIFO 缓存）中。
- ◆ 在单工通信-只接收模式（SPI_CON1.BIDEN=0 且 SPI_CON1.RXO=1）
 - ◇ 只要 SPI_CON1.SPIEN = 1，通信序列就立即开始。
 - ◇ MISO 引脚上接收的数据会先以串行方式移入 8 位移位寄存器，接着再从移位寄存器并行加载到 SPI_DATA 寄存器（接收 FIFO 缓存）中。
- ◆ 在半双工通信-发送模式（SPI_CON1.BIDEN=1 且 SPI_CON1.BIDOEN=1）
 - ◇ 将数据写入到 SPI_DATA 寄存器（发送 FIFO 缓存）时，通信序列启动。
 - ◇ 随后在第一个位的发送期间，将数据从发送缓冲区并行加载到 8 位移位寄存器中，然后以串行方式将其移出到 MOSI 引脚。
 - ◇ 不接收任何数据。
- ◆ 在半双工通信-接收模式（SPI_CON1.BIDEN=1 且 SPI_CON1.BIDOEN=0）
 - ◇ 只要 SPI_CON1.SPIEN=1 且 SPI_CON1.BIDOEN=0，通信序列就立即开始。
 - ◇ 在 MOSI 引脚上接收的数据以串行方式移入 8 位移位寄存器，然后并行加载到 SPI_DATA 寄存器（接收 FIFO 缓存）中。
 - ◇ 不会有数据以串行方式移出到 MOSI 引脚。

21.4.9.3 在从机模式下启动通信序列

- ◆ 在全双工模式（SPI_CON1.BIDEN=0 且 SPI_CON1.RXO=0）
 - ◇ 当从机收到时钟信号并在 MOSI 引脚上收到数据的第一个位时，通信序列开始。其余 7 个位将加载到移位寄存器中。
 - ◇ 同时，在第一个位的发送期间，将数据从发送缓冲区并行加载到 8 位移位寄存器中，然后以串行方式将其移出到 MISO 引脚。在 SPI 主机启动传输前，软件必须已把要从机发送的数据写入发送 FIFO 缓存。
- ◆ 在单工通信-只接收模式（SPI_CON1.BIDEN=0 且 SPI_CON1.RXO=1）
 - ◇ 当从机收到时钟信号并在 MOSI 引脚上收到数据的第一个位时，通信序列开始。其余 7 个位将加载到移位寄存器中。
 - ◇ 不会有数据以串行方式移出到 MISO 引脚。
- ◆ 在半双工通信-发送模式（SPI_CON1.BIDEN=1 且 SPI_CON1.BIDOEN=1）
 - ◇ 当从机收到时钟信号，并且 MISO 引脚上发出发送 FIFO 缓存中的第一位数据时，通信序列开始。
 - ◇ 随后在第一个位的发送期间，将数据从发送 FIFO 缓存并行加载到 8 位移位寄存器中，然后以串行方式将其移出到 MISO 引脚。在 SPI 主机启动传输前，软件必须已把要从机发送的数据写入发送 FIFO 缓存。
 - ◇ 不接收任何数据。
- ◆ 在半双工通信-接收模式（SPI_CON1.BIDEN=1 且 SPI_CON1.BIDOEN=0）
 - ◇ 当从机收到时钟信号并在 MOSI 引脚上收到数据的第一个位时，通信序列开始。
 - ◇ 在 MISO 引脚上接收的数据以串行方式移入 8 位移位寄存器，然后并行加载到 SPI_DATA 寄存器（接收 FIFO 缓存）中。
 - ◇ 不会有数据以串行方式移出到 MISO 引脚。

21.4.9.4 处理数据发送与接收

全双工通信（SPI_CON1.BIDEN=0 且 SPI_CON1.RXO=0），发送和接收数据的处理过程。

直接存取操作模式：

1. 通过将 SPI_CON1.SPIEN 位置 1 来使能 SPI，将第一个要发送的数据项写入 SPI_DATA 寄存器（此操作会将 SPI_STAT.TXE 位清零）。
2. 等待 SPI_STAT.TXE=1，然后写入要发送的第二个数据项。然后等待 SPI_STAT.RXNE=1，读取 SPI_DATA 以获取第一个接收到的数据（此操作会将 SPI_STAT.RXNE 位清零）。对每个要发送和接收的数据项重复此操作，直到发送并接收完最后的数据。
3. 检查 SPI_STAT.TXE=1，然后等待至 SPI_STAT.BUSY=0，再关闭 SPI。
4. 此外，还可以使用 TXE 或 RXNE 中断事件对应的各个中断子程序来实现该过程。

FIFO 缓存操作模式：

1. 通过将 SPI_CON1.SPIEN 位置 1 来使能 SPI。

2. 配置 SPI_CON2.TXFTH 与 SPI_CON2.RXFTH。
3. 当 SPI_STAT.TXTH=1, 将要发送的数据写入 SPI_DATA 寄存器 (写入的数据个数必须大于 SPI_CON2.TXFTH 设定的阈值), 当 SPI_STAT.RXTH=1, 读取 SPI_DATA 寄存器以获取接收到的数据 (读取的数据个数必须为 SPI_CON2.RXFTH 设定的阈值), 重复此操作直到写入最后要发送的数据。
4. 等待至 SPI_STAT.BUSY=0, 读取 SPI_DATA 寄存器以获取接收到的数据直到 SPI_STAT.RXFLV 位域为 0, 再关闭 SPI。
5. 此外, 还可以使用 TXTH 或 RXTH 中断事件对应的各个中断子程序来实现该过程。

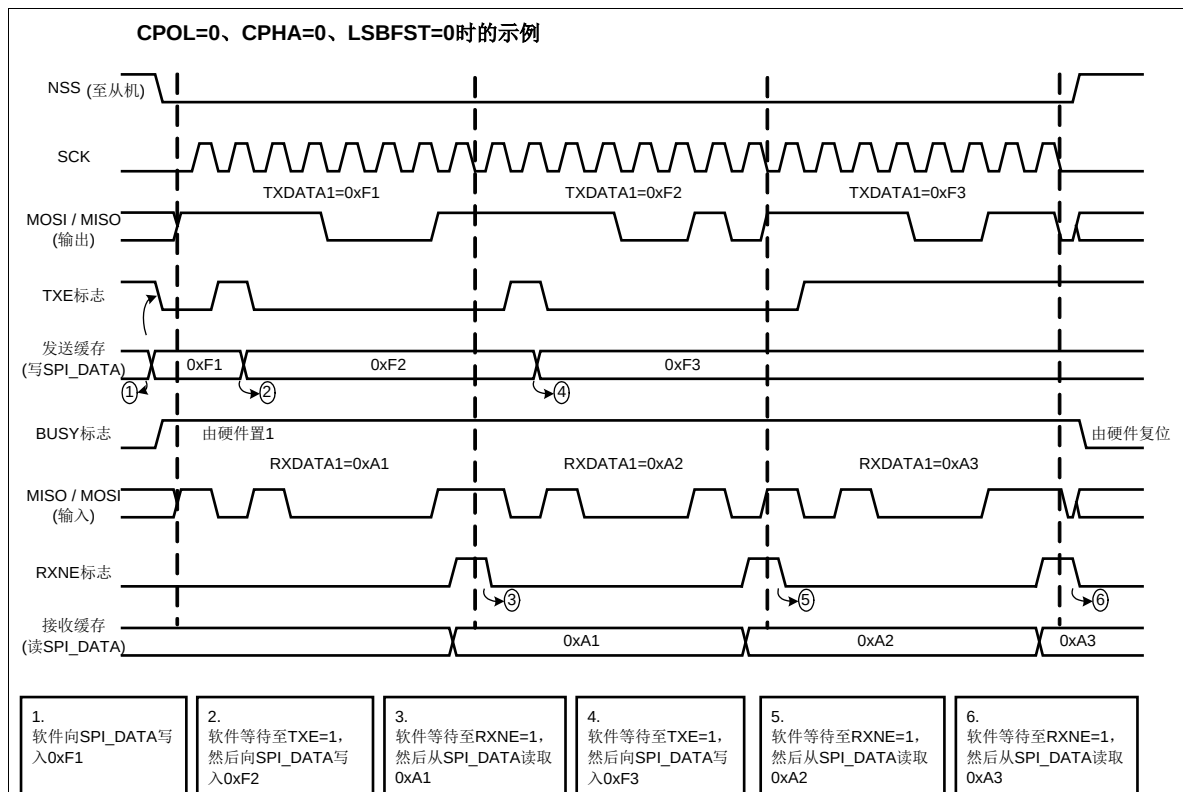


图 21-8 全双工通信时序 (直接存取操作模式, 连续传输)

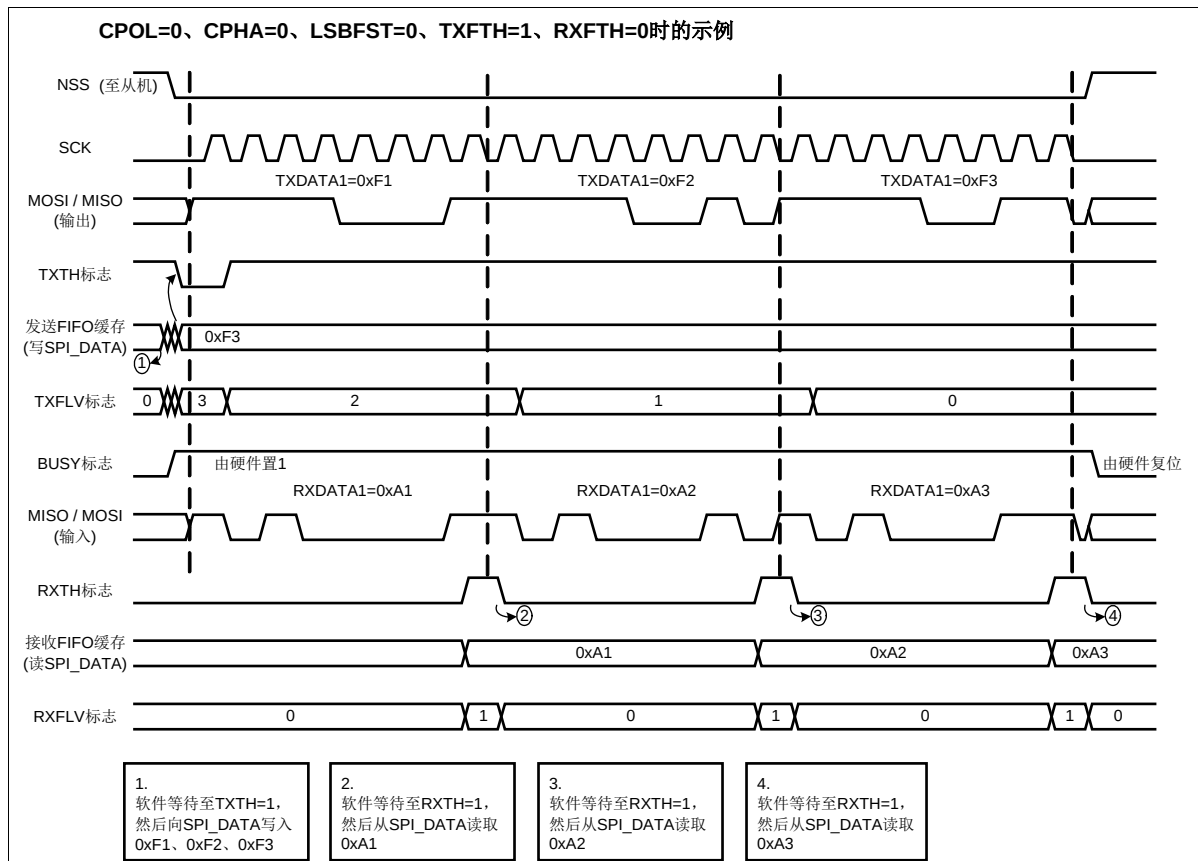


图 21-9 全双工通信时序（FIFO 缓存操作模式，连续传输）

单工通信-只发送模式（SPI_CON1.BIDEN=0、SPI_CON1.RXO=0），发送数据的处理过程。

直接存取操作模式：

1. 通过将 SPI_CON1.SPIEN 位置 1 来使能 SPI。
2. 等待 SPI_STAT.TXE=1，然后写入要发送的数据。对每个要发送的数据项重复此步骤。
3. 将最后一个数据写入 SPI_DATA 寄存器后，等待至 SPI_STAT.TXE=1，然后等待至 SPI_STAT.BUSY=0 再关闭 SPI，这表示最后的数据发送完成。
4. 此外，还可以使用在 TXE 中断事件对应的中断子程序来实现该过程。

FIFO 缓存操作模式：

1. 通过将 SPI_CON1.SPIEN 位置 1 来使能 SPI。
2. 配置 SPI_CON2.TXFTH。
3. 当 SPI_STAT.TXTH=1，将要发送的数据写入 SPI_DATA 寄存器（写入的数据个数必须大于 SPI_CON2.TXFTH 设定的阈值），重复此操作直到写入最后要发送的数据。
4. 等待至 SPI_STAT.BUSY=0 再关闭 SPI。
5. 此外，还可以使用 TXTH 中断事件对应的中断子程序来实现该过程。

注 1：在不连续通信期间，在对 SPI_DATA 寄存器执行写操作与 SPI_STAT.BUSY 位置 1 之间有延迟。因此在只发送模式下，写入最后的数据后，必须先等待 SPI_STAT.TXE 位置 1，然后等待 SPI_STAT.BUSY 位清零。

注 2：在只发送模式下，发送 17 个数据项后，SPI_STAT.RXOV 标志将置 1，因为始终不会读取接收的数据。

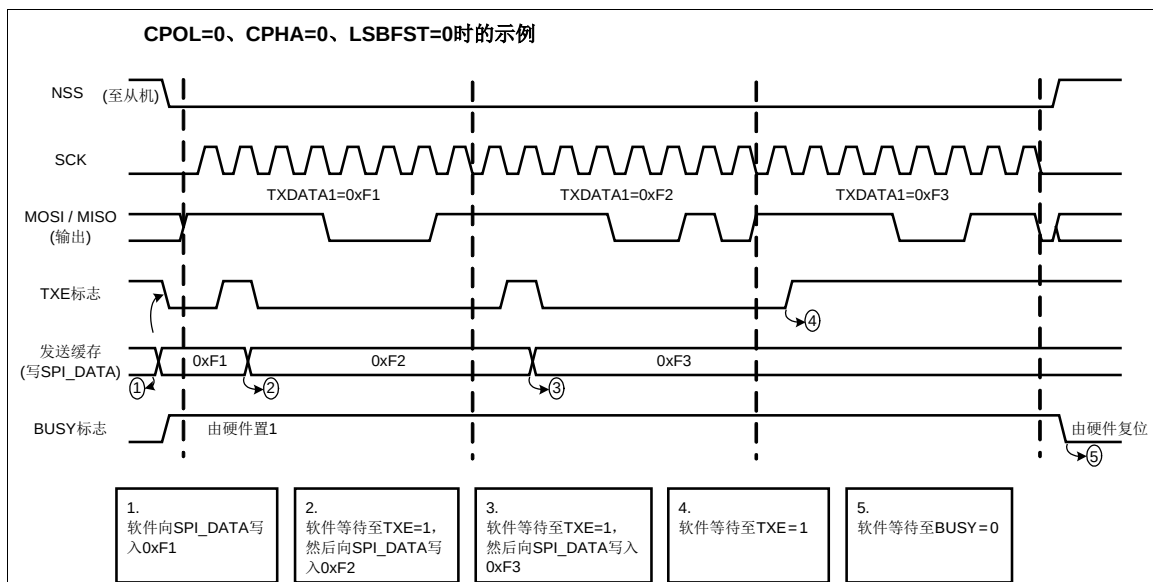


图 21-10 单工通信-只发送模式时序（直接存取操作模式，连续传输）

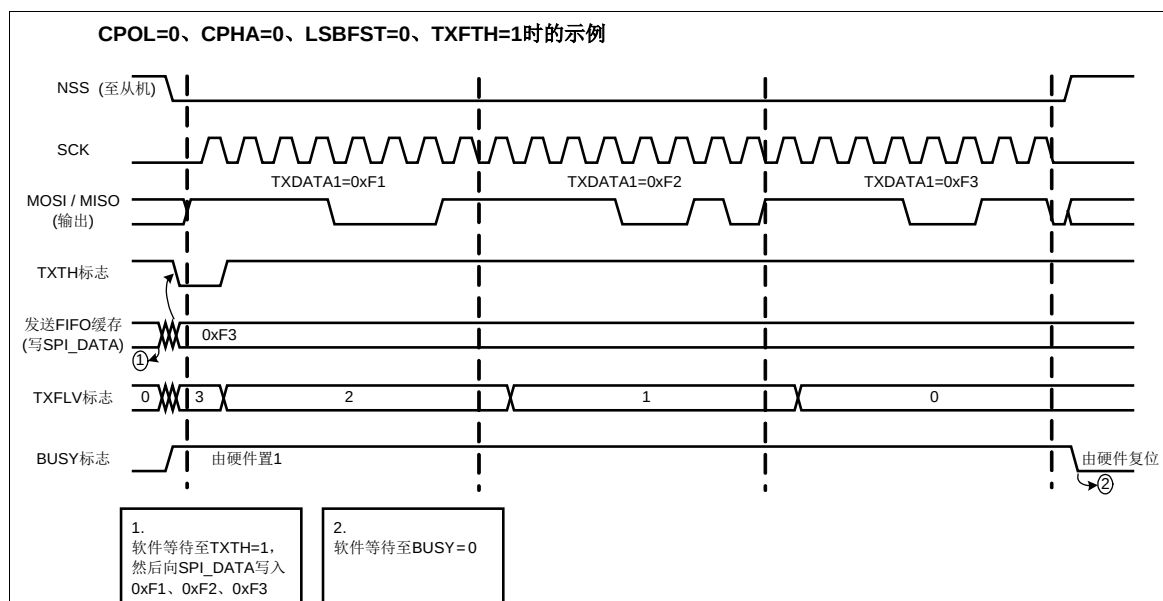


图 21-11 单工通信-只发送模式时序（FIFO 缓存操作模式，连续传输）

半双工通信-发送模式（SPI_CON1.BIDEN=1 且 SPI_CON1.BIDOEN=1），发送数据的处理过程。

此模式与单工通信-只发送模式数据的处理过程相似，但是在 SPI 模块使能前，必须将 SPI_CON1.BIDEN 位和 SPI_CON1.BIDOEN 位置 1。

单工通信-只接收模式（SPI_CON1.BIDEN=0 且 SPI_CON1.RXO=1），接收数据的处理过程。
直接存取操作模式：

1. 将 SPI_CON1.RXO 位置 1。
2. 通过将 SPI_CON1.SPIEN 位置 1 使能 SPI。
3. 等待 SPI_STAT.RXNE=1，然后读取 SPI_DATA 寄存器以获取接收的数据（此操作会将 SPI_STAT.RXNE 位清零）。对每个要接收的数据项重复此操作。
4. 此外，还可以使用 RXNE 中断事件对应的中断子程序来实现该过程。

FIFO 缓存操作模式：

1. 将 SPI_CON1.RXO 位置 1。
2. 配置 SPI_CON2.RXFTH。
3. 通过将 SPI_CON1.SPIEN 位置 1 使能 SPI。
4. 当 SPI_STAT.RXTH=1，读取 SPI_DATA 寄存器以获取接收到的数据（读取的数据个数必须为 SPI_CON2.RXFTH 设定的阈值），重复此操作直到获取最后要接收的数据。
5. 此外，还可以使用 RXTH 中断事件对应的中断子程序来实现该过程。

注 1. 在主机模式下，一旦 SPI 使能后 SCK 会立即发送时钟，从机接收到时钟后会发送数据，直到主机关闭 SPI 功能，结束通信。

注 2. 在从机模式下，当 NSS 被拉低并且接收到 SCK 时钟后开始接收数据。

注 3. 如果需要在最后一次传输后关闭 SPI，请参见“SPI 关闭流程”章节的描述。

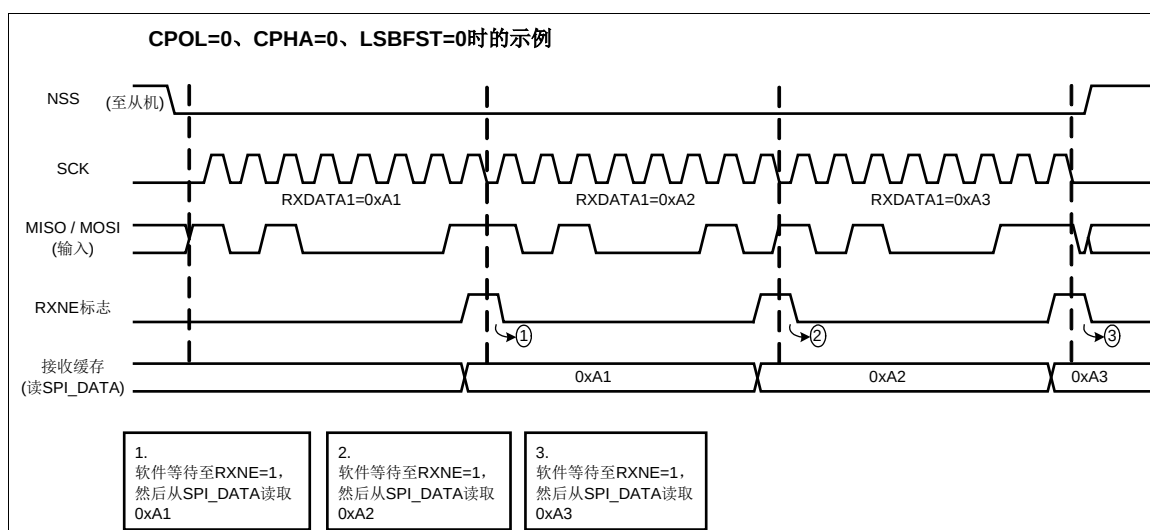


图 21-12 单工通信-只接收模式时序（直接存取操作模式，连续传输）

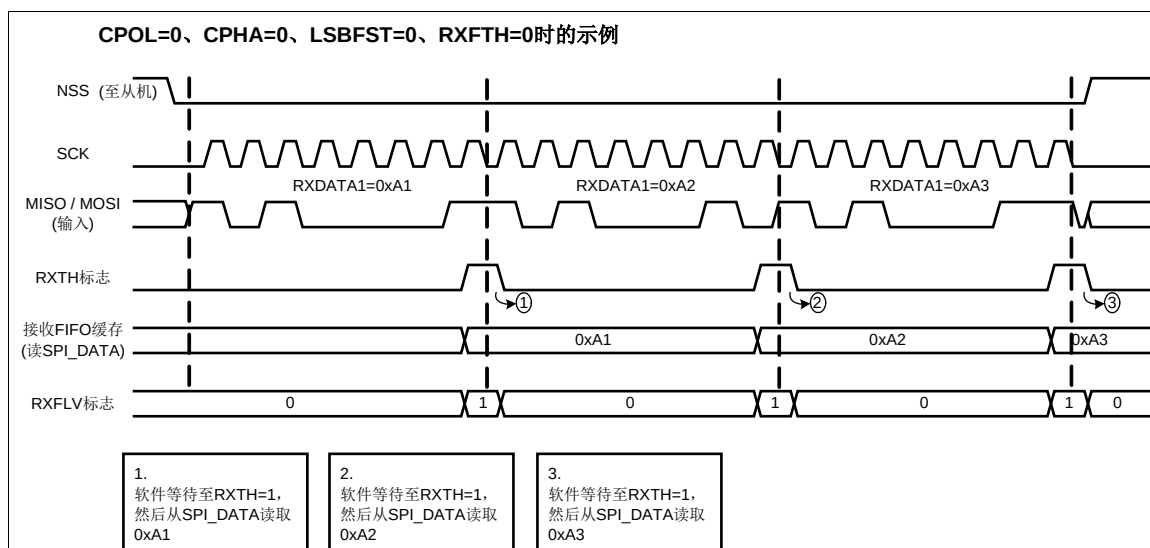


图 21-13 单工通信-只接收模式时序（FIFO 缓存操作模式，连续传输）

半双工通信-接收模式（SPI_CON1.BIDEN=1 和 SPI_CON1.BIDOEN=0），接收数据的处理过程。

此模式与单工通信-只接收模式数据的处理过程相似，但是在 SPI 模块使能之前，需要将 SPI_CON1.BIDEN 位置 1,并将 SPI_CON1.BIDOEN 与 SPI_CON1.RXO 位清 0。

连续传输和间断传输

在主机模式下发送数据时，如果软件处理速度足够快，可以在检测到 SPI_STAT.TXE=1（或发生 TXE 中断事件），并且当前数据传输未结束，立即将下一次的数据写入 SPI_DATA 寄存器，则能实现连续的通信。或者配置 SPI_CON2.TXFTH,检测到 SPI_STAT.TXTH=1(或发生 TXTH 中断事件)，将要发送的数据写入 SPI_DATA 寄存器（写入的数据个数必须大于 SPI_CON2.TXFTH 设定的阈值），实现连续的通信。观察到的现象是 SPI_STAT.BUSY 位一直为 1 不被清除，并且每个数据的 SPI 时钟保持连续。

相反，如果软件速度不够快，则可能导致通信中断。在这种情况下，各数据传输之间会清零 SPI_STAT.BUSY 位。

在主机或从机模式下的单工通信-只接收模式（SPI_CON1.RXO=1），通信始终是连续的，且 SPI_STAT.BUSY 位始终为 1。

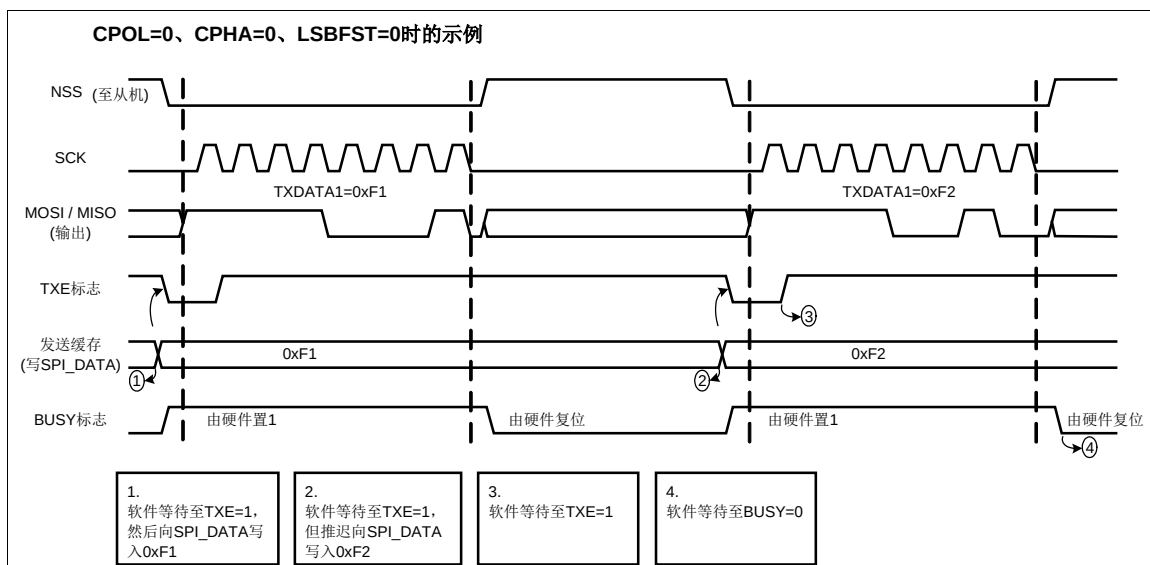


图 21-14 发送时（BIDEN =0 且 RXO=0）的时序（间断传输）

21. 4. 10 SPI关闭流程

传输终止时，通过清除 SPI_CON1.SPIEN 位来关闭 SPI 模块。

建议在关闭 SPI 时按以下步骤操作：

主机或从机的全双工通信模式 (BIDEN=0、RXO=0)

1. 等待 SPI_STAT.RXNE=1 或 SPI_STAT.RXFLV!=0 以接收最后的数据。
2. 等待 SPI_STAT.TXE=1，并且 SPI_STAT.BUSY=0。
3. 设置 SPI_CON1.SPIEN=0 以关闭 SPI，最后进入停止模式（或关闭外设时钟）。

主机或从机的单工通信-只发送模式 (BIDEN=0、RXO=0) 或半双工通信-发送模式 (BIDEN=1、BIDOEN=1)

最后的数据写入 SPI_DATA 寄存器后：

1. 等待 SPI_STAT.TXE=1。
2. 然后等待 SPI_STAT.BUSY=0。
3. 设置 SPI_CON1.SPIEN=0 以关闭 SPI，最后进入停止模式（或关闭外设时钟）。

主机的单工通信-只接收模式 (MSTREN=1、BIDEN=0、RXO=1) 或半双工通信-接收模式 (MSTREN=1、BIDEN=1、BIDOEN=0)

避免多余的 SPI 数据传输，必须以特殊方式管理这种情况：

1. 等待倒数第二个数据（第 n-1 个）对应的 RXNE 标志位置 1。
2. 在单工通信模式下将 SPI_CON1 寄存器的 RXO 位清零。在半双工通信模式下则将 SPI_CON1 寄存器的 BIDOEN 置 1。
3. 再等待最后的 SPI_STAT.RXNE=1 或 SPI_STAT.RXFLV!=0，才能关闭 SPI (SPIEN=0) 然后进入停止模式（或关闭外设时钟）。

从机的单工通信-只接收从模式 (MSTREN=0、BIDEN=0、RXO=1) 或半双工通信-接收模式 (MSTREN=0、BIDEN=1、BIDOEN=0)

1. 可以随时关闭 SPI (写入 SPI_CON1.SPIEN=0)。当前传输将舍弃并立即关闭 SPI。
2. 如果要进入停止模式，则必须首先等待至 SPI_STAT.BUSY = 0，才能关闭 SPI (SPIEN=0)，然后才能进入停止模式（或关闭外设时钟）。

21. 4. 11 DMA请求

为了更方便的实现高速通信，SPI 提供了 DMA 功能。DMA 请求条件是根据 SPI_CON2 寄存器中的 TXFTH 与 RXFTH 位域配置，当使能 SPI_CON2 寄存器中相应的 DMA 使能位时，将请求 DMA 访问。发送 FIFO 缓存和接收 FIFO 缓存会发出各自的 DMA 请求：

- ◆ 在发送过程中，当 SPI_STAT.TXTH 位置 1 时会发出 DMA 请求。DMA 随后对 SPI_DATA 寄存器执行写操作（此操作会将 SPI_STAT.TXTH 位清零）。
- ◆ 在接收过程中，当 SPI_STAT.RXTH 位置 1 时会发出 DMA 请求。DMA 随后对 SPI_DATA 寄存器执行读操作（此操作会将 SPI_STAT.RXTH 位清零）。

当 SPI 仅用于只发送数据时，可以只使能 SPI TX DMA 通道。在这种情况下，SPI_STAT.RXOV 位会置 1，因为未读取接收的数据。

当 SPI 仅用于接收数据时，可以只使能 SPI RX DMA 通道。

在发送模式下，DMA 完成了所有要发送数据的传输后，DMA_RIF 寄存器会产生相对应通道的传输完成标志，使用者可以对 BUSY 标志进行监视，以确保 SPI 通信已完成。在关闭 SPI 或进入停止模式前必须等待 SPI_STAT.BUSY=0。

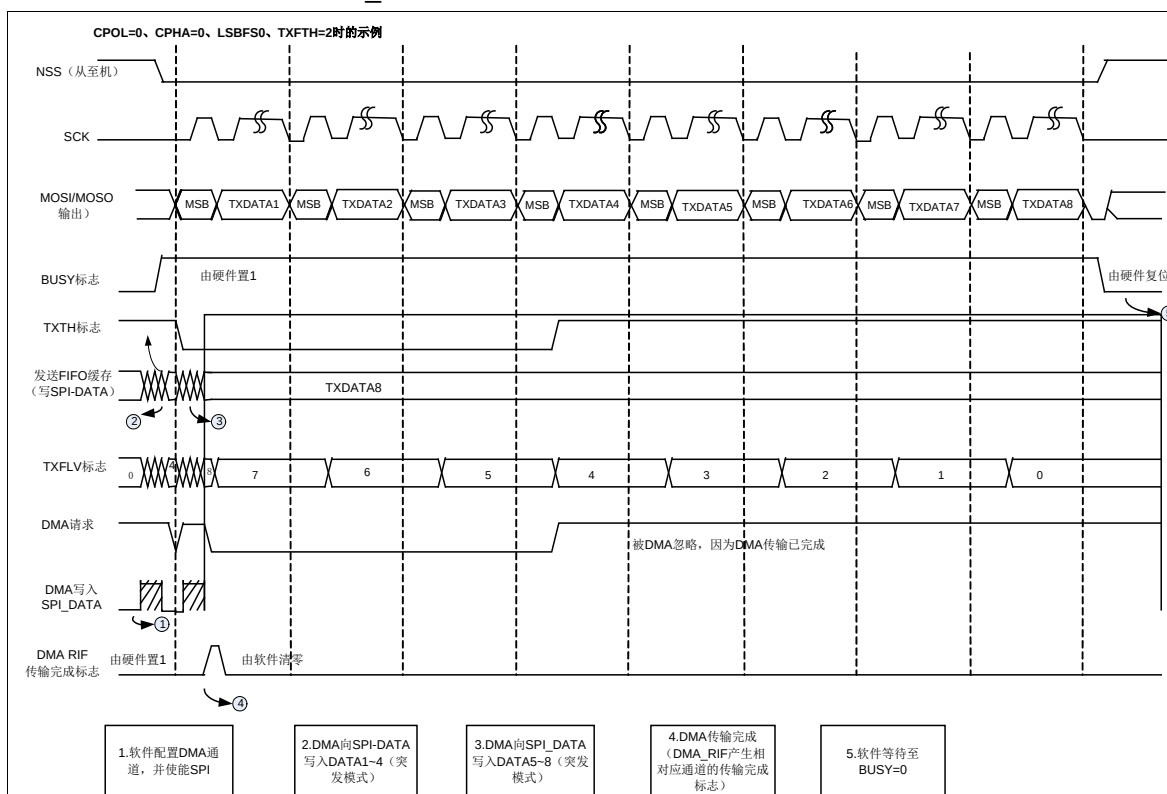


图 21-15 使用 DMA 进行发送

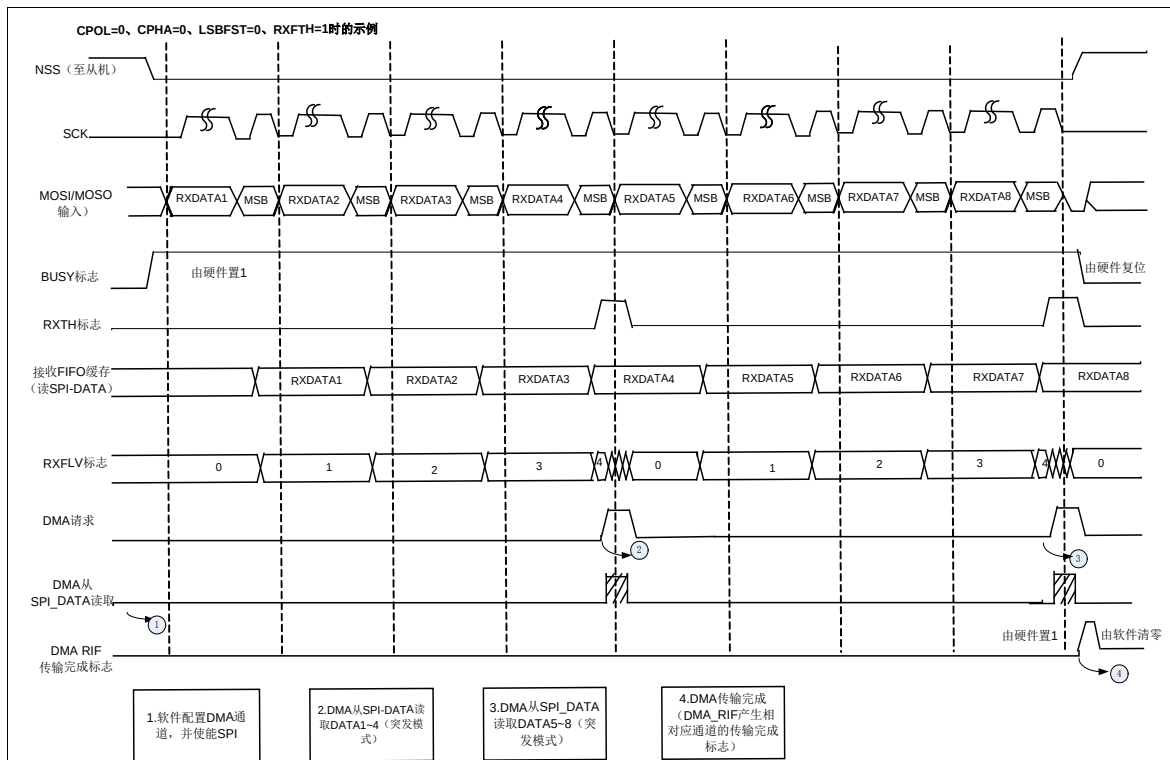


图 21-16 使用 DMA 进行接收

21. 4. 12 CRC计算

为确保通信的可靠性，SPI 模块实现了硬件 CRC 功能。

针对发送或接收的数据帧宽度有 8 位和 16 位的选择，硬件 CRC 计算也提供了两种计算标准，分别为 8 位数据的 CRC8 和 16 位数据的 CRC16。CRC 是使用 SPI_CRCPOLY 寄存器中设置的多项式串行计算的。

将 SPI_CON1.CRCEN 位置 1 来使能 CRC 计算功能，此操作会复位 CRC 寄存器(SPI_RXCRC 和 SPI_TXCRC)。在全双工或只发送模式下，如果传输由软件（CPU 模式）管理，在连续传输的情况下，可以在最后一个数据写入前的任意时间点将 SPI_CON1.NXTCRC 位置 1，当最后一次数据传输结束时，将发送 SPI_TXCRC 寄存器内的值。在间断传输的情况下，必须在最后传输的数据写入 SPI_DATA 后，立即对 SPI_CON1.NXTCRC 位执行写操作，当最后一次数据传输结束时，将发送 SPI_TXCRC 寄存器内的值。如果传输由 DMA 管理，则在使能发送 FIFO 缓存 DMA 前，将 SPI_CON1.NXTCRC 位置 1，当最后一次数据传输结束时，将发送 SPI_TXCRC 寄存器内的值。

在只接收模式下，如果传输由软件（CPU 模式）管理，在连续传输的情况下，可以在接收到最后一个数据前将 SPI_CON1.NXTCRC 位置 1，在收到最后一个数据后会收到 CRC，然后执行 CRC 校验。在间断传输的情况下，则在接收到倒数第二个数据后，必须对 SPI_CON1.NXTCRC 位执行写操作，在收到最后一个数据后会收到 CRC，然后执行 CRC 校验。如果传输由 DMA 管理，则在使能接收 FIFO 缓存 DMA 前，将 SPI_CON1.NXTCRC 位置 1，在收到最后一个数据后会收到 CRC，然后执行 CRC 校验。

如果传输过程中出现数据损坏，则在数据和 CRC 传输结束时，SPI_RIF.CRCERR 位将置 1。

如果发送 FIFO 缓存中存在数据，则只有在发送完数据字节后才会发送 CRC 值。在 CRC 发送期间，CRC 计算器处于关闭状态且寄存器值保持不变。

可通过以下步骤使用 CRC 进行 SPI 通信：

1. 对 SPI_CON1.BAUD、SPI_CON1.CPOL、SPI_CON1.CPHA、SPI_CON1.LSBFST、SPI_CON1.SSEN、SPI_CON1.SSOUT 和 SPI_CON1.MSTREN 值进行设置。
2. 向 SPI_CRCPOLY 寄存器中写入计算 CRC 的多项式。
3. 通过将 SPI_CON1.CRCEN 位置 1 来使能 CRC 计算。此操作还会将 SPI_RXCRC 和 SPI_TXCRC 寄存器清零。
4. 通过将 SPI_CON1.SPIEN 位置 1 使能 SPI。
5. 启动并保持通信，直到只剩下一个字节或半字未发送或接收。
 - ◇ 在全双工或只发送模式下，如果传输由软件管理，在连续传输的情况下，可以在最后一个数据写入前的任意时间点将 SPI_CON1.NXTCRC 位置 1，以表示在发送完最后一个字节后将发送 CRC。在间断传输的情况下，必须在最后传输的数据写入 SPI_DATA 后，立即对 SPI_CON1.NXTCRC 位执行写操作，以表示在发送完最后一个字节后将发送 CRC。

- ◇ 在只接收模式下，在连续传输的情况下，可以在接收到最后一个数据前将 SPI_CON1.NXTCRC 位置 1，以便使 SPI 准备好在接收完最后一个数据后进入 CRC 阶段。在间断传输的情况下，则在接收到倒数第二个数据后，必须对 SPI_CON1.NXTCRC 位执行写操作，以便使 SPI 准备好在接收完最后一个数据后进入 CRC 阶段。在 CRC 传输期间，CRC 计算将冻结。
6. 传输完最后一个字节或半字后，SPI 进入 CRC 传输和校验阶段。在全双工模式或只接收模式下，将接收的 CRC 与 SPI_RXCRC 值进行比较。如果两个值不匹配，则 SPI_RIF.CRCERR 位将置 1，并且在 SPI_IER.CRCERR 位置 1 时会产生中断请求。

当 SPI 处于从机模式时，注意只能在时钟稳定（时钟处于空闲电平）时使能 CRC 计算。否则，可能导致 CRC 计算错误。

在 SPI 通信时钟频率较高的情况下，发送 CRC 时务必小心。在 CRC 传输阶段 CPU 应尽可能保持空闲，因此禁止在 CRC 发送阶段调用函数，以避免最后的数据和 CRC 接收出错。实际上在发送或接收最后的数据之前必须对 SPI_CON1.NXTCRC 位执行写操作。

SPI 通信时钟频率较高时，建议使用 DMA 模式来避免由于 CPU 访问影响 SPI 带宽而导致 SPI 速度性能下降。

如果将 SPI 配置为从机，并且使用 NSS 硬件模式，则需要在数据阶段和 CRC 阶段之间将 NSS 引脚保持为低电平。

在对从机片选的切换期间内，应在主机和从机两端同时将 CRC 值清零，以重新同步主机和从机双方的 CRC 计算。

要将 CRC 值清零，请按以下步骤操作：

1. 将 SPI_CON1.CRCEN 位清零。
2. 将 SPI_CON1.CRCEN 位置 1。

21. 4. 13 SPI状态标志

21. 4. 13. 1 发送FIFO缓存为空 (TXE)

此标志置 1 时, 表示发送 FIFO 缓存为空, 此时可以将待发送的数据加载到发送 FIFO 缓存中。对 SPI_DATA 寄存器执行写操作时, 会将 TXE 标志清零。

21. 4. 13. 2 发送FIFO缓存为满 (TXF)

此标志置 1 时, 表示发送 FIFO 缓存为满, 此时无法将待发送的数据加载到发送 FIFO 缓存中。当从发送 FIFO 缓存加载一个数据到移位寄存器时, 会将 TXF 标志清零。

21. 4. 13. 3 发送FIFO缓存上溢 (TXOV)

当发送 FIFO 缓存已满时, 对 SPI_DATA 寄存器执行写操作。在这种情况下, 新写入的数据不会加载到发送 FIFO 缓存中, 并将此标志置 1。对 SPI_STAT 寄存器执行读访问时, 将 TXOV 标志清零。

21. 4. 13. 4 发送FIFO缓存下溢 (TXUD)

在从机模式下当发送 FIFO 缓存为空时, 但主机提出数据请求。在这种情况下, 不会有数据从发送 FIFO 缓存加载到移位寄存器中, 并将此标志置 1。对 SPI_STAT 寄存器执行读访问时, 将 TXUD 标志清零。

21. 4. 13. 5 发送FIFO缓存阈值 (TXTH)

此标志置 1 时, 表示发送 FIFO 缓存中的有效数据个数少于或者等于 SPI_CON2.TXFTH 设置的值, 此时可以将待发送的数据加载到发送 FIFO 缓存中。当加载到 FIFO 缓存中的有效数据个数大于 SPI_CON2.TXFTH 设置的值时, 会将 TXTH 标志清零。

21. 4. 13. 6 接收FIFO缓存为非空 (RXNE)

此标志置 1 时, 表示接收 FIFO 缓存中存在有效的已接收数据。此时可读取 SPI_DATA 寄存器, 当读取后接收 FIFO 缓存中没有有效数据时, 此标志位会被清零。

21. 4. 13. 7 接收FIFO缓存为满 (RXF)

此标志置 1 时, 表示接收 FIFO 缓存为满, 此时无法将接收的数据加载到接收 FIFO 缓存中。对 SPI_DATA 寄存器执行读访问时, 将 RXF 标志清零。

21. 4. 13. 8 接收FIFO缓存上溢 (RXOV)

当接收 FIFO 缓存已满时, 没对 SPI_DATA 寄存器执行读访问。在这种情况下, 主机发送的下一个数据帧不会加载到接收 FIFO 缓存中, 同时将此标志置 1。对 SPI_STAT 寄存器执行读访问时, 会将 RXOV 标志清零。

21. 4. 13. 9 接收FIFO缓存下溢 (RXUD)

当接收 FIFO 缓存为空时, 但对 SPI_DATA 寄存器执行读访问。在这种情况下, 读访问不会从接收 FIFO 缓存中读到有效的数据, 并将此标志置 1。对 SPI_STAT 寄存器执行读访问时, 会

将 RXUD 标志清零。

21. 4. 13. 10 接收FIFO缓存阈值 (RXTH)

此标志置 1 时，表示接收 FIFO 缓存中的有效数据个数大于或者等于 SPI_CON2.RXFTH 设置的值，此时对 SPI_DATA 寄存器执行读访问读取接收 FIFO 缓存中的数据。当读取到 FIFO 缓存中的有效数据个数少于 SPI_CON2.RXFTH 设置的值时，会将 RXTH 标志清零。

21. 4. 13. 11 通信忙 (BUSY)

BUSY 标志用于指示 SPI 通信的状态。此标志由硬件置 1 和清零。

SPI_STAT.BUSY 位置 1 时，表示 SPI 正在通信中。在通信结束前，可检测 SPI_STAT.BUSY 位是否为 0，如果为 0 则表示通信已结束，此时关闭 SPI 模块停止通信。

BUSY 标志还可用于避免在多主机模式系统中发生写冲突。

在以下情况硬件将清零该标志：

- ◆ 传输完成时（主机模式下的连续通信除外）
- ◆ 关闭 SPI 时
- ◆ 发生模式错误时（SPI_RIF.MODF=1）

当通信不连续时，BUSY 标志在各通信之间处于低电平。

当通信连续时，BUSY 标志在所有传输期间均保持高电平。

注：请勿使用 BUSY 标志处理每次数据发送或接收，最好改用 TXTH 标志和 RXTH 标志。

21. 4. 14 SPI中断事件

21. 4. 14. 1 发送FIFO缓存为空 (TXE)

下列两种情况将产生 TXE 的中断事件

- ◆ SPI_RIF 寄存器的 TXE 位默认值为 0，当发送 FIFO 缓存为空 (SPI_STAT.TXE=1)，且对 SPI_IER 寄存器中的 TXE 位置 1 时。在这种情况下，SPI_RIF 寄存器的 TXE 位会被设置为 1，并产生中断。通过对 SPI_ICR 寄存器中的 TXE 位置 1，会将 SPI_RIF 寄存器的 TXE 位清零并清除中断。
- ◆ 当发送 FIFO 缓存中的最后一个有效数据加载到移位寄存器时。在这种情况下，SPI_RIF 寄存器的 TXE 位会被设置为 1，如果 SPI_IER 寄存器中的 TXE 位置 1 则产生中断。通过对 SPI_ICR 寄存器中的 TXE 位置 1，会将 SPI_RIF 寄存器的 TXE 位清零并清除中断。

21. 4. 14. 2 发送FIFO缓存上溢 (TXOV)

当发送 FIFO 缓存已满 (SPI_STAT.TXF=1) 时，对 SPI_DATA 寄存器执行写操作。在这种情况下，SPI_RIF 寄存器的 TXOV 位会被设置为 1，如果 SPI_IER 寄存器中的 TXOV 位置 1 则产生中断。通过对 SPI_ICR 寄存器中的 TXOV 位置 1，会将 SPI_RIF 寄存器的 TXOV 位清零并清除中断。

21. 4. 14. 3 发送FIFO缓存下溢 (TXUD)

在从机模式下当发送 FIFO 缓存为空时，但主机提出数据请求。在这种情况下，SPI_RIF 寄存器的 TXUD 位会被设置为 1，如果 SPI_IER 寄存器中的 TXUD 位置 1 则产生中断。通过对 SPI_ICR 寄存器中的 TXUD 位置 1，会将 SPI_RIF 寄存器的 TXUD 位清零并清除中断。

21. 4. 14. 4 发送FIFO缓存阈值 (TXTH)

下列两种情况将产生 TXTH 的中断事件

- ◆ SPI_RIF 寄存器的 TXTH 位默认值为 0，当 SPI_STAT.TXTH=1 时，且对 SPI_IER 寄存器中的 TXTH 位置 1。在这种情况下，SPI_RIF 寄存器的 TXTH 位会被设置为 1，并产生中断。通过对 SPI_ICR 寄存器中的 TXTH 位置 1，会将 SPI_RIF 寄存器的 TXTH 位清零并清除中断。
- ◆ 当发送 FIFO 缓存中的数据加载到移位寄存器时，使 FIFO 缓存中的有效数据个数等于 SPI_CON2.TXFTH 设置的值。在这种情况下，SPI_RIF 寄存器的 TXTH 位会被设置为 1，如果 SPI_IER 寄存器中的 TXTH 位置 1 则产生中断。通过对 SPI_ICR 寄存器中的 TXTH 位置 1，会将 SPI_RIF 寄存器的 TXTH 位清零并清除中断。

21. 4. 14. 5 接收FIFO缓存为非空 (RXNE)

下列两种情况将产生 RXNE 的中断事件

- ◆ 当 SPI_STAT.RXNE=1 时，且对 SPI_IER 寄存器中的 RXNE 位置 1。在这种情况下，SPI_RIF 寄存器的 RXNE 位会被设置为 1，并产生中断。通过对 SPI_ICR 寄存器中的 RXNE 位置 1，会将 SPI_RIF 寄存器的 RXNE 位清零并清除中断。
- ◆ 当接收的数据加载到 FIFO 缓存中，使接收 FIFO 缓存为非空的时候。在这种情况下，

SPI_RIF 寄存器的 RXNE 位会被设置为 1，如果 SPI_IER 寄存器中的 RXNE 位置 1 则产生中断。通过对 SPI_ICR 寄存器中的 RXNE 位置 1，会将 SPI_RIF 寄存器的 RXNE 位清零并清除中断。

21.4.14.6 接收FIFO缓存为满（RXF）

下列两种情况将产生 RXF 的中断事件

- ◆ 当 SPI_STAT.RXF=1 时，且对 SPI_IER 寄存器中的 RXF 位置 1。在这种情况下，SPI_RIF 寄存器的 RXF 位会被设置为 1，并产生中断。通过对 SPI_ICR 寄存器中的 RXF 位置 1，会将 SPI_RIF 寄存器的 RXF 位清零并清除中断。
- ◆ 当接收的数据加载到 FIFO 缓存中，使接收 FIFO 缓存为满的时候。在这种情况下，SPI_RIF 寄存器的 RXF 位会被设置为 1，如果 SPI_IER 寄存器中的 RXF 位置 1 则产生中断。通过对 SPI_ICR 寄存器中的 RXF 位置 1，会将 SPI_RIF 寄存器的 RXF 位清零并清除中断。

21.4.14.7 接收FIFO缓存上溢（RXOV）

当接收 FIFO 缓存已满时，下一个接收的数据帧不会加载到接收 FIFO 缓存中。在这种情况下，SPI_RIF 寄存器的 RXOV 位会被设置为 1，如果 SPI_IER 寄存器中的 RXOV 位置 1 则产生中断。通过对 SPI_ICR 寄存器中的 RXOV 位置 1，会将 SPI_RIF 寄存器的 RXOV 位清零并清除中断。

21.4.14.8 接收FIFO缓存下溢（RXUD）

当接收 FIFO 缓存为空时，但对 SPI_DATA 寄存器执行读访问。在这种情况下，SPI_RIF 寄存器的 RXUD 位会被设置为 1，如果 SPI_IER 寄存器中的 RXUD 位置 1 则产生中断。通过对 SPI_ICR 寄存器中的 RXUD 位置 1，会将 SPI_RIF 寄存器的 RXUD 位清零并清除中断。

21.4.14.9 接收FIFO缓存阈值（RXTH）

下列两种情况将产生 RXTH 的中断事件

- ◆ 当 SPI_STAT.RXTH=1 时，且对 SPI_IER 寄存器中的 RXTH 位置 1。在这种情况下，SPI_RIF 寄存器的 RXTH 位会被设置为 1，并产生中断。通过对 SPI_ICR 寄存器中的 RXTH 位置 1，会将 SPI_RIF 寄存器的 RXTH 位清零并清除中断。
- ◆ 当接收的数据帧加载到接收 FIFO 缓存时，使 FIFO 缓存中的有效数据个数等于 SPI_CON2.RXFTH 设置的值。在这种情况下，SPI_RIF 寄存器的 RXTH 位会被设置为 1，如果 SPI_IER 寄存器中的 RXTH 位置 1 则产生中断。通过对 SPI_ICR 寄存器中的 RXTH 位置 1，会将 SPI_RIF 寄存器的 RXTH 位清零并清除中断。

21.4.14.10 CRC错误（CRCERR）

当 SPI_CON1 寄存器中的 CRCEN 位置 1 时，此标志用于验证接收数据的有效性。如果移位寄存器中接收的值与 SPI_RXCRC 的值不匹配，SPI_RIF 寄存器中的 CRCERR 位将置 1。如果 SPI_IER 寄存器中的 CRCERR 位置 1 则产生中断。通过对 SPI_ICR 寄存器中的 CRCERR 位置 1，会将 SPI_RIF 寄存器的 CRCERR 位清零并清除中断。

21.4.14.11 模式故障 (MODF)

当主机的 NSS 引脚拉低 (NSS 硬件模式下) 或 SPI_CON1.SSOUT 位为 0 (NSS 软件模式下) 时, 会发生模式错误, 自动将 SPI_RIF.MODF 位置 1。模式错误会在以下几方面影响 SPI 外设:

- ◆ 如果 SPI_IER 寄存器中的 MODF 位置 1 则产生中断。
- ◆ SPI_CON1.SPIEN 位清零, 这将关闭所有输出, 并关闭 SPI 接口。
- ◆ SPI_CON1.MSTREN 位清零, 从而强制 SPI 进入从机模式。

通过对 SPI_ICR 寄存器中的 MODF 位置 1, 会将 SPI_RIF 寄存器的 MODF 位清零并清除中断。

为避免包含多个 MCU 的系统中发生多从机模式冲突, 必须在 SPI_RIF.MODF 位清零前将 NSS 引脚拉高。在 SPI_RIF.MODF 位清零后可以将 SPI_CON1.SPIEN 和 SPI_CON1.MSTREN 位恢复到原始状态。

硬件不允许在 SPI_RIF.MODF 位为 1 时将 SPI_CON1.SPIEN 和 SPI_CON1.MSTREN 位置 1。

在多主机模式配置中, 可在 SPI_RIF.MODF 位为 1 时处于从机模式。在这种情况下, SPI_RIF.MODF 位指示系统控制可能存在多主机模式冲突。可使用中断程序从此状态完全恢复, 方法是执行复位或返回到默认状态。

21.4.14.12 TI 模式帧格式错误 (FRE)

如果 SPI 在从机模式下工作, 并配置为符合 TI 模式协议, 则在持续通信期间出现 NSS 脉冲时, 将检测到 TI 模式帧格式错误。出现此错误时, SPI_RIF 寄存器中的 FRE 位将置 1。发生错误时不会关闭 SPI, 但会忽略 NSS 脉冲, 并且 SPI 会等待至下一个 NSS 脉冲, 然后再开始新的传输。由于错误检测可能导致丢失两个数据字节, 因此数据可能会损坏。

如果 SPI_IER 寄存器中的 FRE 位置 1, 则检测到帧格式错误时将产生中断。在这种情况下, 由于无法保证数据的连续性, 应关闭 SPI 并在重新使能 SPI 后, 由主机重新发起通信。

通过对 SPI_ICR 寄存器中的 FRE 位置 1, 会将 SPI_RIF 寄存器的 FRE 位清零并清除中断。

21.4.15 SPI TI 模式

SPI 接口与 TI 协议兼容。SPI_CON2 寄存器的 FRF 位可用于配置 SPI 以符合此协议。

无论 SPI_CON1 寄存器中设置的值如何, 都必须强制时钟极性和相位符合 TI 协议要求。NSS 管理也特定于 TI 协议, 在这种情况下无法通过 SPI_CON1 和 SPI_CON2 寄存器 (SSEN、SSOUT、NSSOE) 配置 NSS 管理。

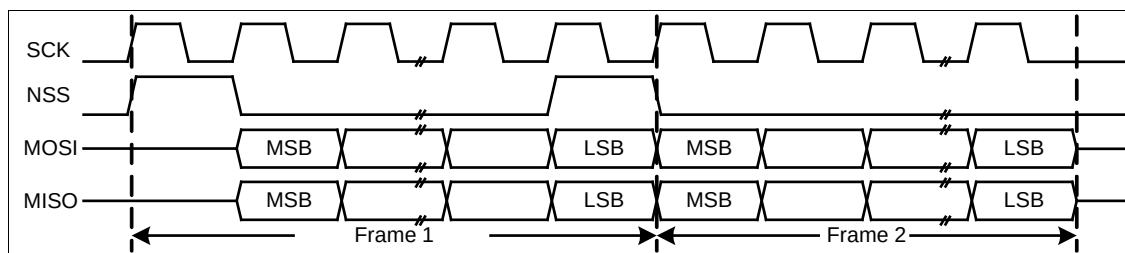


图 21-17 TI 格式的 SPI 通信时序

21. 5 特殊功能寄存器

21. 5. 1 寄存器列表

SPI 寄存器列表			
名称	偏移地址	类型	描述
SPI_CON1	0000 _H	R/W	SPI 控制寄存器 1
SPI_CON2	0004 _H	R/W	SPI 控制寄存器 2
SPI_STAT	0008 _H	R	SPI 状态寄存器
SPI_DATA	000C _H	R/W	SPI 数据寄存器
SPI_CRCPOLY	0010 _H	R/W	SPI CRC 多项式寄存器
SPI_RXCRC	0014 _H	R	SPI RX CRC 寄存器
SPI_TXCRC	0018 _H	R	SPI TX CRC 寄存器
Reserved	001C _H ~0020 _H	—	保留
SPI_IER	0024 _H	W1	SPI 中断启用寄存器
SPI_IDR	0028 _H	W1	SPI 中断禁用寄存器
SPI_IVS	002C _H	R	SPI 中断有效状态寄存器
SPI_RIF	0030 _H	R	SPI 原始中断标志寄存器
SPI_IFM	0034 _H	R	SPI 中断标志屏蔽状态寄存器
SPI_ICR	0038 _H	C_W1	SPI 中断清除寄存器

21.5.2 寄存器描述

21.5.2.1 SPI控制寄存器 1 (SPI_CON1)

SPI 控制寄存器 1 （SPI_CON1）																															
偏移地址：0x000																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																BIDEN	BIDOEN	CRCEN	NXTCRC	FLEN	RXO	SSEN	SSOUT	LSBFST	SPIEN	BAUD			MSTREN	CPOL	CPHA

—	Bits 31-16	—	—
BIDEN	Bit 15	R/W	双向通信使能位 该位使能使用单线双向数据线实现半双工通信。当选择半双工通信模式时，保持 RXO 位清零。 0: 选择全双工通信数据模式 1: 选择半双工通信数据模式
BIDOEN	Bit 14	R/W	双向通信输出使能位 此位结合 BIDEN 位，用于选择半双工通信模式下的传输方向 0: 禁止输出（只接收模式） 1: 使能输出（只发送模式） 注：在主机模式下，使用 MOSI 引脚，在从机模式，使用 MISO 引脚。
CRCEN	Bit 13	R/W	CRC 硬件计算使能位 0: 禁止 CRC 计算 1: 使能 CRC 计算 注：为确保正确操作，只应在禁止 SPI (SPIEN = 0) 时对此位执行写操作。
NXTCRC	Bit 12	R/W	下一次传输 CRC 使能位 0: 数据传输结束时不传输 CRC 1: 数据传输结束时传输 CRC 注：SPI 配置为全双工或只发送模式时，在写入最后一个数据前将该位置 1。当 SPI 配置为只接收模式时，必须在读取最后一个数据数据前将该位置 1。
FLEN	Bit 11	R/W	数据帧长度选择位 0: 发送/接收选择 8 位数据帧长度 1: 发送/接收选择 16 位数据帧长度

			注: 为确保正确操作, 只应在禁止 SPI (SPIEN = 0) 时对此位执行写操作。
RXO	Bit 10	R/W	只接收使能位 此位结合 BIDEN 位, 用于选择双线单向模式下的传输方向。此位也适用于多从机模式系统, 在此类系统中, 关闭未被访问的从机输出, 以防止被访问的从机输出被其他从机干扰。 0: 全双工 (发送和接收) 1: 关闭输出 (只接收模式)
SSEN	Bit 9	R/W	软件控制从机使能位 当 SSEN 位置 1 时, NSS 引脚输入将被 SSOUT 位的值替换。 0: 禁止软件控制从机 1: 使能软件控制从机 注: 该位不用于 SPI TI 模式。
SSOUT	Bit 8	R/W	软件控制片选引脚输出位 0: NSS 引脚输出为 0 1: NSS 引脚输出为 1 仅当 SSEN 位置 1 时该位才有效。此位的值将作用到 NSS 引脚上, 并忽略 NSS 引脚的 IO 值。 注: 该位不用于 SPI TI 模式。
LSBFST	Bit 7	R/W	先发最低有效位选择位 0: 使用 MSB 发送与接收数据 1: 使用 LSB 发送与接收数据 注: 正在通信时不应更改此位; 该位不用于 SPI TI 模式。
SPIEN	Bit 6	R/W	SPI 模块使能位 0: 关闭 SPI 外设 1: 使能 SPI 外设
BAUD	Bit 5-3	R/W	波特率选择位 000: f _{HCLK} /2 001: f _{HCLK} /4 010: f _{HCLK} /8 011: f _{HCLK} /16 100: f _{HCLK} /32 101: f _{HCLK} /64 110: f _{HCLK} /128 111: f _{HCLK} /256

			注：正在通信时不应更改此位。
MSTREN	Bit 2	R/W	主机模式使能位 0：从机配置 1：主机配置 注：正在通信时不应更改此位。
CPOL	Bit 1	R/W	时钟的极性控制位 0：在空闲的状态下，SCK 引脚保持低电平输出 1：在空闲的状态下，SCK 引脚保持高电平输出 注：正在通信时不应更改此位；该位不用于 SPI TI 模式。
CPHA	Bit 0	R/W	时钟的相位控制位 0：从第一个时钟边沿开始采样数据 1：从第二个时钟边沿开始采样数据 注：正在通信时不应更改此位；该位不用于 SPI TI 模式。

21.5.2.2 SPI控制寄存器 2 (SPI_CON2)

SPI 控制寄存器 2 （SPI_CON2）																																					
偏移地址：0x004																																					
复位值：0x0000 0000																																					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
Reserved																RXFTH		TXFTH		Reserved								FRF		NSSP		NSSOE		TXDMA		RXDMA	

—	Bits 31-16	—	—
RXFTH	Bit 15-14	R/W	接收 FIFO 阈值 用于选择接收 FIFO 缓存的阈值。 00: 接收 FIFO 中有 1 个数据 01: 接收 FIFO 中数据达到其深度的 1/4 10: 接收 FIFO 中数据达到其深度的 1/2 11: 接收 FIFO 中数据再增加 2 个达到其深度 注: 如果 RXDMA 使能, 该位也提供接收 FIFO 缓存的 DMA 请求条件。
TXFTH	Bit 13-12	R/W	发送 FIFO 阈值 用于选择发送 FIFO 缓存的阈值。 00: 发送 FIFO 内无数据 01: 发送 FIFO 中数据少于或等于 2 个 10: 发送 FIFO 中数据少于或等于其深度的 1/4 11: 发送 FIFO 中数据少于或等于其深度的 1/2 注: 如果 TXDMA 使能, 该位也提供发送 FIFO 缓存的 DMA 请求条件。
—	Bit 11-5	—	—
FRF	Bit 4	R/W	帧格式选择位 0: SPI 摩托罗拉模式 1: SPI TI 模式 注: 只有在禁止 SPI (SPIEN = 0) 时才能写入该位。
NSSP	Bit 3	R/W	NSS 脉冲管理位 该位仅用于主机模式。它允许 SPI 在进行连续传输时在两个连续数据之间产生 NSS 脉冲。在单次数据传输的情况下, 它会在传输后强制 NSS 引脚为高电平。如果 CPHA = '1' 或 FRF = '1' 则没有意义。 0: 没有 NSS 脉冲

			1: 产生 NSS 脉冲 注: 只有在禁止 SPI (SPIEN = 0) 时才能写入该位; 该位不用于 SPI TI 模式。
NSSOE	Bit 2	R/W	NSS 引脚输出使能位 0: 在主机模式下禁止 NSS 输出, 可在多主机模式配置下工作 1: 在主机模式下使能 NSS 输出, 不能在多主机模式环境下工作 注: 该位不用于 SPI TI 模式。
TXDMA	Bit 1	R/W	发送 FIFO 缓存 DMA 使能位 该位置 1 时, 只要 TXTH 标志置 1, 就会产生 DMA 请求。 0: 关闭发送 FIFO 缓存的 DMA 1: 使能发送 FIFO 缓存的 DMA
RXDMA	Bit 0	R/W	接收 FIFO 缓存 DMA 使能位 该位置 1 时, 只要 RXTH 标志置 1, 就会产生 DMA 请求。 0: 关闭接收 FIFO 缓存的 DMA 1: 使能接收 FIFO 缓存的 DMA

21.5.2.3 SPI状态寄存器 (SPI_STAT)

SPI 状态寄存器（SPI_STAT）																																											
偏移地址：0x008																																											
复位值：0x0000 0011																																											
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0												
Reserved				RXFLV				Reserved				TXFLV				BUSY		Reserved		RXTH		RXUD		RXOV		RXF		RXNE		Reserved				TXTH		TXUD		TXOV		TXF		TXE	

—	Bits 31-29	—	—
RXFLV	Bit 28-24	R	接收 FIFO 缓存数据个数 该位域表明接收 FIFO 缓存的有效数据个数。
—	Bit 23-21	—	—
TXFLV	Bit 20-16	R	发送 FIFO 缓存数据个数 该位域表明发送 FIFO 缓存的有效数据个数。
BUSY	Bit 15	R	忙标志位 0: SPI (或 I2S) 不繁忙 1: SPI (或 I2S) 忙于通信 此标志由硬件置 1 和清零。
—	Bit 14-13	—	—
RXTH	Bit 12	R	接收FIFO缓存个数超出阈值 0: 接收FIFO缓存的有效数据个数少于RXFTH 设置的值 1: 接收FIFO缓存的有效数据个数大于或等于 RXFTH设置的值
RXUD	Bit 11	R/C_R	接收FIFO缓存下溢 0: 接收FIFO缓存未发生下溢 1: 接收FIFO 缓存发生下溢 注: 读取STAT寄存器清除此位。
RXOV	Bit 10	R/C_R	接收FIFO缓存上溢 0: 接收FIFO缓存未发生上溢 1: 接收FIFO缓存发生上溢 注: 读取STAT寄存器清除此位。
RXF	Bit 9	R	接收FIFO缓存满 0: 接收FIFO缓存未滿 1: 接收FIFO缓存已滿
RXNE	Bit 8	R	接收FIFO缓存非空

			0: 接收FIFO缓存为空 1: 接收FIFO缓存为非空
—	Bit 7-5	—	—
TXTH	Bit 4	R	发送FIFO缓存个数低于阈值 0: 发送FIFO缓存的有效数据个数大于TXFTH 设置的值 1: 发送FIFO缓存的有效数据个数少于或等于TXFTH设置的值
TXUD	Bit 3	R/C_R	发送FIFO缓存下溢 0: 发送FIFO缓存未发生下溢 1: 发送FIFO 缓存发生下溢 注: 读取STAT寄存器清除此位。
TXOV	Bit 2	R/C_R	发送FIFO缓存上溢 0: 发送FIFO缓存未发生上溢 1: 发送FIFO缓存发生上溢 注: 读取STAT寄存器清除此位。
TXF	Bit 1	R	发送FIFO缓存满 0: 发送FIFO缓存未滿 1: 发送FIFO缓存已滿
TXE	Bit 0	R	发送FIFO缓存空 0: 发送FIFO缓存非空 1: 发送FIFO缓存为空

21. 5. 2. 4 SPI数据寄存器（SPI_DATA）

SPI 数据寄存器（SPI_DATA）																															
偏移地址：0x00C																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																DATA															

—	Bits 31-16	—	—
DATA	Bits 15-0	R/W	数据寄存器 已接收或者要发送的数据。 数据寄存器分为2个FIFO缓存，一个用于写入（发送FIFO缓存），一个用于读取（接收FIFO缓存）。对数据寄存器执行写操作时，数据将写入发送FIFO缓存，从数据寄存器执行读取时，将返回接收FIFO缓存中的值。 注：数据始终是右对齐的。写入寄存器时忽略未使用的位，读取寄存器时未使用的位数据为0。

21. 5. 2. 5 SPI CRC多项式寄存器 (SPI_CRCPOLY)

SPI CRC 多项式寄存器（SPI_CRCPOLY）																															
偏移地址：0x010																															
复位值：0x0000 0007																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																CRCPOLY															

—	Bits 31-16	—	—
CRCPOLY	Bits 15-0	R/W	CRC多项式寄存器 此寄存器包含用于CRC计算的多项式。CRC多项式（0x0007）是此寄存器的复位值。可根据需要配置另一个多项式。 注： 1.多项式值应仅为奇数，不支持偶数。 2.该位域不用于I2S模式。

21. 5. 2. 6 SPI RX CRC寄存器 (SPI_RXCRC)

SPI RX CRC 寄存器 (SPI_RXCRC)																															
偏移地址: 0x014																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																RXCRC															

—	Bits 31-16	—	—
RXCRC	Bits 15-0	R	接收 CRC 值 使能 CRC 计算后, RXCRC<15:0>位将包含后续接收字节在计算后所得到的 CRC 值。当 SPI_CON1 寄存器中的 CRCEN 位写入 1 时, 此寄存器复位。CRC 通过 SPI_CRCPOLY 寄存器中设置的多项式连续计算。数据帧长度设置为 8 位数据 (SPI_CON1 寄存器的 FLEN 位清零) 时, 仅考虑 8 个 LSB 位。CRC 计算依据任意 CRC8 标准进行。选择 16 位数据帧长度 (SPI_CON1 寄存器的 FLEN 位置 1) 时, 考虑此寄存器的全部 16 个位。CRC 计算依据任意 CRC16 标准进行。 注: 当 BUSY 标志置 1 时, 读取此寄存器可能返回一个不正确的值。

21. 5. 2. 7 SPI TX CRC寄存器（SPI_TXCRC）

SPI TX CRC 寄存器（SPI_TXCRC）																															
偏移地址：0x018																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																TXCRC															

—	Bits 31-16	—	—
TXCRC	Bits 15-0	R	发送 CRC 值 使能 CRC 计算后，TXCRC<15:0> 位将包含后续发送字节在计算后所得到的 CRC 值。当 SPI_CON1 寄存器中的 CRCEN 位写入 1 时，此寄存器复位。CRC 通过 SPI_CRCPOLY 寄存器中编程的多项式连续计算。数据帧长度设置为 8 位数据（SPI_CON1 寄存器的 FLEN 位清零）时，仅考虑 8 个 LSB 位。CRC 计算依据任意 CRC8 标准进行。选择 16 位数据帧长度（SPI_CON1 寄存器的 FLEN 位置 1）时，考虑此寄存器的全部 16 个位。CRC 计算依据任意 CRC16 标准进行。 注：当 BUSY 标志置 1 时，读取此寄存器可能返回一个不正确的值。

21.5.2.8 SPI中断使能寄存器 (SPI_IER)

SPI 中断启用寄存器（SPI_IER）																																	
偏移地址：0x024																																	
复位值：0x0000 0000																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved													FRE	MODF	CRCERR	Reserved				RXTH	RXUD	RXOV	RXF	RXNE	Reserved				TXTH	TXUD	TXOV	Reserved	TXE

—	Bits 31-19	—	—
FRE	Bit 18	W1	帧格式错误中断使能位 0: 写入 0 无效 1: 使能帧格式错误中断
MODF	Bit 17	W1	模式故障中断使能位 0: 写入 0 无效 1: 使能模式故障中断
CRCERR	Bit 16	W1	CRC 错误中断使能位 0: 写入 0 无效 1: 使能 CRC 错误中断
—	Bit 15-13	—	—
RXTH	Bit 12	W1	接收 FIFO 缓存超过阈值中断使能位 0: 写入 0 无效 1: 使能接收 FIFO 缓存超过阈值中断
RXUD	Bit 11	W1	接收 FIFO 缓存下溢中断使能位 0: 写入 0 无效 1: 使能接收 FIFO 缓存下溢中断
RXOV	Bit 10	W1	接收 FIFO 缓存上溢中断使能位 0: 写入 0 无效 1: 使能接收 FIFO 缓存上溢中断
RXF	Bit 9	W1	接收 FIFO 缓存满中断使能位 0: 写入 0 无效 1: 使能接收 FIFO 缓存满中断
RXNE	Bit 8	W1	接收 FIFO 缓存非空中断使能位 0: 写入 0 无效 1: 使能接收 FIFO 缓存非空中断
—	Bit 7-5	—	—
TXTH	Bit 4	W1	发送 FIFO 缓存低于阈值中断使能位

			0: 写入 0 无效 1: 使能发送 FIFO 缓存低于阈值中断
TXUD	Bit 3	W1	发送 FIFO 缓存下溢中断使能位 0: 写入 0 无效 1: 使能发送 FIFO 缓存下溢中断
TXOV	Bit 2	W1	发送FIFO缓存上溢中断使能位 0: 写入0无效 1: 使能发送FIFO缓存上溢中断
—	Bit 1	—	—
TXE	Bit 0	W1	发送 FIFO 缓存空中断使能位 0: 写入 0 无效 1: 使能发送 FIFO 缓存空中断

21.5.2.9 SPI中断禁用寄存器 (SPI_IDR)

SPI 中断禁用寄存器（SPI_IDR）																																	
偏移地址：0x028																																	
复位值：0x0000 0000																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved													FRE	MODF	CRCERR	Reserved				RXTH	RXUD	RXOV	RXF	RXNE	Reserved				TXTH	TXUD	TXOV	Reserved	TXE

—	Bits 31-19	—	—
FRE	Bit 18	W1	帧格式错误中断禁止位 0: 写入0无效 1: 禁止帧格式错误中断
MODF	Bit 17	W1	模式故障中断禁止位 0: 写入 0 无效 1: 禁止模式故障中断
CRCERR	Bit 16	W1	CRC 错误中断禁止位 0: 写入 0 无效 1: 禁止 CRC 错误中断
—	Bit 15-13	—	—
RXTH	Bit 12	W1	接收 FIFO 缓存超过阈值中断禁止位 0: 写入 0 无效 1: 禁止接收 FIFO 缓存超过阈值中断
RXUD	Bit 11	W1	接收 FIFO 缓存下溢中断禁止位 0: 写入 0 无效 1: 禁止接收 FIFO 缓存下溢中断
RXOV	Bit 10	W1	接收 FIFO 缓存上溢中断禁止位 0: 写入 0 无效 1: 禁止接收 FIFO 缓存上溢中断
RXF	Bit 9	W1	接收 FIFO 缓存满中断禁止位 0: 写入 0 无效 1: 禁止接收 FIFO 缓存满中断
RXNE	Bit 8	W1	接收FIFO缓存非空中断禁止位 0: 写入0无效 1: 禁止接收FIFO缓存非空中断
—	Bit 7-5	—	—
TXTH	Bit 4	W1	发送 FIFO 缓存低于阈值中断禁止位

			0: 写入 0 无效 1: 禁止发送 FIFO 缓存低于阈值中断
TXUD	Bit 3	W1	发送FIFO缓存下溢中断禁止位 0: 写入0无效 1: 禁止发送FIFO缓存下溢中断
TXOV	Bit 2	W1	发送 FIFO 缓存上溢中断禁止位 0: 写入 0 无效 1: 禁止发送 FIFO 缓存上溢中断
—	Bit 1	—	—
TXE	Bit 0	W1	发送 FIFO 缓存空中断禁止位 0: 写入 0 无效 1: 禁止发送 FIFO 缓存空中断

21. 5. 2. 10 SPI中断有效状态寄存器 (SPI_IVS)

SPI 中断有效状态寄存器（SPI_IVS）																																	
偏移地址：0x02C																																	
复位值：0x0000 0000																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved													FRE	MODF	CRCERR	Reserved				RXTH	RXUD	RXOV	RXF	RXNE	Reserved				TXTH	TXUD	TXOV	Reserved	TXE

—	Bits 31-19	—	—
FRE	Bit 18	R	帧格式错误中断使能状态 0: 禁止帧格式错误中断 1: 使能帧格式错误中断
MODF	Bit 17	R	模式故障中断使能状态 0: 禁止模式故障中断 1: 使能模式故障中断
CRCERR	Bit 16	R	CRC错误中断使能状态 0: 禁止CRC错误中断 1: 使能CRC错误中断
—	Bit 15-13	—	—
RXTH	Bit 12	R	接收 FIFO 缓存超过阈值中断使能状态 0: 禁止接收 FIFO 缓存超过阈值中断 1: 使能接收 FIFO 缓存超过阈值中断
RXUD	Bit 11	R	接收 FIFO 缓存下溢中断使能状态 0: 禁止接收 FIFO 缓存下溢中断 1: 使能接收 FIFO 缓存下溢中断
RXOV	Bit 10	R	接收 FIFO 缓存上溢中断使能状态 0: 禁止接收 FIFO 缓存上溢中断 1: 使能接收 FIFO 缓存上溢中断
RXF	Bit 9	R	接收 FIFO 缓存满中断使能状态 0: 禁止接收 FIFO 缓存满中断 1: 使能接收 FIFO 缓存满中断
RXNE	Bit 8	R	接收 FIFO 缓存非空中断使能状态 0: 禁止接收 FIFO 缓存非空中断 1: 使能接收 FIFO 缓存非空中断
—	Bit 7-5	—	—
TXTH	Bit 4	R	发送 FIFO 缓存低于阈值中断使能状态

			0: 禁止发送 FIFO 缓存低于阈值中断 1: 使能发送 FIFO 缓存低于阈值中断
TXUD	Bit 3	R	发送 FIFO 缓存下溢中断使能状态 0: 禁止发送 FIFO 缓存下溢中断 1: 使能发送 FIFO 缓存下溢中断
TXOV	Bit 2	R	发送FIFO缓存上溢中断使能状态 0: 禁止发送FIFO缓存上溢中断 1: 使能发送FIFO缓存上溢中断
—	Bit 1	—	—
TXE	Bit 0	R	发送 FIFO 缓存空中断使能状态 0: 禁止发送 FIFO 缓存空中断 1: 使能发送 FIFO 缓存空中断

21. 5. 2. 11 SPI原始中断标志寄存器 (SPI_RIF)

SPI 原始中断标志寄存器 （SPI_RIF）																															
偏移地址：0x030																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													FRE	MODF	CRCERR	Reserved			RXTH	RXUD	RXOV	RXF	RXNE	Reserved			TXTH	TXUD	TXOV	Reserved	TXE

—	Bits 31-19	—	—
FRE	Bit 18	R	帧格式错误中断事件标志位 0: 未发生中断事件 1: 发生中断事件
MODF	Bit 17	R	模式故障中断事件标志位 0: 未发生中断事件 1: 发生中断事件
CRCERR	Bit 16	R	CRC错误中断事件标志位 0: 未发生中断事件 1: 发生中断事件
—	Bit 15-13	—	—
RXTH	Bit 12	R	接收 FIFO 缓存超过阈值中断事件标志位 0: 未发生中断事件 1: 发生中断事件
RXUD	Bit 11	R	接收 FIFO 缓存下溢中断事件标志位 0: 未发生中断事件 1: 发生中断事件
RXOV	Bit 10	R	接收 FIFO 缓存上溢中断事件标志位 0: 未发生中断事件 1: 发生中断事件
RXF	Bit 9	R	接收 FIFO 缓存满中断事件标志位 0: 未发生中断事件 1: 发生中断事件
RXNE	Bit 8	R	接收 FIFO 缓存非空中断事件标志位 0: 未发生中断事件 1: 发生中断事件
—	Bit 7-5	—	—
TXTH	Bit 4	R	发送 FIFO 缓存低于阈值中断事件标志位

			0: 未发生中断事件 1: 发生中断事件
TXUD	Bit 3	R	发送 FIFO 缓存下溢中断事件标志位 0: 未发生中断事件 1: 发生中断事件
TXOV	Bit 2	R	发送 FIFO 缓存上溢中断事件标志位 0: 未发生中断事件 1: 发生中断事件
—	Bit 1	—	—
TXE	Bit 0	R	发送 FIFO 缓存空中断事件标志位 0: 未发生中断事件 1: 发生中断事件

21. 5. 2. 12 SPI中断标志屏蔽状态寄存器 (SPI_IFM)

SPI 中断标志屏蔽状态寄存器 （SPI_IFM）																																	
偏移地址：0x034																																	
复位值：0x0000 0000																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved													FRE	MODF	CRCERR	Reserved				RXTH	RXUD	RXOV	RXF	RXNE	Reserved				TXTH	TXUD	TXOV	Reserved	TXE

—	Bits 31-19	—	—
FRE	Bit 18	R	帧格式错误中断屏蔽标志位 0: 未发生中断事件或中断未使能 1: 产生中断
MODF	Bit 17	R	模式故障中断屏蔽标志位 0: 未发生中断事件或中断未使能 1: 产生中断
CRCERR	Bit 16	R	CRC错误中断屏蔽标志位 0: 未发生中断事件或中断未使能 1: 产生中断
—	Bit 15-13	—	—
RXTH	Bit 12	R	接收 FIFO 缓存超过阈值中断屏蔽标志位 0: 未发生中断事件或中断未使能 1: 产生中断
RXUD	Bit 11	R	接收 FIFO 缓存下溢中断屏蔽标志位 0: 未发生中断事件或中断未使能 1: 产生中断
RXOV	Bit 10	R	接收 FIFO 缓存上溢中断屏蔽标志位 0: 未发生中断事件或中断未使能 1: 产生中断
RXF	Bit 9	R	接收 FIFO 缓存满中断屏蔽标志位 0: 未发生中断事件或中断未使能 1: 产生中断
RXNE	Bit 8	R	接收 FIFO 缓存非空中断屏蔽标志位 0: 未发生中断事件或中断未使能 1: 产生中断
—	Bit 7-5	—	—
TXTH	Bit 4	R	发送 FIFO 缓存低于阈值中断屏蔽标志位

			0: 未发生中断事件或中断未使能 1: 产生中断
TXUD	Bit 3	R	发送 FIFO 缓存下溢中断屏蔽标志位 0: 未发生中断事件或中断未使能 1: 产生中断
TXOV	Bit 2	R	发送FIFO缓存上溢中断屏蔽标志位 0: 未发生中断事件或中断未使能 1: 产生中断
—	Bit 1	—	—
TXE	Bit 0	R	发送 FIFO 缓存空中断屏蔽标志位 0: 未发生中断事件或中断未使能 1: 产生中断

注：SPI_IFM 寄存器是滤除已关闭中断功能的中断事件，只关注开启中断功能的事件，此寄存器的状态位是将 SPI_RIF 与 SPI_IVS 进行逻辑与运算后的结果。

21. 5. 2. 13 SPI中断清除寄存器 (SPI_ICR)

SPI 中断清除寄存器（SPI_ICR）																																
偏移地址：0x038																																
复位值：0x0000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved													FRE	MODF	CRCERR	Reserved				RXTH	RXUD	RXOV	RXF	RXNE	Reserved			TXTH	TXUD	TXOV	Reserved	TXE

—	Bits 31-19	—	—
FRE	Bit 18	C_W1	帧格式错误中断清除 0: 写入0无效 1: 清除中断事件与中断
MODF	Bit 17	C_W1	模式故障中断清除 0: 写入 0 无效 1: 清除中断事件与中断
CRCERR	Bit 16	C_W1	CRC 错误中断清除 0: 写入0无效 1: 清除中断事件与中断
—	Bit 15-13	—	—
RXTH	Bit 12	C_W1	接收 FIFO 缓存超过阈值中断清除 0: 写入 0 无效 1: 清除中断事件与中断
RXUD	Bit 11	C_W1	接收 FIFO 缓存下溢中断清除 0: 写入 0 无效 1: 清除中断事件与中断
RXOV	Bit 10	C_W1	接收 FIFO 缓存上溢中断清除 0: 写入 0 无效 1: 清除中断事件与中断
RXF	Bit 9	C_W1	接收 FIFO 缓存满中断清除 0: 写入 0 无效 1: 清除中断事件与中断
RXNE	Bit 8	C_W1	接收 FIFO 缓存非空中断清除 0: 写入 0 无效 1: 清除中断事件与中断
—	Bit 7-5	—	—
TXTH	Bit 4	C_W1	发送 FIFO 缓存低于阈值中断清除

			0: 写入 0 无效 1: 清除中断事件与中断
TXUD	Bit 3	C_W1	发送 FIFO 缓存下溢中断清除 0: 写入 0 无效 1: 清除中断事件与中断
TXOV	Bit 2	C_W1	发送 FIFO 缓存上溢中断清除 0: 写入 0 无效 1: 清除中断事件与中断
—	Bit 1	—	—
TXE	Bit 0	C_W1	发送 FIFO 缓存空中断清除 0: 写入 0 无效 1: 清除中断事件与中断

第22章 通用异步收发器（UART0~4）

22.1 概述

通用异步收发器（UART）提供了一个灵活的方式，使 MCU 可以与外部设备通过工业标准 NRZ 的形式实现全双工异步串行数据通信。UART 可以使用小数波特率产生器，提供了超宽的波特率设置范围。

UART 支持异步通信模式和半双工单线通信，也支持 LIN（本地互连网络）、智能卡协议、IrDA（红外数据协会）SIR ENDEC 规范和 modem 流控操作（CTS/RTS），同时还支持多机通信方式。

支持使用 DMA 实现多缓冲区设置，从而能够支持高速数据通信。

芯片内部共有 5 个通用异步收发器（UART0~4），其中 UART0 为增强型 EUART（即 EUART0），UART1~4 为普通型 CUART（即 CUART0~3）。EUART 所支持的增强功能包括：智能卡模式、单线半双工模式、IrDA SIR 模式和 LIN 模式。

22.2 特性

- ◆ 全双工异步通信
- ◆ 兼容 16C550 标准
 - 可设置的通信波特率
- ◆ 支持自动波特率检测
- ◆ 十五个中断源
- ◆ 支持 DMA 使用
 - 利用 DMA 功能将收/发字节缓冲到保留的 SRAM 空间
- ◆ 内置小数波特率发生器，覆盖范围广
 - 在时钟频率为 48 MHz 时，可设置收发波特率高达 3 MBps，最低可达 732.4 Bps
 - 在时钟频率为 4 MHz 时，可设置收发波特率高达 250 KBps，最低可达 61 Bps
- ◆ 支持硬件自动流量控制功能（CTS、RTS），可设置 RTS 控制触发点
 - Modem 硬件自动控制
 - RS485 发送使能控制
- ◆ 支持 CTS 唤醒功能
- ◆ 支持 IrDA SIR 模式（仅 EUART）
 - 支持 3/16 位宽功能
- ◆ 支持 RS-485

- 支持 9-位模式
- 多处理器通信
- ◆ 可设置的串行接口特性
 - 可设置数据位个数，即 5、6、7、8、9 位，9 位用于 RS485 模式
 - 校验位，奇、偶、无校验
 - 停止位长度可设置：1，2 位，在智能卡模式中支持 0.5，1.5 位
 - 支持设置高位（MSB）在前或低位（LSB）在前
- ◆ 单线半双工通讯（仅 EUART）
- ◆ 可配置交换 TX/RX 引脚
- ◆ LIN 主机的断路信号发送功能和 LIN 从机的断路信号检测功能（仅 EUART）
 - UART 设置为 LIN 模式时，有 13 位的断路信号产生器与断路信号检测功能
- ◆ 智能卡模式（仅 EUART）
 - 支持 ISO/IEC7816-3 标准定义的 T=0 和 T=1 智能卡异步协议
 - 智能卡使用的 1.5 停止位长度
- ◆ 支持 ModBus 通讯
 - CR/LF 字符识别
 - 超时检测功能
- ◆ 噪声侦测

22.3 结构图

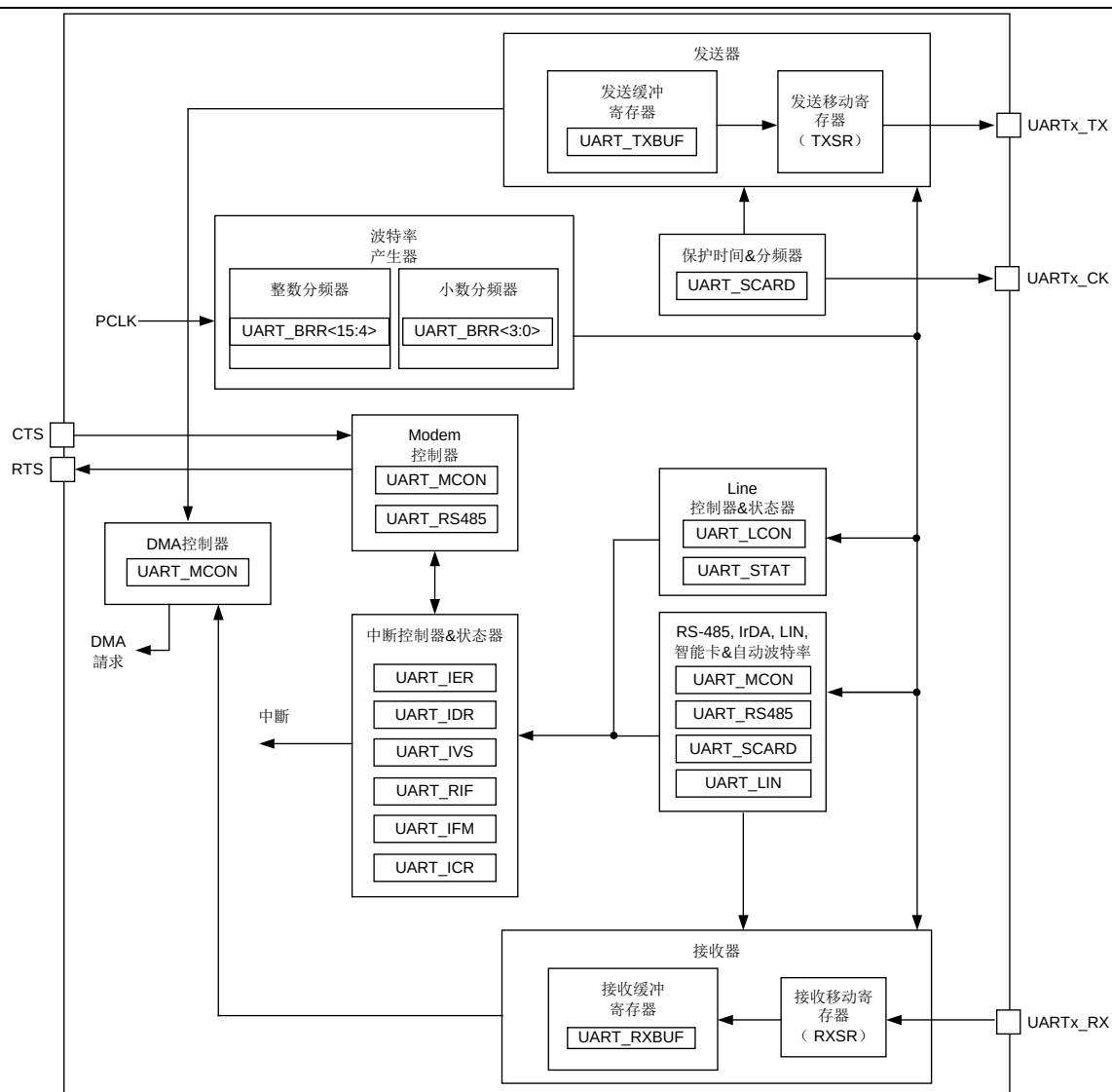


图 22-1 UART 框图

22.4 功能描述

任何 UART 双向通讯要求最少有两个引脚：接收数据输入（RX）和发送数据输出（TX）

- ◆ RX：接收数据输入，是串行数据的输入串口。使用过采样方式完成数据恢复，以区别输入数据和噪声。
- ◆ TX：数据发送输出。当发送器被关闭，引脚回到其 I/O 串口配置状态。当发送器开启，但不发送数据时，TX 脚为高电平输出。在单线半双工通信和智能卡模式中，这个串口既用于发送数据也用于接收数据。

通过这些引脚，串行数据用数据帧的形式发送和接收：

- ◆ 在发送和接收之前为空闲状态
- ◆ 起始位
- ◆ 数据可通过设置 UART_LCON 寄存器的 MSB 位，选择高位还是低位在前
- ◆ 1 或 2 个停止位表明帧的结束（0.5 或 1.5 个停止位用于智能卡模式）
- ◆ 采用小数波特率产生器，整数 12 位与小数 4 位
- ◆ 一个状态寄存器（UART_STAT）
- ◆ 独立的接收和发送数据寄存器（UART_RXBUF, UART_TXBUF）
- ◆ 一个波特率寄存器（UART_BRR）-12 位整数和 4 位小数。
- ◆ 一个智能卡寄存器（UART_SCARD）用于智能卡模式。
- ◆ 一个接收时间寄存器（UART_RTOR）侦测输入信号时间并产生中断

下面的引脚在智能卡模式中会用到：

CK：时钟输出。智能卡模式中，CK 引脚会向智能卡提供时钟。

下列引脚用于支持硬件流控制模式：

CTS：低发送，当高电平时作为发送阻止信号。

RTS：请求发送，表明 UART 已经准备好接收数据（低的时候）。

下列引脚用于 RS485 驱动开启控制：

DE：驱动开启将开启外部收发器的发送模式。

注：DE 和 RTS 共享同一个外部引脚。

22.4.1 具体功能配置

UART 特性	UART0 (EUART0)	UART1/2/3/4 (CUART0/1/2/3)
Modem 的硬件控制	v	v
使用 DMA 实现连续通信	v	v
多机通信模式	v	v
智能卡模式	v	-
单线半双工模式	v	-
IrDA SIR 模块	v	-
LIN 模式	v	-
超时检测功能	v	v
Modbus 通信	v	v
自动波特率检测模式	v	v
RS485 的驱动开启信号	v	v
UART 数据宽度	5、6、7、8、9 Bits	

表 22-1 UART0~4 具体功能配置

注：v 表示支持，支持 RS485 9bit 模式

22.4.2 功能描述

配置 UART_LCON 寄存器中的 DLS 位可选择 5、6、7、8 位字长。

默认设置中，发送和接收的起始位都是低电平，而停止位都是高电平。

TX/RX 引脚电平逻辑可以通过 UART_LCON 寄存器的 TXINV 与 RXINV 位设置为反向。

- ◆ 8 位字符宽度：DLS<1:0>=00
- ◆ 7 位字符宽度：DLS<1:0>=01
- ◆ 6 位字符宽度：DLS<1:0>=10
- ◆ 5 位字符宽度：DLS<1:0>=11

注：第 9 位使用于 RS485 多机通信模式

空闲符号被视为完全由'1' 组成的完整的数据帧，后面跟着包含了数据的下一帧的开始位（'1' 的位数也包括了停止位的位数）。

断路符号被视为在一个帧周期内全部收到'0'（包括停止位期间，也是'0'）。在断路帧结束时，发送器会再插入 2 个停止位。

发送和接收由一个共享的波特率产生器驱动，当发送器和接收器的开启位分别设置为 1 时，分别为其产生时钟。

下面是每个模块的详细说明。

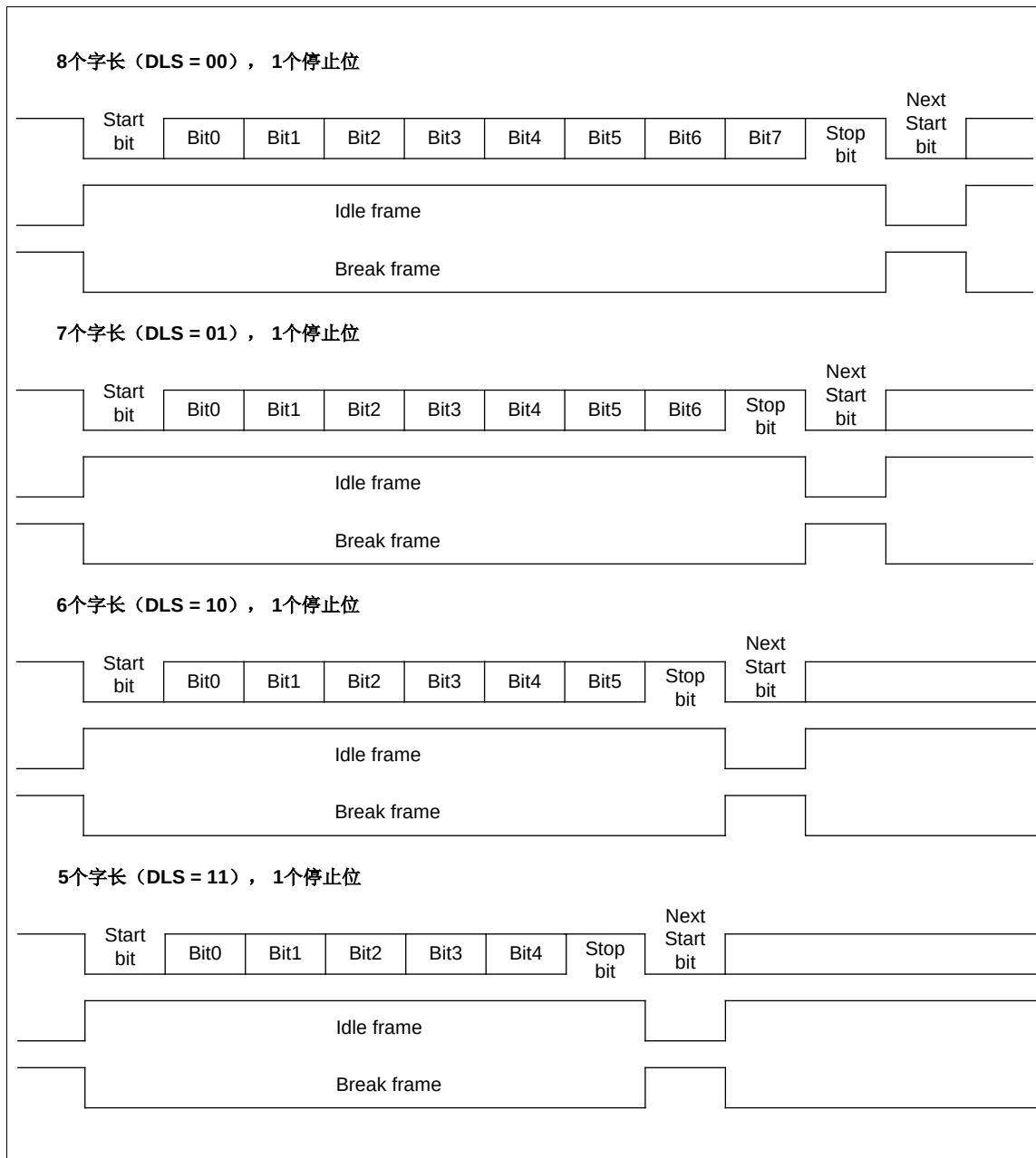


图 22-2 数据宽度设置

22.4.3 发送器

发送器根据 UART_LCON 寄存器的 DLS 位选择发送 5、6、7、8 位的数据，当写入 UART_TXBUF 寄存器，数据将存入移位寄存器中并将数据在 TX 引脚上输出。

在 UART 发送期间，在 TX 引脚上首先发送数据为最低有效位，UART_TXBUF 寄存器充当了一个内部总线和发送移位寄存器之间的缓冲器（TXSR）。

在发送每个数据字节之前有一个低电平的起始位，在数据字节发送结束后发送停止位，设置 UART_LCON 寄存器的 STOP 位选择停止位数。

UART 支持多种停止位的选择：0.5、1、1.5 和 2 个停止位（智能卡模式支持 0.5 与 1.5 停止位）。

- ◆ 0.5 个停止位：在智能卡模式中发送和接收数据时使用。
- ◆ 1 个停止位：停止位的位数默认值。
- ◆ 1.5 个停止位：在智能卡模式中发送和接收数据时使用。
- ◆ 2 个停止位：可用于普通 UART 模式、以及调制解调器模式。

注 1：在写入 UART_TXBUF 寄存器数据前必须先等待 UART_STAT 寄存器中的 TFEMPTY 位为 1。

注 2：开启 TX 开关后，数据才能在 TX 引脚上输出。

空闲帧包括了停止位。

断路帧可通过 UART_MCON 寄存器的 BKREQ 位产生 10 位低电平（当 DLS=00 时），9 位低电平（当 DLS=01 时），8 位低电平（当 DLS=10 时）或者 7 位低电平（当 DLS=11 时），后面跟 2 个停止位。

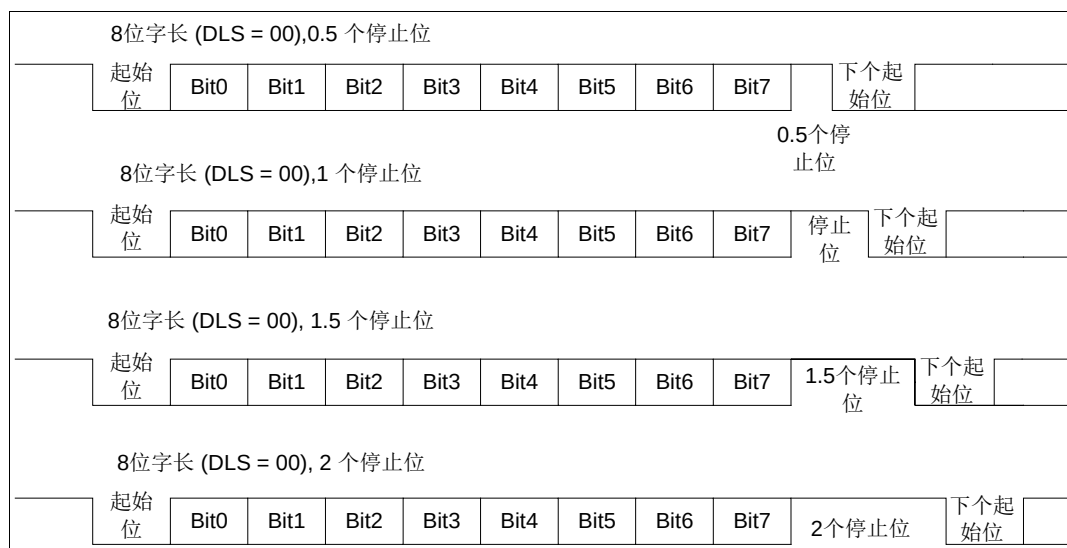


图 22-3 停止位配置

UART 发送配置步骤：

1. 设置 UART_LCON 寄存器中的 DLS 位配置字长。
2. 设置 UART_LCON 寄存器中的 STOP 位配置停止位的位数。
3. 设置 UART_LCON 寄存器中的 PE 与 PS 位配置校验控制开关与极性。
4. 设置 UART_BRR 寄存器选择波特率。
5. 如果采用多缓冲器通信, 设置 UART_MCON 寄存器中的 TXDMAEN 位为 1。按多缓冲器通信中的描述设置 DMA 寄存器。
6. 设置 UART_LCON 寄存器中的 TXEN 位, 开启发送器。
7. 把要发送的数据写进 UART_TXBUF 寄存器 (此动作将清除 UART_STAT 寄存器中的 TFEMPTY 位)。
8. 在 UART_TXBUF 寄存器中写入数据时, 要等待 UART_STAT 寄存器中的 TFEMPTY 位为 1。当关闭 UART 时, 需要先确认传输结束 (UART_STAT 寄存器中的 TSBUSY 位为 0), 避免破坏最后一次传输。

注: 当 UART_LCON 寄存器的 TXEN 与 RXEN 位为 1 时, 无法写入 UART_LCON 与 UART_BRR 寄存器。

22.4.4 接收器

22.4.4.1 防抖电路

在 UART_RX 引脚上配置了一个防抖动电路, 设置 UART_LCON 寄存器中的 DBCEN 位可开启防抖功能, 输入信号须维持至少 8 个时钟周期的高或低电平, 才能使得信号反应至 UART 中, 反之则被忽略, 如下叙述。

在下图中, SYNC0 是指输入信号由系统时钟一次采样; SYNC1 是指 SYNC0 被系统时钟一次采样; SYNC2 表示 SYNC1 由系统时钟一次采样。SYNC0、SYNC1 和 SYNC2 可以表示成 $x[n] \times Ts$, $x[n+1] \times Ts$ 和 $x[n+2] \times Ts$ 。Ts 是系统时钟周期, n 是采样时间。如果关闭防抖动模块, 时间就可以表示为 $x[n+1] \times Ts$ 。

如果开启防抖动模块, SYNC2 信号将进入去抖电路, 那么它将被采样与计数 (可设置样本频率和计数时间值)。时间可表示为 $[(SPT+1) \times (FILTCNT+1)] \times Ts$ 。SPT 是采样频率值, FILTCNT 是计数次数。当 SYNC1 和 SYNC2 不相等时, 计数值将被清零。如果计数值溢满 FILTCNT 寄存器, 防抖动模块将输出信号。

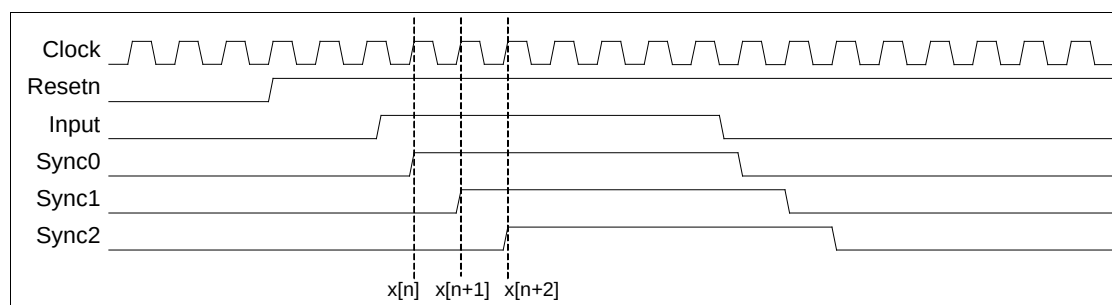


图 22-4 输入防抖动波形

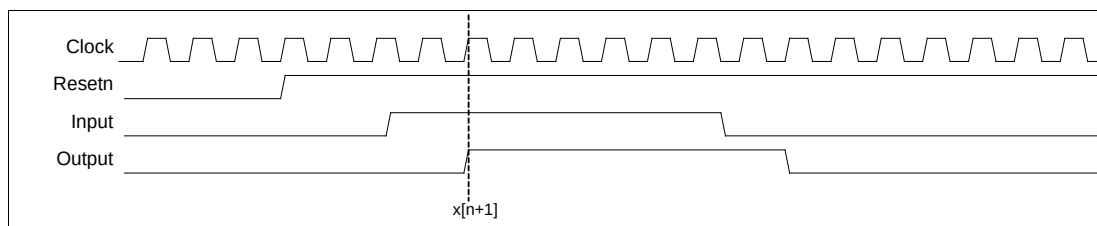


图 22-5 防抖动电路模块输出

22.4.4.2 起始位侦测

接收器根据 UART_LCON 寄存器中 DLS 位的状态接收 5、6、7、8 位的数据字。

起始位侦测在 UART 中，如果辨认出一个特殊的采样序列，那么就认为侦测到一个起始位。

该序列为：1 1 1 0 X 0 X 0 0 0 0 X X X X X X

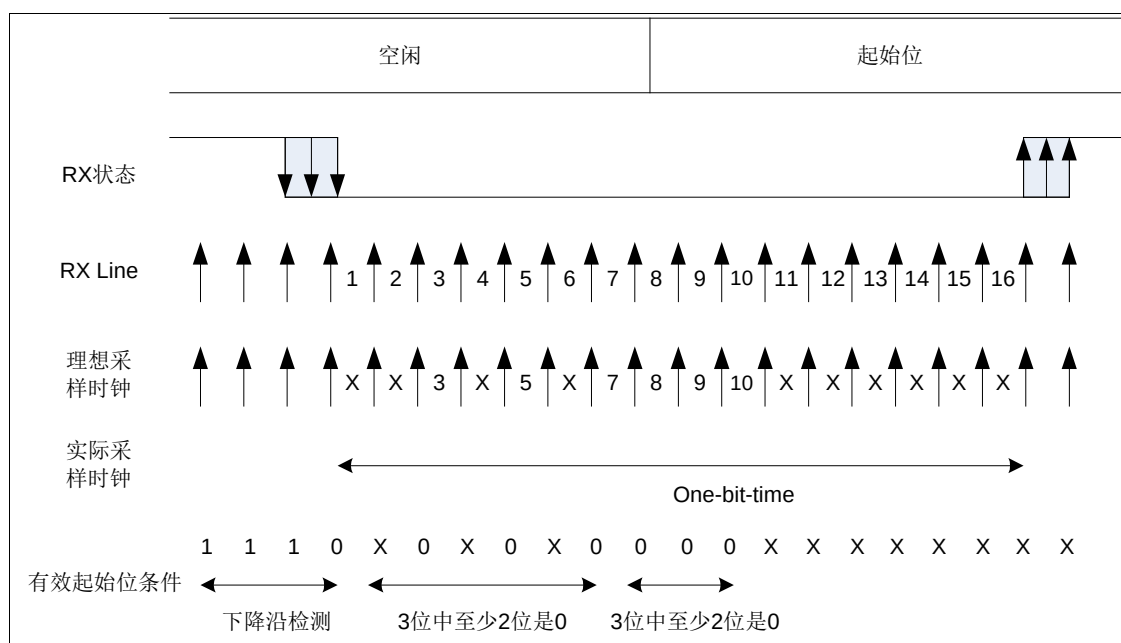


图 22-6 起始位侦测

注 1：如果该序列不完整，那么接收端将退出起始位侦测并回到空闲状态（不设置标志位）开始等待下降沿。

注 2：如果 3 个采样点都为 '0'（在第 3、5、7 位的第一次采样，和在第 8、9、10 的第二次采样都为 '0'），则确认收到起始位。

注 3：如果两次 3 个采样点有 2 个是 '0'（第 3、5、7 位的采样点和第 8、9、10 位的采样点），那么起始位仍然是有效的。如果不能满足这个条件，则中止起始位的侦测过程，接收器会回到空闲状态。

注 4：如果两次 3 个采样点有 2 个是 '1'（第 3、5、7 位的采样点和第 8、9、10 位的采样点），那么起始位是无效的，将退出起始位侦测并回到空闲状态，并会设置噪声标志位。

UART 接收配置步骤:

1. 设置 UART_LCON 寄存器中的 DLS 位配置字长。
2. 设置 UART_LCON 寄存器中的 STOP 位配置停止位的位数。
3. 设置 UART_LCON 寄存器中的 PE 与 PS 位配置校验控制开关与极性。
4. 设置 UART_BRR 寄存器选择配置的波特率。
5. 如果采用多缓冲器通信, 设置 UART_MCON 寄存器中的 RXDMAEN 位为 1。根据多缓冲器通信中的描述设置 DMA 寄存器。
6. 设置 UART_LCON 寄存器中的 RXEN 位, 这将开启接收器, 使它开始寻找起始位。

当一个字节被接收到时, UART_STAT 寄存器的 RFNEMPTY 位被设置为 1。它表明移位寄存器的内容被转移到 RX 中。换句话说, 数据已经被接收并且可以被读出 (包括与之有关的错误标志)。

在数据接收期间如果检测到帧错误, 噪音或溢出错误, 错误标志将被设置为 1。同时 RXBERR 位也会和 RFNEMPTY 位一起被设置为 1。在多缓冲器通信时, RFNEMPTY 在接收 1 个字节后被设置为 1, 并由 DMA 对数据寄存器的读取而清除。

RFNEMPTY 位必须在下一字节接收结束前被清零, 以避免溢出错误。

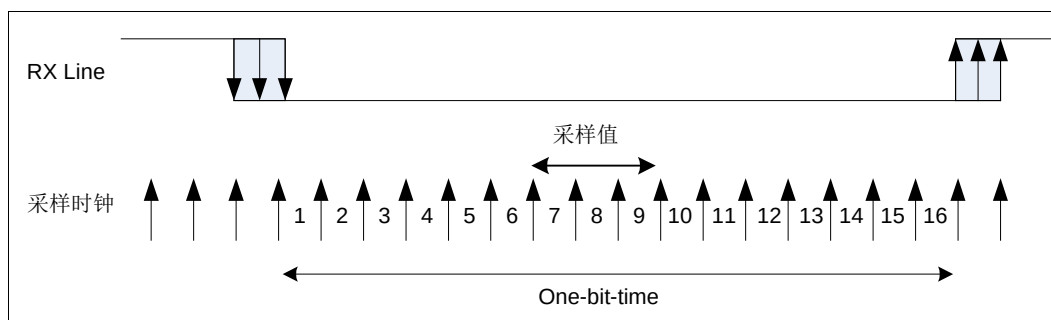


图 22-7 数值采样

帧错误

当以下情况发生时检测到帧错误:

由于没有同步成功或大量噪音的原因, 停止位没有在预期的时间接收和检测出来。

当帧错误被检测到时:

1. FERR 位被硬件置 1
2. 此时读取的 UART_RXBUF 寄存器数据可能有错。
3. 寄存器 UART_STAT 中的 FERR 位显示当前读取的 UART_RXBUF 寄存器是否为帧错误。
4. 寄存器 UART_RIF 中的 RXBERR 位则会在接收的过程中被设置为 1, 若 UART_IER 中的 RXBERR 位为 1 则会产生中断。

奇偶位错误

当以下情况发生时检测到奇偶性错误:

由于没有同步成功或大量噪音的原因, 奇偶位没有在预期的时间接收和检测出来。

当奇偶位错误被检测到时：

1. PERR 位被硬件设置为 1
2. 此时读取的 UART_RXBUF 寄存器数据可能有错。
3. 寄存器 UART_STAT 中的 PERR 位显示当前读取的 UART_RXBUF 寄存器是否为奇偶位错误。
4. 寄存器 UART_RIF 中的 RXBERR 位则会在接收的过程中被设置为 1，若 UART_IER 中的 RXBERR 位为 1 则会产生中断。

断路错误

当以下情况发生时检测到断路错误：

由于没有同步成功或大量噪音的原因，数据与停止位为 0 且没有在预期的时间接收和检测出来。

当断路错误被检测到时：

1. BKERR 位被硬件设置为 1
2. 此时读取的 UART_RXBUF 寄存器数据可能有错。
3. 寄存器 UART_STAT 中的 BKERR 位显示当前读取的 UART_RXBUF 寄存器是否为断路错误。
4. 这个错误并不会产生中断。

溢出错误

当以下情况发生时检测到溢出错误：

RX 还没有被读取，而又接收到一个数据字节，则发生溢出错误。

当溢出错误被检测到时：

1. RFOERR 位被硬件设置为 1
2. UART_RXBUF 内容将不会丢失，读取 UART_RXBUF 寄存器仍能得到先前的数据。
3. 移位寄存器中以前的内容将被覆盖，随后接收的数据将丢失。
4. 寄存器 UART_RIF 中的 RFOERR 位则会在接收的过程中被设置为 1，若 UART_IER 中的 RFOERR 位为 1 则会产生中断。

采样值	采样位数值
000	0
001	0
010	0
011	1
100	0
101	1
110	1
111	1

表 22-2 采样数据的噪音检测数值

22.4.5 状态寄存器

在 UART 中配置了 11 种 UART 状态，描述如下

- ◆ **PERR** (Parity error):
当所接收的数据没有正确的校验位，产生奇偶位错误。
- ◆ **FERR** (Frame error):
当接收到的停止位为 0 时，产生帧错误。
- ◆ **BKERR** (Break error):
当接收到的数据与停止位为 0 时，产生断路错误。
- ◆ **CTSSTA** (CTS status error):
清除发送，此位为显示 CTS 引脚上的输入状态。当 CTSSTA 位为 0，表示调制解调器和数据设备已准备好与 UART 进行数据交换。
- ◆ **RSBUSY** (RX shifter register busy):
当此位为 1 表示接收器正在接收数据，为 0 则为完成接收。
- ◆ **RFNEMPTY** (RXnot empty):
当此位为 1 表示 RX 已接收 1 个数据。
- ◆ **RFOERR** (RX overrun):
当此位为 1 表示 RX 已满，且又再接收 1 个数据字节，此时 RX 数据不会丢失，新接收的数据字节则会被丢失。
- ◆ **RFUERR** (RX underrun):
当此位为 1 表示 RX 内无任何数据，且又被读取。
- ◆ **TSBUSY** (TX shifter register busy):
当此位为 1 表示发送器正在传送数据，为 0 则为传送完成，当写入第一个数据至 UART_TXBUF 寄存器就会使得 TSBUSY 位为 1。
- ◆ **TFEMPTY** (TX empty):
当此位为 1 表示 TX 内无任何数据，为 0 则为准备发送 1 个以上的数据字节。
- ◆ **TFOERR** (TX overrun):
当此位为 1 表示 TX 已满，且又在写入 1 个字节，此时 TX 内的数据不会丢失，新写入的数据字节则会被丢失。

22. 4. 6 波特率产生器

设置 UART_BRR 寄存器可配置接收器和发送器的波特率。

◆ $UARTDIV = UART.BRR.$

◆ $TX/RX \text{ baud} = PCLK / UARTDIV$

注 1: 当 UART_LCON 寄存中的 RXEN 与 TXEN 为 1 时, UART_BRR 寄存器无法被写入。

注 2: 当 $BRR<15:4>=0$ 时, UART 无法运行。

根据 UART_BRR 寄存器值可计算出 UART 波特率

- ◆ 在 4 MHz 时, 为了得到 115200 波特
 - $UARTDIV = 4000000/115200 = 34.7$
 - $BRR<15:0> = UARTDIV = 35 = 0x23$ (四舍五入)
- ◆ 在 8 MHz 时, 为了得到 9600 波特
 - $UARTDIV = 8000000/9600 = 833.33$
 - $BRR<15:0> = UARTDIV = 833 = 0x341$ (四舍五入)
- ◆ 在 16 MHz 时, 为了得到 1200 波特
 - $UARTDIV = 16000000/1200 = 13333.33$
 - $BRR<15:0> = UARTDIV = 13333.33 = 0x3415$ (四舍五入)
- ◆ 在 24 MHz 时, 为了得到 460800 波特
 - $UARTDIV = 24000000/460800 = 52.08$
 - $BRR<15:0> = UARTDIV = 52 = 0x34$ (四舍五入)
- ◆ 在 48 MHz 时, 为了得到 115200 波特
 - $UARTDIV = 48000000/115200 = 416.66$
 - $BRR<15:0> = UARTDIV = 417 = 0x1A1$ (四舍五入)
- ◆ 在 48 MHz 时, 为了得到 921600 波特
 - $UARTDIV = 48000000/921600 = 52.08$
 - $BRR<15:0> = UARTDIV = 52 = 0x34$ (四舍五入)

预期波特率	实际波特率	BRR<15:0>	%误差
734Bps	733KBps	0xFFCC	0
1.2KBps	1.2KBps	0x9C40	0
2.4KBps	2.4KBps	0x4E20	0
4.8KBps	4.8KBps	0x2710	0
9.6KBps	9.6KBps	0x1388	0
19.2KBps	19.2KBps	0x9C4	0
38.4KBps	38.4KBps	0x4E2	0
57.6KBps	57.62KBps	0x341	0.03
115.2KBps	115.11KBp	0x1A1	0.08
230.4KBps	230.77KBp	0xD0	0.16
460.8KBps	461.54KBp	0x68	0.16
921.6KBps	923.07KBp	0x34	0.16
1.5Mbps	1.5Mbps	0x20	0
2Mbps	2Mbps	0x18	0
3Mbps	3Mbps	0x10	0

表 22-3 系统时钟为 48MHz，设置波特率时的误差计算

22.4.7 自动波特率侦测

UART 可以根据接收到的一个字节来检测和自动设置 UART_BRR 寄存器的值。自动波特率检测用于以下两种情况下：

- ◆ 通信速度不可知的情况下
- ◆ 使用低精度时钟源时，需要在不测量时钟偏差的条件下调整波特率的时候

时钟源的频率必须和预期的波特率保持相对的比例（过采样率为 16，并且波特率处于 $f_{PCLK}/65535$ 和 $f_{PCLK}/16$ 之间）。

在开启自动波特率检测时，必须先确认数据字节的内容。根据不同的数据字节内容选择模式，能够通过 UART_MCON 寄存器中的 ABRMOD 位进行选择。具体是：

- ◆ 模式 0 (0x00)：波特率在 UART 的 RX 引脚的两个连续的下降沿时间测量（起始位的下降沿和最低数据位的下降沿（LSB））
- ◆ 模式 1 (0x01)：波特率在 UART 的 RX 引脚下降沿和后续上升沿时间（起始位的长度）测量。
- ◆ 模式 2 (0x10)：波特率在 UART 的 RX 引脚下降沿和后续上升沿时间（起始位的长度加上 bit<0>的长度）测量（e.g. 0xFE）。

设置 UART_MCON 寄存器中的 ABREN 位为 1，开启自动波特率检测功能。UART 在 RX 上等待第一个数据字节过来。当自动波特率操作结束后，UART_RIF 寄存器中的 ABEND 位会被硬件自动设置为 1，若 UART_IER 寄存器中的 ABEND 位为 1 则会产生中断。

如果线路噪声严重，不能保证得到的波特率是准确的。这时 BRR 值可能是错的或者 ABEND

位会被设置为 1。在通信速度超出自动波特率检测范围（位长度不在 0x10 到 0xFFFF 个时钟周期之间）时也会发生这种情况。

在此模式中配置了两个中断，分别为侦测超时与侦测结束中断。

在软件未清除 UART_MCON 寄存器中的 ABREN 的情况下，UART 计数器会持续计数直到 0xFFFF 后，硬件会自动将 ABREN 清除，并将 UART_RIF 寄存器中的 ABTO 位设置为 1，如果开启中断，则会产生 ABTO 中断。

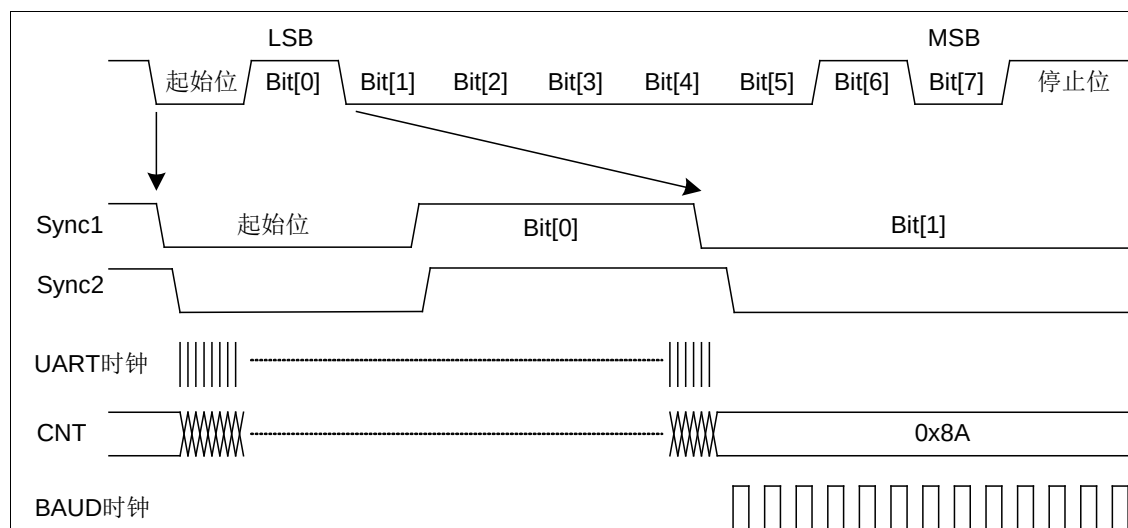


图 22-8 自动波特率侦测模式 0

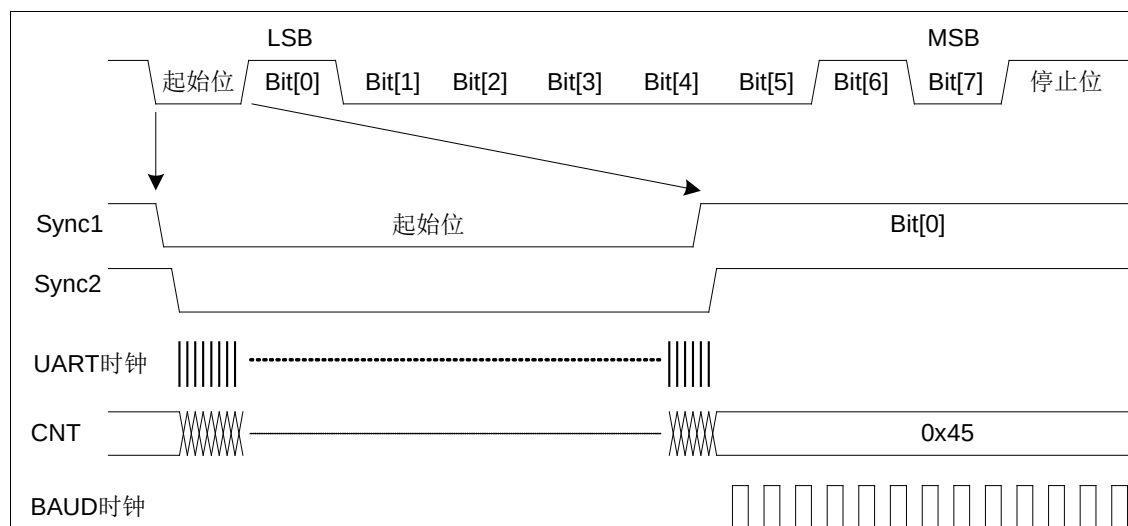


图 22-9 自动波特率侦测模式 1

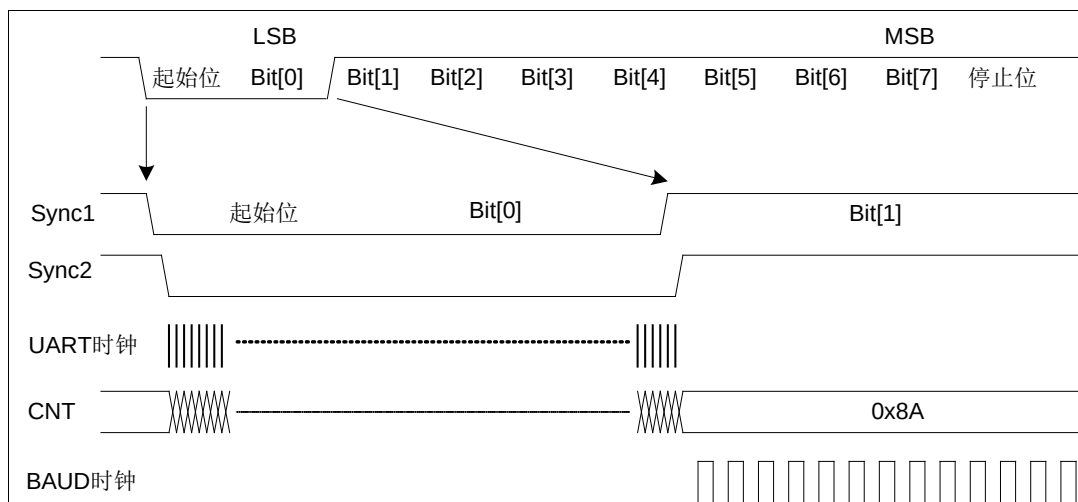


图 22-10 自动波特率侦测模式 2

22.4.8 自动流量控制

如果使能自动流控制，接收 FIFO 和发送 FIFO 会通过 UARTx_RTS 和 UARTx_CTS 引脚去控制 UART 的接收（RX）和发送（TX）。

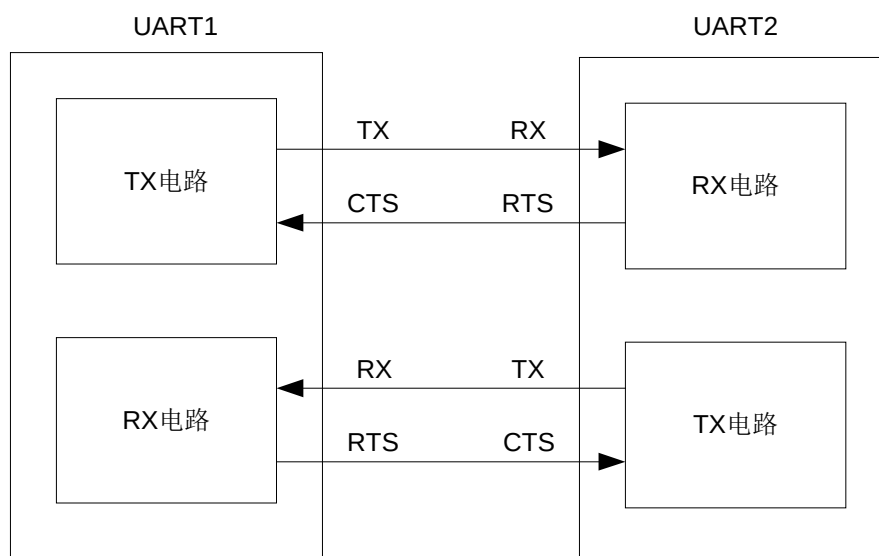


图 22-11 自动流量控制框图

22.4.8.1 RTS流量控制

当开启自动 RTS 控制时 (AFCEN=1)，当 UART 接收器准备好接收新数据，便会将 RTS 转为有效状态（输出低电平）。当接收器已满时，会将 RTS 转为无效状态（输出高电平），表示发送过程会在当前帧结束后停止。

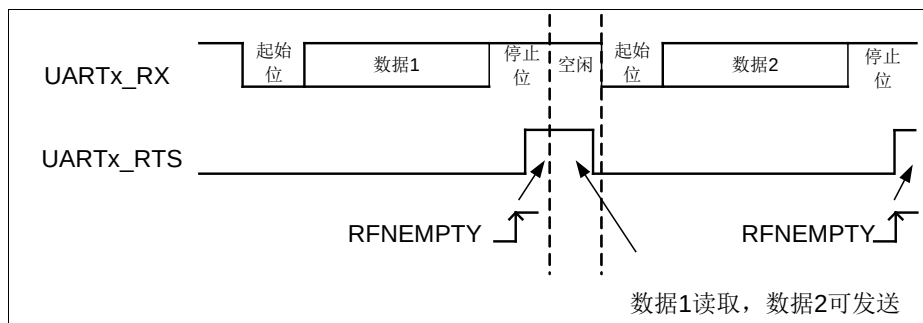


图 22-12 自动 RTSn 控制

22.4.8.2 CTSn流量控制

当开启自动 CTS 控制时 (AFCEN=1)，发送器会在发送下一帧前检查 CTS。如果 CTS 为有效状态（输入低电平），则会发送下一个数据（假设数据已准备好发送，即 TFEMPTY=0）；否则不会进行发送。如果在发送过程中 CTS 转为无效状态（输入高电平），则当前发送完成之后停止发送器。只要 CTS 发生变化，UART_STAT 寄存器的 CTSSTA 位便会由硬件自动设置为 1 或 0。这表示接收器是否已准备好进行通信。如果 UART_IER 寄存器中的 DCTS 位为 1 则会产生中断。



图 22-13 自动 CTSn 控制

22.4.8.3 RS485 驱动使能 (DE)

当开启 RS485 驱动开启功能 (UART_RS485 寄存器的 AADEN=1 或 AADNEN=1)，允许用户通过 DE（驱动开启）信号来开启外部收发器的控制端。延迟时间是在发送最后一个数据字节的停止位和释放 DE 信号之间插入延迟，这个时间通过 UART_RS485 寄存器中的 DLY 位设置。而 DE 信号的极性则可以通过 UART_RS485 寄存器中的 AADINV 位中设置并进行选择极性。

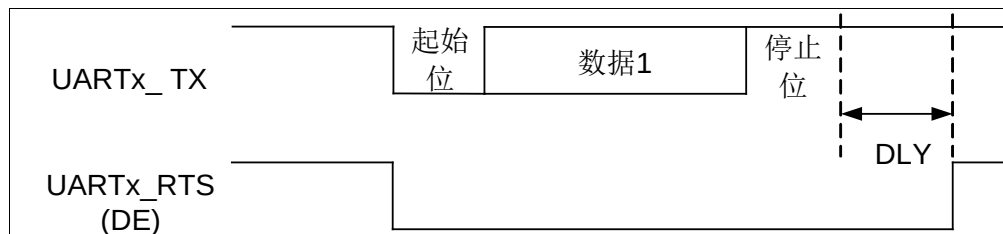


图 22-14 驱动开启, AADINV=0

22.4.9 Modbus通信

UART 提供对 Modbus/RTU 和 Modbus/ASCII 协议实现的基本支持。Modbus/RTU 是一个半双工的块式传输协议。协议的控制部分（地址检测，块完整性控制和命令解析）必须由软件来完成。UART 提供对块尾的基本支持检测，无需软件的经常性介入。

◆ Modbus/RTU

这个模式中，一个块结束为一个超过 2 个字节长度的空闲状态。通过设置一个超时长度来实现该功能。

超时功能和相应的中断必须通过 UART_RTOR 寄存器中的 RTOEN 位和 UART_IER 寄存器中的 RXTO 位来开启。UART_RTOR 寄存器中的 RTO 位要填入一个与超时长度相当的数字（例如 2 个字节长度为 22 个位长）。当接收线路保持空闲阶段达到这个长度时，在最后一个停止位被收到之后，会产生一个中断，表示当前的块接收已经完毕。

◆ Modbus/ASCII

在这个模式下，一个块结束通过特定 (CR/LF) 字节侦测，通过字节匹配功能实现该机制。

将 LF 的 ASCII 码写到 ADD<7:0>区域，设置 UART_IER 寄存器中的 ADDRM 位为 1 开启功能，那么软件就会在收到 LF 字节后或者能够在 DMA 缓冲区中找到 CR/LF 字节时得到通知。

22.4.10 校验控制

设置 UART_LCON 寄存器中的 PE 位为 1 开启校验控制（发送时生成一个校验位，接收时进行校验位检查）。根据 DLS 位配置的帧长度，下表中列出可能的 UART 帧格式。

DLS<1:0>	PE	UART 帧
00	0	起始位+8 位数据+停止位
00	1	起始位+8 位数据+校验位+停止位
01	0	起始位+7 位数据+停止位
01	1	起始位+7 位数据+校验位+停止位
10	0	起始位+6 位数据+停止位
10	1	起始位+6 位数据+校验位+停止位
11	0	起始位+5 位数据+停止位
11	1	起始位+5 位数据+校验位+停止位

表 22-4 帧格式

◆ 奇校验

校验位为一帧中的 8、7、6 或 5 个 LSB 位以及校验位'1'的个数为奇数。

例如：数据=00110101，有 4 个'1'，如果选择奇校验（在 UART_LCON 寄存器中的 PS 位为 0），校验位将是'1'。

◆ 偶校验

校验位为一帧中的 8、7、6 或 5 个 LSB 位以及校验位'1'的个数为偶数。

例如：数据=00110101，有 4 个'1'，如果选择偶校验（在 UART_LCON 寄存器中的 PS

位为 1)，校验位将是'0'。

◆ 接收时的校验检查

如果校验检查失败，UART_STAT 寄存器中的 PERR 位会被设置为 1，如果 UART_IER 寄存器中的 RXBERR 位为 1 则会产生中断。

◆ 发送时的校验生成

设置 UART_LCON 寄存器的 PE 位为 1 时，写进数据寄存器的数据的 MSB 位由校验位替换后发送出去（选择奇校验奇数个'1'（PS=0）或选择偶校验偶数个'1'（PS=1））。

22.4.11 多处理器通信

设置 DLS 位为 8 位字长（第 9bit 为判断地址或数据）。

设置 UART_RS485 寄存器的 AADEN 位为 1 以进入模式。

设置 UART_RS485 寄存器的 ADDR 位配置匹配地址。

可以将多个 UART 连接成一个网络来实现多机通信。例如某个 UART 设备可以是主 UART，它的 TX 输出和其他 UART 从设备的 RX 输入相连接；UART 从设备各自的 TX 输出在逻辑上通过与运算连在一起，并且和主设备的 RX 输入相连接。

在多处理器配置中，通过特定地址的将接收器开启，来接收随后的数据，这样就可以减少由未被寻址接收器的参与带来的多余的 UART 服务开销。

未被寻址的设备可开启静默功能进入静默模式。设置 UART_RS485 寄存器的 AADEN 位为 1 开启静默模式功能。

在这个模式中，如果 MSB 是 1，该字节被认为是地址，否则被认为是数据。在一个地址字节中，目标接收器的地址被放在 UART_RS485 寄存器的 ADDR 位。

如果接收到的字节与它设置的地址不匹配时，UART 进入静默模式。当 UART 进到静默模式后，接收字节时既不会影响 UART_RIF 寄存器的 RFNEMPTY 位，也不会产生中断或发出 DMA 请求。

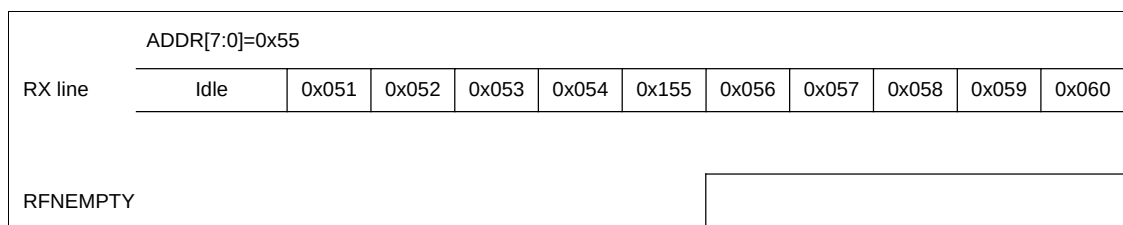


图 22-15 使用地址标示侦测模式

22. 4. 12 LIN模式（仅EUART支持）

◆ LIN 发送

和普通的 UART 发送相同，但有下列区别：

设置 DLS 位为 8 位字长。

设置 UART_LIN 寄存器的 LINEN 位为 1 以进入 LIN 模式。设置 UART_LIN 寄存器的 LINBKRQ 位为 1 将发送 13 位'0' 作为断路符号。然后发两位'1'，以检测下一个开始位。

◆ LIN 接收

当 LIN 模式开启时(UART_LIN 寄存器的 LINEN 位为 1)，检测断路符号电路自动被开启。该检测独立于 UART 接收器。不管是在空闲状态还是在发送数据期间，断路符号只要一出现就能被检测到。

一旦接收器被开启(LCON 寄存器的 RXEN 位为 1)，电路就开始检测 RX 上的起始信号。检测起始位的方法和检测断路符号或数据是一样的。当起始位被检测到后，电路检测接下来的每个位，在每个位的第 8，9，10 个过采样时钟点上进行采样，就像采样数据一样。如果 10 个（当 UART_LIN 寄存器中的 LINBDL=0）或 11 个（当 UART_MCON 寄存器中的 LINBDL=1）连续位都是'0'，并且又跟着一个分隔符，UART_RIF 寄存器的 LINBK 位就会被设置为 1。如果 UART_IER 寄存器的 LINBK 位为 1 则会产生中断。在确认断路符号前，要检查分隔符，因为它表示 RX 已经回到高电平。如果在第 10 或 11 个采样点之前采样到了'1'，检测电路取消当前检测并重新寻找起始位。如果 LIN 模式被关闭，接收器则继续正常 UART 工作，不再考虑检测断路符号。如果 LIN 模式被开启（LINEN=1），只要一发生帧错误（例如：停止位检测到'0'，这种情况出现在断路符号被接收到的时候），接收器就会立即停止，直到电路检测断路符号后接收到一个'1'（这种情况发生于断路符号没有完整的发出来），或一个分隔符（这种情况发生于已经检测到一个完整的断路符号）。

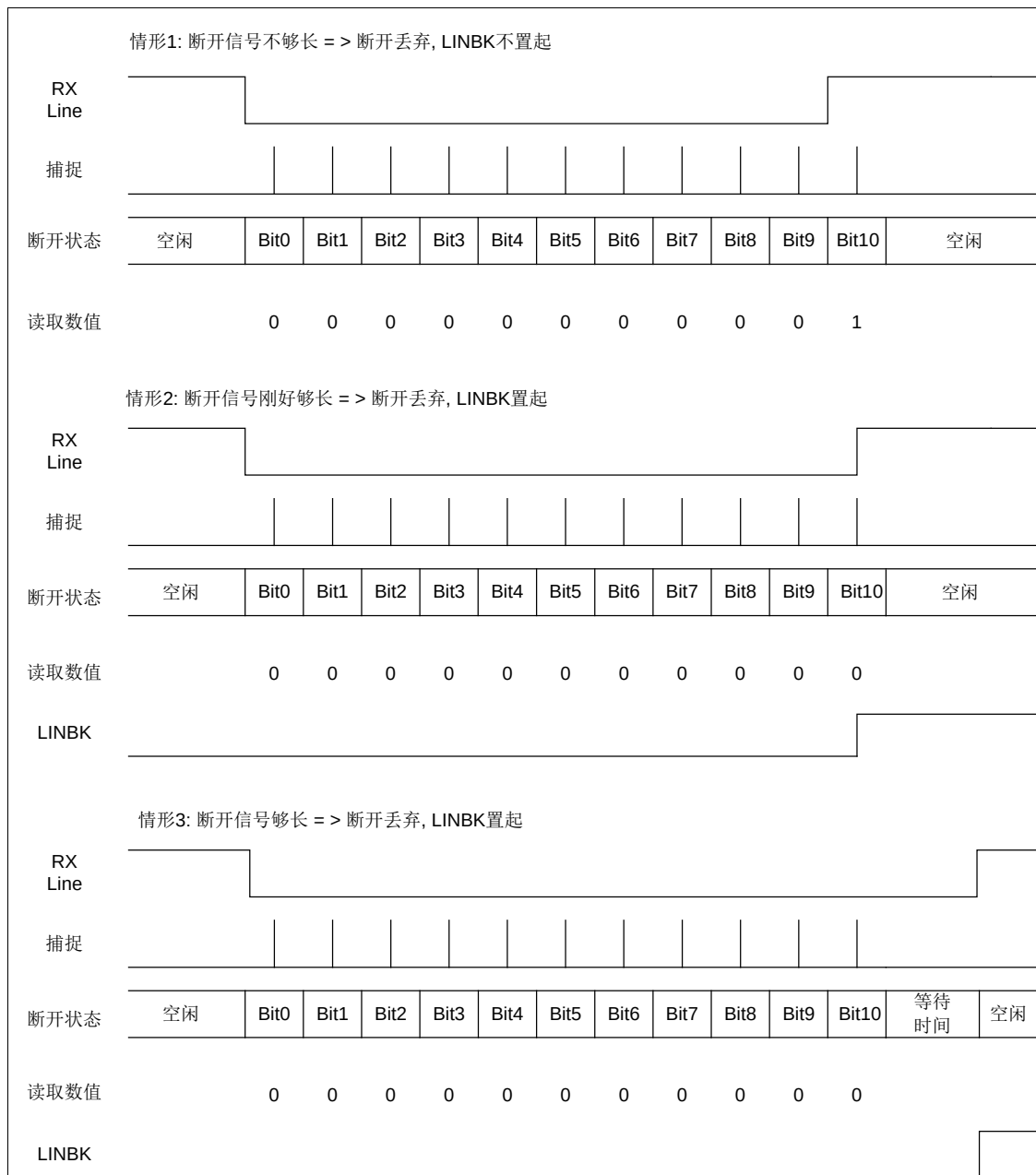


图 22-16 LIN 模式侦测断路信号（11 位断路长度– LBDL 位为 1）

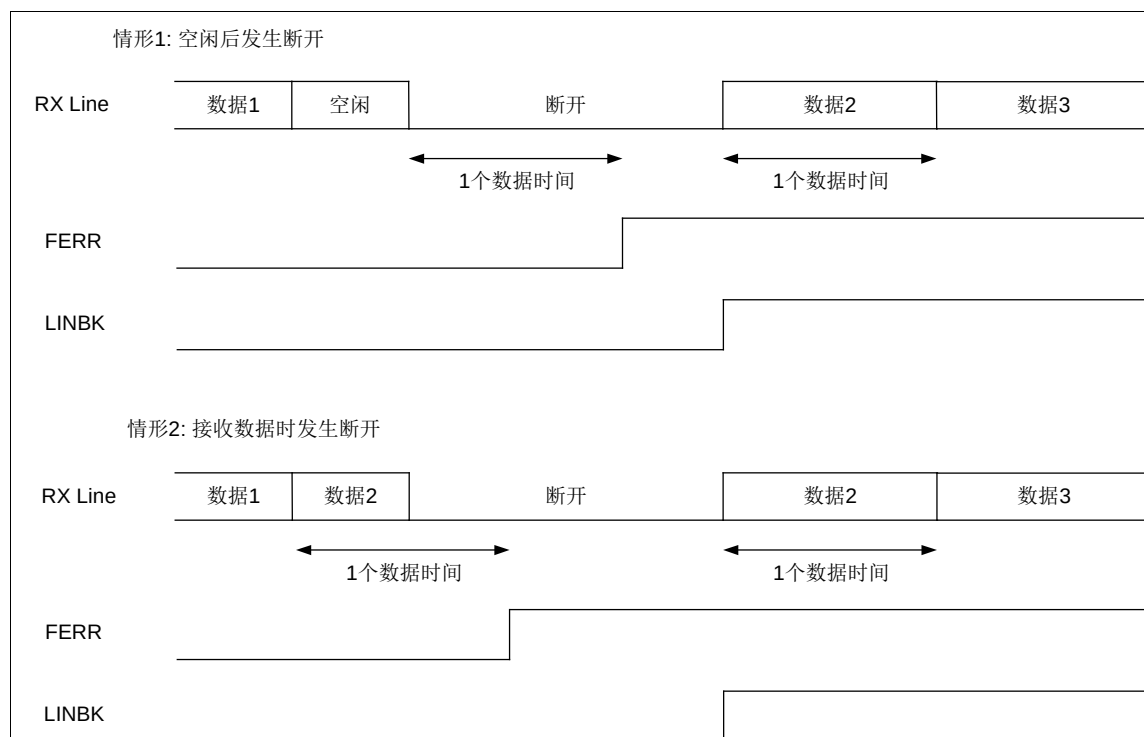


图 22-17 LIN 模式侦测断路信号与帧错误信号

22. 4. 13 单线半双工通讯（仅EUART支持）

UART 可以配置成遵循单线半双工协议。在单线半双工模式中，TX 和 RX 引脚在芯片内部是连在一起的。使用控制位（UART_MCON 寄存器中的 HDEN 位）选择半双工或全双工通信。

◆ 当 HDEN 为 1 时：

- TX 和 RX 引脚在芯片内部是连在一起的。
- RX 不再被使用。
- 当没有数据传输时，TX 引脚为释放状态。因此，在空闲状态或接收状态时为一个标准 I/O 串口。这就表示该 I/O 串口在不被 UART 驱动时，必须配置成悬空输入（或开漏的高输出）。

除此以外，通信与正常 UART 模式类似。由软件来管理在线的冲突（例如通过使用一个中央仲裁器）。特别的是，发送从不会被硬件所阻碍。当 LCON 寄存器的 TXEN 位为 1，只要数据一写到数据寄存器中，发送就会开始。

22.4.14 智能卡模式（仅EUART支持）

设置 8 位数据位加校验位：即 LCON 寄存器中 DLS=00，PE=1。

设置 0.5/1.5 个停止位：即 LCON 寄存器的 STOP=0/1。

设置 UART_SCARD 寄存器的 SCEN 位为 1 以进入智能卡模式。

在 T=0（字节）模式中，当校验错误时，在数据字节发送完毕后将接收器拉为低电平产生保护时间。

下图所示为数据在线有校验错误和没有校验错误时的情形。

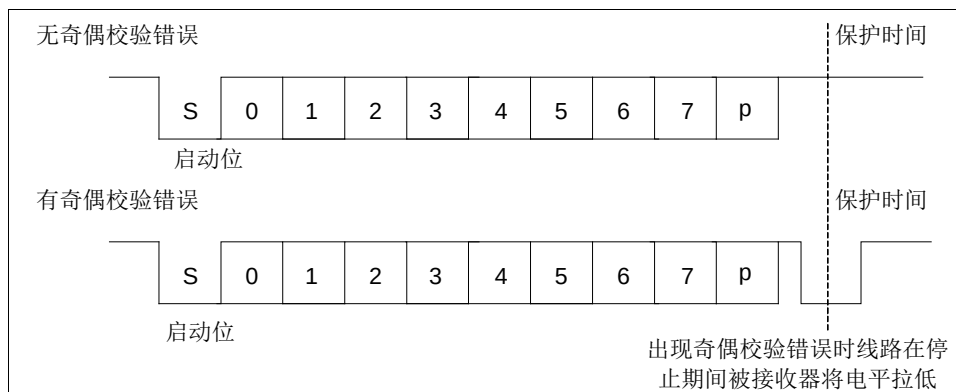


图 22-18 ISO 7816-3 异步协定

当连接到智能卡时，UART 的 TX 引脚和智能卡通过同一根双向数据线进行通信。所以 TX 引脚必须配置成开漏状态。智能卡是一个单线半双工通信协议：

- ◆ 从发送移位寄存器发送数据会经过至少 1/2 个时钟周期的延迟。正常工作时，已满的发送移位寄存器会在下一个时钟边沿开始移位。在智能卡模式中，此发送过程还会产生一个 1/2 波特时钟周期的延迟。
- ◆ 如果在接收一个使用 0.5 或 1.5 个停止位设置的帧期间检测到奇偶位错误，则在完成接收帧后，发送线会被拉低一个时钟周期。这是为了向智能卡指出发送到 UART 的数据尚未正确接收。此 NACK 信号（将发送线拉低 1 个时钟周期）会导致发送器端（配置为 1.5 个停止位）出现帧错误。软件根据协议重新发送数据。如果设置 NACK 位为 1，则接收器会发送 NACK 信号；否则不会发送 NACK 信号（T=1 模式中使用）。
- ◆ 通过对保护时间寄存器进行设置，可以延迟 UART_STAT 寄存器的 TBC 的设置时间。正常工作时，当发送移位寄存器为空时，会对 TBC 位设置为 1。在智能卡模式中，空的发送移位寄存器会触发保护时间计数器，使其递增计数至保护时间寄存器中的值。在此期间，TBC 位被强制设置为 0。当保护时间计数器达到设置值时，TBC 位被设置为 1。
- ◆ 对 TBC 位的设置不受智能卡模式的影响。
- ◆ 如果在发送端检测到帧错误（由来自接收器的 NACK 信号引起），则发送端的接收器不会将 NACK 作为起始位进行检测。根据 ISO 协议，接收到的 NACK 信号的持续时间可以是 1 或 2 个时钟周期。

- ◆ 在接收端，如果检测到奇偶位错误并发送了 NACK 信号，则接收端不会将 NACK 作为起始位进行检测。

注：在智能卡模式中带有帧错误的 0x00 数据将被视为数据，而非中断。

下图详细介绍了 UART 如何对 NACK 信号采样。在本例中，UART 正在发送数据并配置了 1.5 个停止位。UART 的接收部分已开启，以检查数据的完整性和 NACK 信号。

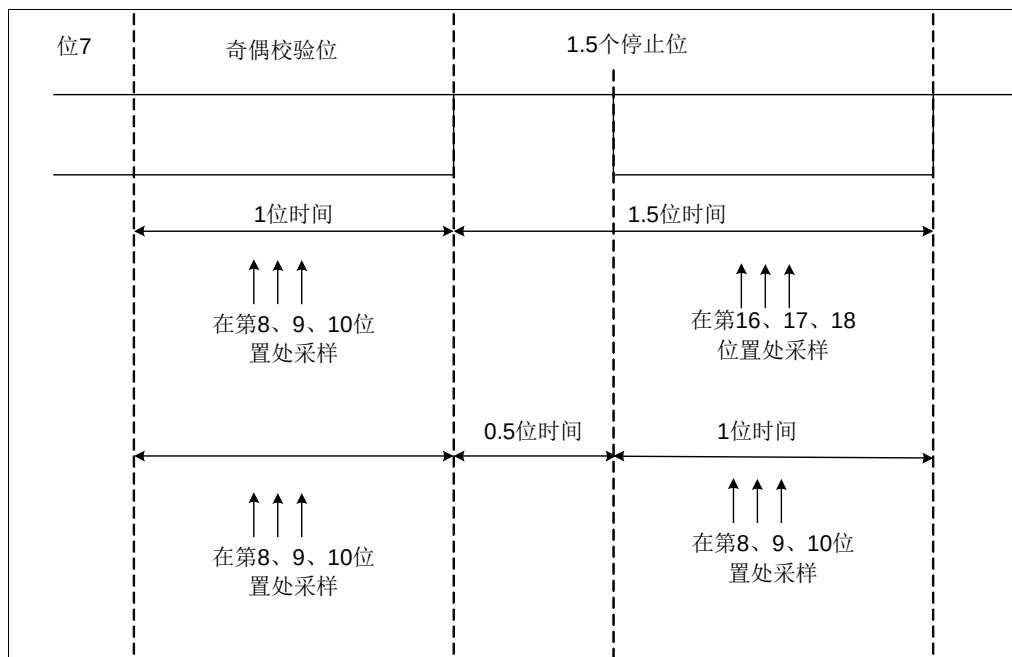


图 22-19 1.5 位停止位时检测校验错误

UART 可以通过 CK 引脚向智能卡提供时钟。智能卡模式中，CK 时钟和通信没有关系，只是通过一个 5 位的预分频器从内部外设时钟源得到时钟信号。这个分频系数通过 UART_SCARD 寄存器的 PSC 位配置。CK 频率可以设置在 $f_{CK}/2$ 到 $f_{CK}/64$ 之间， f_{CK} 指外设输入时钟。

22. 4. 15 IrDA SIR模式（仅EUSART支持）

设置 UART_MCON 寄存器的 IREN 为 1 以进入 IrDA 模式。

IrDA SIR 物理层规定使用反相归零（RZI）调制方案，它以红外光脉冲表示逻辑 0。

SIR 发送编码器用于调制 UART 发出的非归零（NRZ）编码。输出脉冲会发送到外部输出驱动器和红外线 LED。UART 支持的 SIR 编码比特率最高为 115.2Kbps。在正常模式中，所发送的脉冲宽度规定为一个位周期的 3/16。

SIR 接收译码器用于解调由红外探测器发出的归零编码，并将接收到的 NRZ 串行编码输出到 UART。在空闲状态下，译码器输入为高电平（标记状态）。发送编码器输出的极性与译码器输入相反。当译码器输入为低电平时，会检测到起始位。

IrDA 是一个半双工通信协议。如果发送器发送时，例如 UART 正在向 IrDA 编码器发送数据，则 IrDA 译码器会忽略 IrDA 接收在线的所有数据；如果接收器接收时，例如 UART 正在接收来自 RX 引脚上的数据，则 IrDA 不会对 UART 发送到 IrDA 的 TX 数据进行编码。在接收数据时，

应避免同时进行发送，因为这样做可能会破坏要发送的数据。

- ◆ SIR 发送逻辑把 0 作为高脉冲发送，把 1 作为低电平发送。脉冲的宽度规定为所选位周期的 3/16。
- ◆ SIR 译码器用于将兼容 IrDA 的接收信号转换为 UART 的编码。
- ◆ SIR 接收逻辑把高电平状态作为 1，把低脉冲作为 0。
- ◆ 发送编码器输出的极性与译码器输入相反。SIR 输出在空闲时处于低电平状态。
- ◆ 在 IrDA 模式中，LCON 寄存器中的 STOP 位必须配置成 1 个停止位。

接收器的建立时间应由软件进行管理。IrDA 物理层规范规定发送和接收之间至少要经过 10ms 的时间间隔（IrDA 是一个半双工协议）。

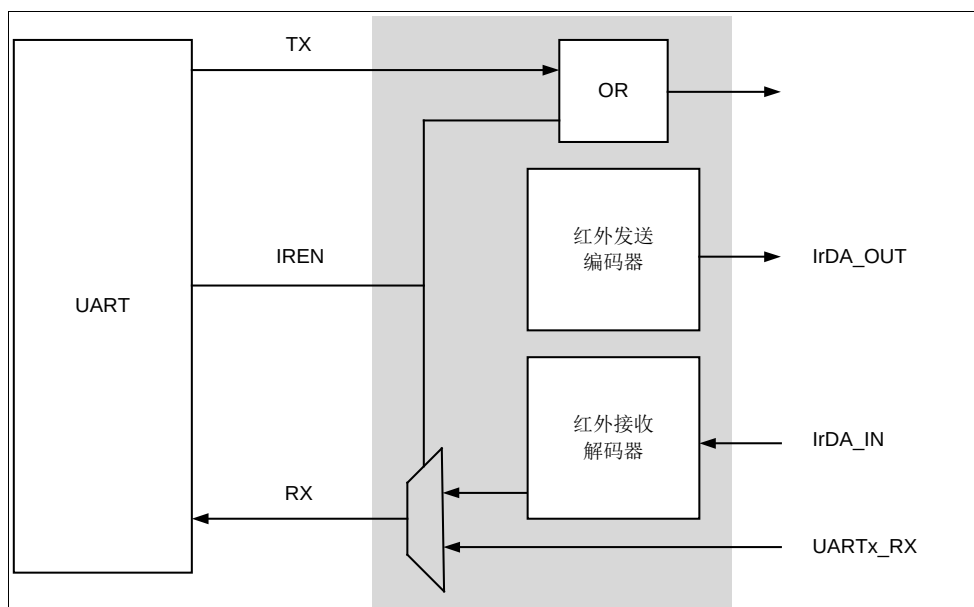


图 22-20 红外收发框图

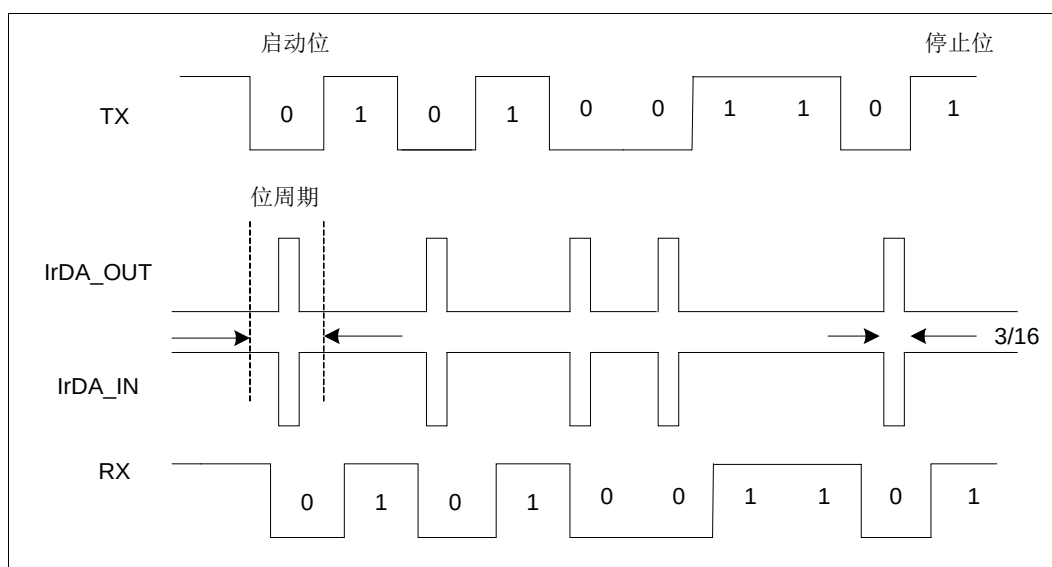


图 22-21 IrDA 数据调制（3/16）-正常模式

22. 4. 16 使用DMA连续通讯

设置 UART_MCON 的 RXDMAEN 位为 1 开启 RX DMA 或 TXDMAEN 位为 1 开启 TX DMA。

UART 可以利用 DMA 连续通信。RX 缓冲器和 TX 缓冲器分别产生 DMA 请求。

利用 DMA 发送

使用 DMA 进行发送, 可以通过设置 UART_MCON 寄存器中的 TXDMAEN 位开启。当 TFEMPTY 位被设置为 1, 可使用 DMA 外设 (请参见相应的 DMA 控制器部分) 将数据从配置的 SRAM 地址加载到 UART_TXBUF 寄存器中。要映射一个 DMA 通道以进行 UART 发送, 请按以下步骤操作:

- ◆ 通过 DMA 控制寄存器设置 UART_TXBUF 寄存器地址配置成 DMA 传输的目的地址。在每个 TFEMPTY 事件后, 数据将被传送到这个地址。
- ◆ 通过 DMA 控制寄存器将 SRAM 地址配置成 DMA 传输的来源地址。在每个 TFEMPTY 事件后, 将从此内存区读出数据并传送到 UART_TXBUF 寄存器中。
- ◆ 通过 DMA 控制寄存器配置要传输的字节数。
- ◆ 通过 DMA 寄存器配置通道优先级。
- ◆ 根据应用程序的要求, 配置在传输完成一半还是全部完成时产生 DMA 中断。
- ◆ 设置 UART_ICR 寄存器的 TFEMPTY 位为 1 以清除 UART_RIF 寄存器的 TFEMPTY 位。
- ◆ 设置 DMA 寄存器开启该通道。

在发送模式中, 当 DMA 传输完所有要发送的数据时, DMA 控制器设置 UART_IFM 寄存器的 TFEMPTY 位; 检查 UART_RIF 寄存器的 TFEMPTY 位可以确认 UART 通信是否结束。这样可以在关闭 UART 或进入停机模式之前, 避免破坏最后一次传输的数据。软件必须等待 TSBUSY 被设置为 0。TSBUSY 位在全数据发送期间会是 1, 并且在最后一帧数据发送完成之后会由硬件设置为 0。

利用 DMA 接收

使用 DMA 进行接收, 可以通过设置 UART_MCON 寄存器中的 RXDMAEN 位为 1 开启。当接收数据字节时, 可使用 DMA 外设 (请参见相应的 DMA 控制器部分) 将数据从 UART_RXBUF 寄存器读取出来加载到配置的 SRAM 地址。要映射一个 DMA 通道以进行 UART 接收, 请按以下步骤操作:

- ◆ 通过 DMA 控制寄存器设置 UART_RXBUF 寄存器地址配置成 DMA 传输的来源地址。在每个 RFNEMPTY 事件后, 读取数据将从这个地址加载。
- ◆ 通过 DMA 控制寄存器将 SRAM 地址配置成 DMA 传输的目标地址。在每个 RFNEMPTY 事件后, 读取数据将从 UART_RXBUF 寄存器加载这个目标地址。
- ◆ 通过 DMA 控制寄存器配置要传输的字节数。
- ◆ 通过 DMA 寄存器配置通道优先级。
- ◆ 根据应用程序的要求, 配置在传输完成一半还是全部完成时产生 DMA 中断。

- ◆ 设置 UART_ICR 寄存器的 RFNEMPTY 位为 1 以清除 UART_RIF 寄存器的 RFNEMPTY 位。
- ◆ 设置 DMA 寄存器开启该通道。

多缓冲器通信中的错误标志和中断产生

在多缓冲器通信的情况下，通信期间如果发生任何错误，会在当前字节传输后将错误标志设置为 1。如果中断开启位被设置为 1 则会产生中断。在单个数据字节接收的情况下，UART_IFM 寄存器中的 RXBERR 位和 RFOERR 位一起被设置为 1，表示帧错误和溢出错误，有分别的错误标志中断开启位，如果被设置为 1，则会在当前字节传输结束后，产生中断。

22. 4. 17 中断配置

- ◆ **UART_IER 中断开启寄存器**
此位设置 1 时，表示开启中断功能，并且同时反映在 UART_IVS 寄存器。此寄存器只能写入，并且只允许写入 1，无法写 0 取消开启中断设置。
- ◆ **UART_IDR 中断关闭寄存器**
此位设置 1 时，表示关闭中断功能，并且同时反映在 UART_IVS 寄存器。此寄存器只能写入，并且只允许写入 1，无法写 0 取消关闭中断设置。
- ◆ **UART_IVS 中断功能有效状态寄存器**
反映 UART_IER 与 UART_IDR 寄存器所设置的结果。0：中断关闭；1：中断开启
- ◆ **UART_RIF 原始中断状态寄存器**
反映所有发生中断事件的状态，无论 UART_IVS 是否有开启中断，皆会反映在此寄存器中，主要用于监控无屏蔽的中断位，是否有错误事件发生。
- ◆ **UART_IFM 中断屏蔽后状态寄存器**
记录中断开启位所发生的中断事件。0：无中断事件；1：发生中断事件
- ◆ **UART_ICR 中断清除寄存器**
此位设置 1 时，清除中断标志 UART_RIF 与 UART_IFM，此寄存器通过写入 1 将该位清零，并且只允许写入 1 清除，无法写 0 清除。

在 UART 中，配置了 15 种中断，如下表所示。

中断事件	中断标志
接收器字节格式错误	RXBERR
自动波特率侦测结束	ABEND
自动波特率侦测超时	ABTO
CTS 引脚电平改变	DCTS
接收超时	RXTO
地址匹配	ADDRM
LIN 断开侦测	LINBK
块结束	EOB
噪声位侦测	NOISE

接收器非空	RFNEMPTY
接收器溢出	RFOERR
接收器下溢	RFUERR
发送器发送完成	TBC
发送器空	TFEMPTY
发送器溢出	TFOVER

表 22-5 中断配置表

22. 5 特殊功能寄存器

22. 5. 1 寄存器列表

UART 寄存器列表		
名称	偏移地址	描述
UART_RXBUF	0000 _H	接收缓冲寄存器
UART_TXBUF	0004 _H	发送缓冲寄存器
UART_BRR	0008 _H	波特率寄存器
UART_LCON	000C _H	格式控制寄存器
UART_MCON	0010 _H	模式控制寄存器
UART_RS485	0014 _H	RS485 控制寄存器
UART_SCARD	0018 _H	智能卡控制寄存器
UART_LIN	001C _H	LIN 控制寄存器
UART_RTOR	0020 _H	接收超时寄存器
UART_STAT	0028 _H	状态寄存器
UART_IER	002C _H	中断开启寄存器
UART_IDR	0030 _H	中断关闭寄存器
UART_IVS	0034 _H	中断功能有效状态寄存器
UART_RIF	0038 _H	原始中断标志寄存器
UART_IFM	003C _H	中断标志屏蔽状态寄存器
UART_ICR	0040 _H	中断清除寄存器

22.5.2 寄存器描述

22.5.2.1 接收缓冲寄存器 (UART_RXBUF)

接收缓冲寄存器（UART_RXBUF）																															
偏移地址：0x00																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																						RXBUF									

—	Bit 31-9	—	—
RXBUF	Bit 8-0	R	接收缓冲寄存器 包含接收到的数据字节。 RXBUF寄存器提供接收移位寄存器和内部总线间的并行接口。 注: 位8用于RS485地址模式

22.5.2.2 发送缓冲寄存器 (UART_TXBUF)

发送缓冲寄存器（UART_TXBUF）																															
偏移地址：04 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																								TXBUF							

—	Bit 31-9	—	—
TXBUF	Bit 8-0	R/W	发送缓冲寄存器 用于写入要发送的数据字节。 TXBUF寄存器提供发送移位寄存器与内部总线间的并行接口。 注: 位8用于RS485地址模式

22. 5. 2. 3 波特率寄存器（UART_BRR）

波特率寄存器（UART_BRR）																															
偏移地址：0x08																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																BRR															

—	Bit 31-16	—	—
BRR	Bit 15-0	R/W	波特率寄存器 整数部分 BRR<15:4> = DIVISOR<11:0> 小数部分 BRR<3:0> = FRACTION<3:0> 此位在LCON寄存器中的RXEN位与TXEN位为0时才可以写入。 注：使用自动波特率功能时则可自动写入

22.5.2.4 格式控制寄存器 (UART_LCON)

格式控制寄存器（UART_LCON）																															
偏移地址：0x0C																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																TXEN	RXEN	DBCEN	Reserved		BREAK	SWAP	TXINV	RXINV	DATAINV	MSB	PS	PE	STOP	DLS	

—	Bit 31-16	—	—
TXEN	Bit 15	R/W	发送器开启位 开启发送器，此位由软件设置1和清除。 0: 发送器关闭 1: 发送器开启
RXEN	Bit 14	R/W	接收器开启位 开启接收器，此位由软件设置1和清除。 0: 接收器关闭 1: 接收器开启
DBCEN	Bit 13	R/W	防抖动开启位 开启防抖动功能，此位由软件设置为1和清除。 0: 防抖动关闭 1: 防抖动开启，RX的有效高低电平都须维持至少8个时钟周期
—	Bit 12-11	—	—
BREAK	Bit 10	R/W	断路开启位 开启断路功能，此位由软件设置为1和清除。 此位在LCON寄存器中的RXEN位与TXEN位为0时才可以写入。 0: 断路关闭 1: 断路开启，会使得TX输出为0
SWAP	Bit 9	R/W	交换TX/RX引脚开启位 开启交换功能，此位由软件设置为1和清除。 此位在LCON寄存器中的RXEN位与TXEN位为0时才可以写入。 0: 交换关闭，TX和TX引脚按照标准引脚配置使用 1: 交换开启，TX和RX引脚功能交换使用，此功能用与和其他UART接口进行交叉互联时

TXINV	Bit 8	R/W	TX引脚电平反向使能位 TX引脚反向功能，此位由软件设置为1和清除。此位在LCON寄存器中的RXEN位与TXEN位为0时才可以写入。 0: TX引脚信号工作于标准逻辑电平(VDD=1/idle, Gnd=0/mark) 1: TX引脚信号反向(VDD=0/mark, Gnd=1/idle)。此功能可用于TX上带有外部反向器时
RXINV	Bit 7	R/W	RX引脚电平反向使能位 RX引脚反向功能，此位由软件设置为1和清除。此位在LCON寄存器中的RXEN位与TXEN位为0时才可以写入。 0: RX引脚信号工作于标准逻辑电平(VDD=1/idle, Gnd=0/mark) 1: RX引脚信号反向(VDD=0/mark, Gnd=1/idle)。此功能可用于RX在线带有外部反向器时
DATAINV	Bit 6	R/W	数据反向开启位 数据反向功能，此位由软件设置为1和清除。此位在LCON寄存器中的RXEN位与TXEN位为0时才可以写入。 0: 缓冲寄存器中的逻辑数据在接收的时候，采用正/直接逻辑。(1=H, 0=L) 1: 缓冲寄存器中的逻辑数据在接收的时候，采用负/反向逻辑。(1=L, 0=H)
MSB	Bit 5	R/W	高位在前开启位 高位在前功能，此位由软件设置为1和清除。此位在LCON寄存器中的RXEN位与TXEN位为0时才可以写入。 0: 数据在发送和接收的时候，采用起始位后面跟着第0位(LSB)的顺序 1: 数据在发送和接收的时候，采用起始位后面跟着的最高位(MSB)的顺序
PS	Bit 4	R/W	校验位奇偶选择 当开启校验功能时，选择校验位为奇校验或偶校验，此位由软件设置为1和清除。此位在LCON寄存器中的RXEN位与TXEN位为0时才可以写入。 0: 奇校验

			1: 偶校验
PE	Bit 3	R/W	校验开启位 开启校验功能，计算好的校验位被插入到最高位，并检测接收数据的校验位（接收与发送功能），此位由软件设置为1和清除。 此位在LCON寄存器中的RXEN位与TXEN位为0时才可以写入。 0: 校验位关闭 1: 校验位开启
STOP	Bit 2	R/W	停止位选择 此位由软件设置为1和清除。 此位在LCON寄存器中的RXEN位与TXEN位为0时才可以写入。 普通模式： 0: 1个停止位 1: 2个停止位（在5字长模式为1.5个停止位） 智能卡模式： 0: 0.5个停止位 1: 1.5个停止位
DLS	Bit 1-0	R/W	数据字长选择位 此位由软件设置为1和清除。 此位在LCON寄存器中的RXEN位与TXEN位为0时才可以写入。 00: 8字长 01: 7字长 10: 6字长 11: 5字长

22.5.2.5 模式控制寄存器 (UART_MCON)

模式控制寄存器（UART_MCON）																															
偏移地址：0x10																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															TXFLOAT	TXDMAEN	RXDMAEN	Reserved		ABRREPT	ABRMOD		ABREN	Reserved		BKREQ	HDEN	IREN	AFCEN	RTSSET	LPBKEN

—	Bit 31-17	—	—
TXFLOAT	Bit 16	R/W	发送器等待发送状态选择 此位由软件设置为1和清除。 0: 发送器未发送时, TX引脚输出高 1: 发送器未发送时, TX引脚开漏
TXDMAEN	Bit 15	R/W	发送器DMA开启 此位由软件设置为1和清除。 0: 发送器DMA通信关闭 1: 发送器DMA通信开启
RXDMAEN	Bit 14	R/W	接收器DMA开启 此位由软件设置为1和清除。 0: 接收器DMA通信关闭 1: 接收器DMA通信开启
—	Bit 13-12	—	—
ABRREPT	Bit 11	R/W	重复侦测自动波特率 在开启侦测自动波特率时, 侦测波特率超时时并不会清除自动波特率开关, 并在下一个下降沿时重复侦测自动波特率, 此位由软件设置为1和清除。 0: 重复侦测自动波特率关闭 1: 重复侦测自动波特率开启
ABRMOD	Bit 10-9	R/W	自动波特率模式选择 此位由软件设置为1和清除。 00: 模式0, 侦测第一个下降沿到第二个下降沿时间 (侦测2位) 01: 模式1, 侦测第一个下降沿到第一个上升沿时间 (侦测1位) 10: 模式2, 侦测第一个下降沿到第一个上升沿时间 (侦测2位)

			11: 保留
ABREN	Bit 8	R/W	自动波特率开启 此位在开启并完成侦测自动波特率后会自动清除，也可由软件设置为1和清除。 0: 自动波特率关闭 1: 自动波特率开启
—	Bit 7-6	—	—
BKREQ	Bit 5	W	断开请求（仅EUART支持） 此位在写入后的下一个时钟会自动清除。 0: 断路请求关闭 1: 断路请求开启，根据设定的N位长（8、7、6或5）产生N个低脉冲信号
HDEN	Bit 4	R/W	单线半双工开启（仅EUART支持） 此位由软件设置为1和清除。 此位在LCON寄存器中的RXEN位与TXEN位为0时才可以写入。 0: 单线半双工关闭 1: 单线半双工开启
IREN	Bit 3	R/W	IrDA红外线模式开启（仅EUART支持） 此位由软件设置为1和清除。 0: IrDA红外线模式关闭 1: IrDA红外线模式开启
AFCEN	Bit 2	R/W	自动流量控制开启 此位由软件设置为1和清除。 0: 自动流量控制关闭 1: 自动流量控制开启
RTSSET	Bit 1	R/W	RTS设置控制 此位由软件设置为1和清除。 0: 自动流量控制关闭时，RTS引脚输出高 1: 自动流量控制关闭时，RTS引脚输出低
LPBKEN	Bit 0	R/W	回送模式使能 此模式是用于UART测试检测模式，在UART普通模式下运行，TX引脚输出为高电平，串行的数据在内部回送至RX。在此模式下，所有中断都是正常运行的，此位由软件设置为1和清除。 0: 回送模式关闭 1: 回送模式开启

22. 5. 2. 6 RS485 控制寄存器 (UART_RS485)

RS485 控制寄存器（UART_RS485）																															
偏移地址：0x14																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								DLY								ADDR								Reserved				AADINV	AADACEN	AADNEN	AADEN

—	Bit 31-24	—	—
DLY	Bit 23-16	R/W	延迟数值 此位由软件设置和清除。 用于设置延迟RTS的输出时间,是由一个8位计数器计数,时钟源为1/16 Baud 时钟。
ADDR	Bit 15-8	R/W	地址匹配数值 此位由软件设置和清除。 用于多机通信时地址标记的检测。 接收器在RS485自动检测模式时,当接收数据的最高位为1且匹配ADDR,数据才允许接收,否则舍弃此数据。
—	Bit 7-4	—	—
AADINV	Bit 3	R/W	驱动开启反向 在自动流量控制模式时,设置驱动开启引脚(RTS/DE)的输出电平,此位由软件设置和清除。 0: 当开始发送数据时,驱动开启引脚输出0,发送完成且TX内无数据时,驱动开启引脚输出1 1: 当开始发送数据时,驱动开启引脚输出1,发送完成且TX内无数据时,驱动开启引脚输出0
AADACEN	Bit 2	R/W	自动流量控制模式开启 此位由软件设置为1和清除。 0: 自动流量控制模式关闭 1: 自动流量控制模式开启
AADNEN	Bit 1	R/W	普通模式开启 此位由软件设置为1和清除。 0: 普通模式关闭 1: 普通模式开启,接收地址位为第8位 (UART_RXBUF)

AADEN	Bit 0	R/W	自动地址侦测模式开启 在普通模式时，设置此位无效，此位由软件设置为1和清除。 0: 自动地址侦测模式关闭 1: 自动地址侦测模式开启，当接收数据的地址为1且匹配ADDR时，才会接收数据
-------	-------	-----	---

22.5.2.7 智能卡控制寄存器 (UART_SCARD)

智能卡控制寄存器（UART_SCARD）																															
偏移地址：0x18																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BLEN								GT								PSC								Reserved		SCCNT		SCLKEN	SCNACK	SCEN	

BLEN	Bit 31-24	R/W	块长度 设置了智能卡模式T=1的接收时的块长度，此位由软件设置为1和清除。 例如： BLEN = 0 → 0个信号字节 BLEN = 1 → 1个信号字节 BLEN = 255 → 255个信号字节 这个功能也可以在其他模式中使用，当LCON寄存器的RXEN位清除时，块长度计数器会重新计数
GT	Bit 23-16	R/W	保护时间 设置保护时间长度，是使用波特时钟为单位。 在智能卡模式中使用，完成标志（RIF寄存器TBC位）在保护时间过后设置为1，此位由软件设置为1和清除
PSC	Bit 15-8	R/W	分频器数值 此位由软件设置为1和清除。 在红外低功耗和正常模式下： PSC<7:0>: IrDA正常和低功耗模式波特率对UART时钟源进行分频以获得低功耗模式下的频率： 00000000: 保留 00000001: 1分频 00000010: 2分频 智能卡模式： PSC<4:0>: 输出时钟分频数值 用于设定UART时钟的分频数，得到智能卡输出时钟，由五个有效位组成，乘以2得到的数值作为分频

			00000: 保留 00001: 2分频 00010: 4分频 00011: 6分频
—	Bits 7-6	—	—
SCCNT	Bits 5-3	R/W	智能卡重试计数器 设置智能卡模式中接收和发送的重试次数。此位由软件设置为1和清除。 在发送模式下，在产生帧错误前重试发送的次数 在接收模式下，在接收到NACK后重试接收的次数 0x0: 重试功能关闭，在发送与接收模式下不进行自动重试 0x1~0x7: 在产生错误前自动重试的次数
SCLKEN	Bit 2	R/W	智能卡时钟开启 此位由软件设置为1和清除。 0: CK引脚关闭 1: CK引脚开启
SCNACK	Bit 1	R/W	智能卡NACK发送开启 此位由软件设置为1和清除。 0: 出现校验错误时关闭发送NACK信号 1: 出现校验错误时开启发送NACK信号
SCEN	Bit 0	R/W	智能卡模式开启 此位由软件设置为1和清除。 0: 智能卡模式关闭 1: 智能卡模式开启

22.5.2.8 LIN控制寄存器 (UART_LIN)

LIN 控制寄存器 (UART_LIN)																																		
偏移地址：0x1C																																		
复位值：0x0000 0000																																		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Reserved																																LINBKREQ	LINBDL	LINEN

—	Bit 31-3	—	—
LINBKREQ	Bit 2	W1	LIN模式断路请求开启位 在LIN模式下，发送器将发送13位'0' 作为断路符号后，发送2位1用于对下一个开始位的检测。此位由软件设置为1并在下一个时钟后自动清除。 0: LIN模式断路请求关闭 1: LIN模式断路请求开启
LINBDL	Bit 1	R/W	LIN模式断路字长选择位 此位由软件设置为1和清除。 0: 10位断路字节侦测 1: 11位断路字节侦测
LINEN	Bit 0	R/W	LIN模式开启位 此位由软件设置为1和清除。 0: LIN模式关闭 1: LIN模式开启

22.5.2.9 接收超时寄存器 (UART_RTOR)

接收超时寄存器（UART_RTOR）																																
偏移地址：0x20																																
复位值：0x0000 00FF																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved							RTOEN	RTO																								

—	Bit 31-25	—	—
RTOEN	Bit 24	R/W	接收器超时开启位 此位由软件设置1和清除。 0: 接收器超时关闭 1: 接收器超时开启
RTO	Bit 23-0	R/W	接收器超时数值 设置接收超时时间，使用波特率时钟的字长为单 位。 在标准模式下，接收最后一个字节后，在超时时间 内未检测到新的起始位，将 RIF 寄存器的 RXTO 位设置为 1，此位由软件设置和清除。 在智能卡模式下，这个数值是用来实现 CWT 和 BWT。 注：CUART（即 UART1~4）只支持最低 8 位 （RTO<7:0>）

22.5.2.10 状态寄存器 (UART_STAT)

状态寄存器（UART_STAT）																																
偏移地址：0x28																																
复位值：0x0001 0008																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved													TFOERR	Reserved	TFEMPTY	Reserved	TSBUSY	RFUERR	RFOERR	Reserved	RFNEMPTY	Reserved	RSBUSY	Reserved					CTSSTA	BKERR	FERR	PERR

—	Bit 31-19	—	—
TFOERR	Bit 18	R	发送器溢出错误 当发送器内已有数据时，有新数据再次写入TX中时，此位由硬件设置为1并舍弃新数据，在发送数据或读取UART_STAT寄存器后清除 0: 发送器溢出错误未产生 1: 发送器溢出错误产生
—	Bit 17	—	—
TFEMPTY	Bit 16	R	发送器空 当发送器内无任何数据时，此位由硬件设置为1，在TX写入数据时清除。 0: 发送器有数据 1: 发送器无数据
—	Bit 15	—	—
TSBUSY	Bit 14	R	发送器移位寄存器忙碌 当写入数据由硬件设置为1，在发送最后一个数据完成后清除。 0: 发送器内无数据等待传送 1: 发送器内有数据等待传送且未发送完最后一个数据
RFUERR	Bit 13	R	接收器下溢错误 当接收器无数据时，又再次读取接收器时，由硬件设置为1，在接收数据或读取UART_STAT寄存器后清除 0: 接收器下溢错误未产生 1: 接收器下溢错误产生
RFOERR	Bit 12	R	接收器溢位错误 当接收器内已有数据时，有新数据再次接收时，此位由硬件设置为1并舍弃新数据，在读取数据或读取

			UART_STAT寄存器后清除 0: 接收器溢出错误未产生 1: 接收器溢出错误产生
—	Bit 11	—	—
RFNEMPTY	Bit 10	R	接收器非空 当接收器内有1笔数据时，此位由硬件设置为1，接收数据时清除。 0: 接收器无数据 1: 接收器有数据
—	Bit 9	—	—
RSBUSY	Bit 8	R	接收移位寄存器忙碌 当接收数据时，由硬件设置为1，在完成接收数据后清除 0: 接收器未接收数据 1: 接收器正在接收数据
—	Bit 7-4	—	—
CTSSTA	Bit 3	R	CTS状态 此位显示CTS输入引脚状态，由硬件设置为1和清除。 0: CTS输入引脚为0 1: CTS输入引脚为1
BKERR	Bit 2	R	断路错误 当接收数据与停止位皆为0时，由硬件设置为1。此位为显示当前读取接收器数值状态。 0: 断路错误未产生 1: 断路错误产生
FERR	Bit 1	R	帧错误 当接收数据的停止位为0时，由硬件设置为1。此位为显示当前读取接收器数值。 0: 帧错误未产生 1: 帧错误产生
PERR	Bit 0	R	校验错误 当接收数据的校验位接收错误时，由硬件设置为1。此位为显示当前读取接收器数值。 0: 校验错误未产生 1: 校验错误产生

22.5.2.11 中断开启寄存器 (UART_IER)

中断开启寄存器（UART_IER）																															
偏移地址：0x2C																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													TFOERR	Reserved	TFEMPTY	Reserved	TBC	RFUERR	RFOERR	Reserved	RFNEMPTY	Reserved	NOISE	EOB	LINBK	ADDRM	RXTO	DCTS	ABTO	ABEND	RXBERR

—	Bit 31-19	—	—
TFOERR	Bit 18	W1	开启发送器溢出中断功能 0: 写0无效 1: 使能
—	Bit 17	—	—
TFEMPTY	Bit 16	W1	开启发送器空中断功能 0: 写0无效 1: 使能
—	Bit 15	—	—
TBC	Bit 14	W1	开启发送数据完成中断功能 0: 写0无效 1: 使能
RFUERR	Bit 13	W1	开启接收器下溢中断功能 0: 写0无效 1: 使能
RFOERR	Bit 12	W1	开启接收器溢出中断功能 0: 写0无效 1: 使能
—	Bit 11	—	—
RFNEMPTY	Bit 10	W1	开启接收器非空中断功能 0: 写0无效 1: 使能
—	Bit 9	—	—
NOISE	Bit 8	W1	开启侦测噪声位中断功能 0: 写0无效 1: 使能
EOB	Bit 7	W1	开启块结束中断功能 0: 写0无效

			1: 使能
LINBK	Bit 6	W1	开启侦测LIN断路中断功能 0: 写0无效 1: 使能
ADDRM	Bit 5	W1	开启地址匹配中断功能 此位设置时, 开启中断功能, 硬件侦测地址匹配事件时发生中断
RXTO	Bit 4	W1	开启接收超时中断功能 0: 写0无效 1: 使能
DCTS	Bit 3	W1	开启CTS引脚电平中断功能 0: 写0无效 1: 使能
ABTO	Bit 2	W1	开启侦测自动波特率超时中断功能 0: 写0无效 1: 使能
ABEND	Bit 1	W1	开启侦测自动波特率结束中断功能 0: 写0无效 1: 使能
RXBERR	Bit 0	W1	开启接收器数据字节格式错误中断功能 0: 写0无效 1: 使能

22. 5. 2. 12 中断关闭寄存器 (UART_IDR)

中断关闭寄存器（UART_IDR）																															
偏移地址：0x30																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													TFOVER	Reserved	TFEMPTY	Reserved	TBC	RFUERR	RFOERR	Reserved	RFNEMPTY	Reserved	NOISE	EOB	LINBK	ADDRM	RXTO	DCIS	ABTO	ABEND	RXBERR

—	Bit 31-19	—	—
TFOVER	Bit 18	W1	关闭发送器溢出中断功能 0: 写0无效 1: 关闭
—	Bit 17	—	—
TFEMPTY	Bit 16	W1	关闭发送器空中断功能 0: 写0无效 1: 关闭
—	Bit 15	—	—
TBC	Bit 14	W1	关闭发送数据完成中断功能 0: 写0无效 1: 关闭
RFUERR	Bit 13	W1	关闭接收器下溢中断功能 0: 写0无效 1: 关闭
RFOERR	Bit 12	W1	关闭接收器溢出中断功能 0: 写0无效 1: 关闭
—	Bit 11	—	—
RFNEMPTY	Bit 10	W1	关闭接收器非空中断功能 0: 写0无效 1: 关闭
—	Bit 9	—	—
NOISE	Bit 8	W1	关闭侦测噪声位中断功能 0: 写0无效 1: 关闭
EOB	Bit 7	W1	关闭块结束中断功能 0: 写0无效

			1: 关闭
LINBK	Bit 6	W1	关闭侦测LIN断路中断功能 0: 写0无效 1: 关闭
ADDRM	Bit 5	W1	关闭地址匹配中断功能 0: 写0无效 1: 关闭
RXTO	Bit 4	W1	关闭接收超时中断功能 0: 写0无效 1: 关闭
DCTS	Bit 3	W1	关闭CTS引脚电平中断功能 0: 写0无效 1: 关闭
ABTO	Bit 2	W1	关闭侦测自动波特率超时中断功能 0: 写0无效 1: 关闭
ABEND	Bit 1	W1	关闭侦测自动波特率结束中断功能 0: 写0无效 1: 关闭
RXBERR	Bit 0	W1	关闭接收器字节格式错误中断功能 0: 写0无效 1: 关闭

22.5.2.13 中断功能有效状态寄存器 (UART_IVS)

中断功能有效状态寄存器（UART_IVS）																															
偏移地址：0x34																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													TFOVER	Reserved	TFEMPTY	Reserved	TBC	RFUERR	RFOERR	Reserved	RFNEMPTY	Reserved	NOISE	EOB	LINBK	ADDRM	RXTO	DCIS	ABTO	ABEND	RXBERR

—	Bit 31-19	—	—
TFOVER	Bit 18	R	发送器溢出中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
—	Bit 17	—	—
TFEMPTY	Bit 16	R	发送器空中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
—	Bit 15	—	—
TBC	Bit 14	R	发送数据完成中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
RFUERR	Bit 13	R	接收器下溢中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
RFOERR	Bit 12	R	接收器溢出中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
—	Bit 11	—	—
RFNEMPTY	Bit 10	R	接收器非空中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
—	Bit 9	—	—
NOISE	Bit 8	R	侦测噪声位中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
EOB	Bit 7	R	块结束中断功能状态 0: 中断功能处于关闭状态

			1: 中断功能处于开启状态
LINBK	Bit 6	R	侦测LIN断路中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
ADDRM	Bit 5	R	地址匹配中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
RXTO	Bit 4	R	接收超时中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
DCTS	Bit 3	R	CTS引脚电平中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
ABTO	Bit 2	R	侦测自动波特率超时中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
ABEND	Bit 1	R	侦测自动波特率结束中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
RXBERR	Bit 0	R	接收器字节格式错误中断功能状态 0: 中断功能处于关闭状态 1: 中断功能处于开启状态

注: UART_IVS 寄存器, 是实时反映系统配置 UART_IER 与 UART_IDR 的中断开启状态。

22.5.2.14 原始中断标志寄存器 (UART_RIF)

原始中断标志寄存器（UART_RIF）																															
偏移地址：0x38																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													TFOVER	Reserved	TFEMPTY	Reserved	TBC	RFUERR	RFOERR	Reserved	RFNEMPTY	Reserved	NOISE	EOB	LINBK	ADDRM	RXTO	DCIS	ABTO	ABEND	RXBERR

—	Bit 31-19	—	—
TFOVER	Bit 18	R	发送器溢出, 原始中断状态 0: 无发生中断 1: 已发生中断
—	Bit 17	—	—
TFEMPTY	Bit 16	R	发送器空, 原始中断状态 0: 无发生中断 1: 已发生中断
—	Bit 15	—	—
TBC	Bit 14	R	发送数据完成, 原始中断状态 0: 无发生中断 1: 已发生中断
RFUERR	Bit 13	R	接收器下溢, 原始中断状态 0: 无发生中断 1: 已发生中断
RFOERR	Bit 12	R	接收器溢出, 原始中断状态 0: 无发生中断 1: 已发生中断
—	Bit 11	—	—
RFNEMPTY	Bit 10	R	接收器非空, 原始中断状态 0: 无发生中断 1: 已发生中断
—	Bit 9	—	—
NOISE	Bit 8	R	侦测噪声位, 原始中断状态 0: 无发生中断 1: 已发生中断
EOB	Bit 7	R	块结束, 原始中断状态 0: 无发生中断

			1: 已发生中断
LINBK	Bit 6	R	侦测LIN断路, 原始中断状态 0: 无发生中断 1: 已发生中断
ADDRM	Bit 5	R	地址匹配, 原始中断状态 0: 无发生中断 1: 已发生中断
RXTO	Bit 4	R	接收超时, 原始中断状态 0: 无发生中断 1: 已发生中断
DCTS	Bit 3	R	CTS引脚电平, 原始中断状态 0: 无发生中断 1: 已发生中断
ABTO	Bit 2	R	侦测自动波特率超时, 原始中断状态 0: 无发生中断 1: 已发生中断
ABEND	Bit 1	R	侦测自动波特率, 原始中断状态 0: 无发生中断 1: 已发生中断
RXBERR	Bit 0	R	接收器字节格式错误, 原始中断状态 0: 无发生中断 1: 已发生中断

22.5.2.15 中断标志屏蔽状态寄存器 (UART_IFM)

中断标志屏蔽状态寄存器（UART_IFM）																															
偏移地址：0x3C																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													TFOVER	Reserved	TFEMPTY	Reserved	TBC	RFUERR	RFOERR	Reserved	RFNEMPTY	Reserved	NOISE	EOB	LINBK	ADDRM	RXTO	DCIS	ABTO	ABEND	RXBERR

—	Bit 31-19	—	—
TFOVER	Bit 18	R	发送器溢出, 屏蔽后中断状态 0: 未发生中断或中断未使能 1: 已发生中断
—	Bit 17	—	—
TFEMPTY	Bit 16	R	发送器空, 屏蔽后中断状态 0: 未发生中断或中断未使能 1: 已发生中断
—	Bit 15	—	—
TBC	Bit 14	R	发送数据完成, 屏蔽后中断状态 0: 未发生中断或中断未使能 1: 已发生中断
RFUERR	Bit 13	R	接收器下溢, 屏蔽后中断状态 0: 未发生中断或中断未使能 1: 已发生中断
RFOERR	Bit 12	R	接收器溢出, 屏蔽后中断状态 0: 未发生中断或中断未使能 1: 已发生中断
—	Bit 11	—	—
RFNEMPTY	Bit 10	R	接收器非空, 屏蔽后中断状态 0: 未发生中断或中断未使能 1: 已发生中断
—	Bit 9	—	—
NOISE	Bit 8	R	侦测噪声位, 屏蔽后中断状态 0: 未发生中断或中断未使能 1: 已发生中断
EOB	Bit 7	R	块结束, 屏蔽后中断状态 0: 未发生中断或中断未使能

			1: 已发生中断
LINBK	Bit 6	R	侦测LIN断路, 屏蔽后中断状态 0: 未发生中断或中断未使能 1: 已发生中断
ADDRM	Bit 5	R	地址匹配, 屏蔽后中断状态 0: 未发生中断或中断未使能 1: 已发生中断
RXTO	Bit 4	R	接收超时, 屏蔽后中断状态 0: 未发生中断或中断未使能 1: 已发生中断
DCTS	Bit 3	R	CTS引脚电平, 屏蔽后中断状态 0: 未发生中断或中断未使能 1: 已发生中断
ABTO	Bit 2	R	侦测自动波特率超时, 屏蔽后中断状态 0: 未发生中断或中断未使能 1: 已发生中断
ABEND	Bit 1	R	侦测自动波特率, 屏蔽后中断状态 0: 未发生中断或中断未使能 1: 已发生中断
RXBERR	Bit 0	R	接收器字节格式错误, 屏蔽后中断状态 0: 未发生中断或中断未使能 1: 已发生中断

注: UART_IFM 寄存器, 是滤除已关闭中断功能的中断事件, 只关注开启中断功能的事件。此寄存器状态是将 UART_RIF 与 UART_IVS 进行硬件逻辑与运算。

22.5.2.16 中断清除寄存器 (UART_ICR)

中断清除寄存器（UART_ICR）																															
偏移地址：0x40																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													TFOVER	Reserved	TFEMPTY	Reserved	TBC	RFUERC_W1	RFOERC_W1	Reserved	RFNEMPTY	Reserved	NOISE	EOB	LINBK	ADDRM	RXTO	DCIS	ABTO	ABEND	RXBERR

—	Bit 31-19	—	—
TFOVER	Bit 18	C_W1	清除发送器溢出中断状态 此位设置时, 清除中断状态 (UART_RIF与 UART_IFM)
—	Bit 17	—	—
TFEMPTY	Bit 16	C_W1	清除发送器空中断状态 此位设置时, 清除中断状态 (UART_RIF与 UART_IFM)
—	Bit 15	—	—
TBC	Bit 14	C_W1	清除发送数据完成中断状态 此位设置时, 清除中断状态 (UART_RIF与 UART_IFM)
RFUERC_W1	Bit 13	C_W1	清除接收器下溢中断状态 此位设置时, 清除中断状态 (UART_RIF与 UART_IFM)
RFOERC_W1	Bit 12	C_W1	清除接收器溢出中断状态 此位设置时, 清除中断状态 (UART_RIF与 UART_IFM)
—	Bit 11	—	—
RFNEMPTY	Bit 10	C_W1	清除接收器非空中断状态 此位设置时, 清除中断状态 (UART_RIF与 UART_IFM)
—	Bit 9	—	—
NOISE	Bit 8	C_W1	清除侦测噪声位中断状态 此位设置时, 清除中断状态 (UART_RIF与 UART_IFM)
EOB	Bit 7	C_W1	清除块结束中断状态 此位设置时, 清除中断状态 (UART_RIF与

			UART_IFM)
LINBK	Bit 6	C_W1	清除侦测LIN断路中断状态 此位设置时，清除中断状态（UART_RIF与UART_IFM）
ADDRM	Bit 5	C_W1	清除地址匹配中断状态 此位设置时，清除中断状态（UART_RIF与UART_IFM）
RXTO	Bit 4	C_W1	清除接收超时中断状态 此位设置时，清除中断状态（UART_RIF与UART_IFM）
DCTS	Bit 3	C_W1	清除CTS引脚电平中断状态 此位设置时，清除中断状态（UART_RIF与UART_IFM）
ABTO	Bit 2	C_W1	清除侦测自动波特率超时中断状态 此位设置时，清除中断状态（UART_RIF与UART_IFM）
ABEND	Bit 1	C_W1	清除侦测自动波特率结束中断状态 此位设置时，清除中断状态（UART_RIF与UART_IFM）
RXBERR	Bit 0	C_W1	清除接收器字节格式错误中断状态 此位设置时，清除中断状态（UART_RIF与UART_IFM）

注：UART_ICR 寄存器设置时，将清除 UART_RIF 与 UART_IFM 中断标志状态；此设置不影响中断 UART_IER、UART_IDR 与 UART_IVS 寄存器，只清除标志状态 UART_RIF 与 UART_IFM。

第23章 电机控制加速器 (MCA)

23.1 概述

电机控制加速器(MCA)可以通过调用其他算法模块，如 SVA、CALC 和 PI，自动完成主要的电机 FOC 运算过程。

23.2 特性

- ◆ 支持使用 DMA 读/写数据执行运算操作
- ◆ 支持 FOC 运算过程暂停或跳过控制
- ◆ 单次 FOC 运算最快 100 个时钟周期完成

23.3 功能描述

通过写高 16 位 MCA_INST 寄存器来控制 FOC 运算过程。MCA_INST <19:16>为 0101 时启动 FOC 运算，具体过程参考如下：

- 1) SVA 模块 Clarke 运算：输出 I_α / I_β 同步更新到 MCA_DOUT0<31:0>，与 SVA_INDAT0、SVA_INDAT1
- 2) SVA 模块 Park 运算：输出 I_d / I_q 同步更新到 MCA_DOUT1<31:0>
- 3) PI1 模块、PI2 模块同时运算：输出 U_d / U_q
- 4) CALC 模块（限幅）：输出 U_d / U_q^* ， U_q^* 限幅后数据，同步更新到 SVA_INDAT0、SVA_INDAT1
- 5) SVA 模块反 Park 运算：输出 U_α / U_β ，同步更新到 SVA_INDAT0、SVA_INDAT1
- 6) SVA 模块 SVPWM 运算：输出 T_a 、 T_b 、 T_c 同步更新到 MCA_DOUT2<31:0>、MCA_DOUT3<15:0>

MCA_INST<20>用来设置 FOC 运算结束后是否执行 DMA 传输，可以将数据寄存器传到 SRAM。MCA_INST<23:21>非 0 时，启动部分 FOC 运算，即运行完指定的步骤暂停，暂停步骤对应该值。

MCA_INST<31:24>非 0 时，在 FOC 运算过程中可以跳过指定的步骤。

23. 4 特殊功能寄存器

23. 4. 1 寄存器列表

MAC 寄存器列表			
名称	偏移地址	类型	描述
—	0000 _H	R	保留
MCA_CTRL	0004 _H	RW	控制寄存器
MCA_DOUT0	0008 _H	R	输出数据寄存器 0，对应 Clarke 输出
MCA_DOUT1	000C _H	R	输出数据寄存器 1，对应反 Park 输出
MCA_DOUT2	0010 _H	R	输出数据寄存器 2，对应 SVPWM 输出 SVB/SVA
MCA_DOUT3	0014 _H	R	输出数据寄存器 3，对应 SVPWM 输出 SVC
MCA_VSL	0018 _H	RW	限幅数据寄存器
—	001C _H	R	保留
MCA_DIN1	0020 _H	W	输入数据寄存器 1，重映射到 PI_1_KP、PI_1_KI
MCA_DIN2	0024 _H	W	输入数据寄存器 2，重映射到 PI_2_KP、PI_2_KI
MCA_DIN3	0028 _H	W	输入数据寄存器 3，重映射到 PI_1_ULIMIT
MCA_DIN4	002C _H	W	输入数据寄存器 4，重映射到 PI_1_LLIMIT
MCA_DIN5	0030 _H	W	输入数据寄存器 5，重映射到 PI_2_ULIMIT
MCA_DIN6	0034 _H	W	输入数据寄存器 6，重映射到 PI_2_LLIMIT
MCA_DIN7	0038 _H	RW	输入数据寄存器 7，对应 PI1 的 ID 输入与 PI2 的 IQ 输入
MCA_DIN8	003C _H	W	输入数据寄存器 8，重映射到 SVA_INDATAB0、SVA_INDATAB1
MCA_INST	0040 _H	RW	指令寄存器，低 16 位重映射到 SVA_INANGLE

注 1: MCA_DIN1~ MCA_DIN6、MCA_DIN8、MCA_INST<15:0>重映射到 SVA、PI 模块的寄存器，重映射的地址单元只能写不能读。

注 2: MCA_DOUT0 保存 MCA 运算过程中 Clarke 输出(高 16 位保存 SVA_OTDATA1, 低 16 位保存 SVA_OTDATA0), MCA_DOUT1 保存 MCA 运算过程中反 Park 输出(高 16 位保存 SVA_OTDATA1, 低 16 位保存 SVA_OTDATA0), MCA_DOUT2<15:0>重映射到 SVA 的输出数据寄存器 0 (SVA_OTDATA0), MCA_DOUT2<31:16>重映射到 SVA 的输出数据寄存器 1 (SVA_OTDATA1), MCA_DOUT3<15:0>重映射到 SVA 的输出数据寄存器 2 (SVA_OTDATA2)。

23.4.2 寄存器描述

23.4.2.1 MCA控制寄存器 (MCA_CTRL)

M CA 控制寄存器 (MCA_CTRL)																															
偏移地址：0x004																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				STEP			Reserved							PENDING	BUSY	Reserved							RXTRIG	Reserved			RST	Reserved			DMAMD

Reserved	Bit 31-27	—	保留
STEP	Bit 26-24	R	FOC工作步骤
Reserved	Bit 23-18	—	保留
PENDING	Bit 17	R	FOC暂停状态位 0: 未暂停 1: 暂停中
BUSY	Bit 16	R	FOC工作状态位 0: 完成 1: 工作中
Reserved	Bit 15-9	—	保留
RXTRIG	Bit 8	R/W	软件触发DMA RX
Reserved	Bit 7-5	—	保留
RST	Bit 4	W	复位MCA模块
Reserved	Bit 3-1	—	保留
DMAMD	Bit 0	R/W	DMA模式选择位 0: DMA按SVA方式 1: SVA不能设为DMA模式

23.4.2.2 MCA输出数据寄存器 0 (MCA_DOUT0)

MCA 输出数据寄存器 0（MCA_DOUT0）																															
偏移地址：0x008																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DOUT0																															

DOUT0	Bit 31-0	R	输出数据0
-------	----------	---	-------

23. 4. 2. 3 MCA输出数据寄存器 1 (MCA_DOUT1)

MCA 输出数据寄存器 1 (MCA_DOUT1)																															
偏移地址: 0x00C																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DOUT1																															

DOUT1	Bit 31-0	R	输出数据1
-------	----------	---	-------

23. 4. 2. 4 MCA输出数据寄存器 2 (MCA_DOUT2)

MCA 输出数据寄存器 2（MCA_DOUT2）																																
偏移地址：0x010																																
复位值：0x0000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
DOUT2																																

DOUT2	Bit 31-0	R	输出数据2
-------	----------	---	-------

23. 4. 2. 5 MCA输出数据寄存器 3 (MCA_DOUT3)

MCA 输出数据寄存器 3（MCA_DOUT3）																																
偏移地址：0x014																																
复位值：0x0000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
DOUT3																																

DOUT3	Bit 31-0	R	输出数据3
-------	----------	---	-------

23.4.2.6 MCA限幅数据寄存器 (MCA_VSL)

MCA 限幅数据寄存器(MCA_VSL)																															
偏移地址: 0x018																															
复位值: 0x0000 7FFF																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																VSL															

Reserved	Bit 31-16	—	保留
VSL	Bit 15-0	R/W	限幅数据

23.4.2.7 MCA输入数据寄存器 1 (MCA_DIN1)

MCA 输入数据寄存器 1 (MCA_DIN1)																															
偏移地址: 0x020																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIN1																															

DIN1	Bit 31-0	W	输入数据1
------	----------	---	-------

23.4.2.8 MCA输入数据寄存器 2 (MCA_DIN2)

MCA 输入数据寄存器 2 (MCA_DIN2)																															
偏移地址: 0x024																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIN2																															

DIN2	Bit 31-0	W	输入数据2
------	----------	---	-------

23. 4. 2. 9 MCA输入数据寄存器 3 (MCA_DIN3)

MCA 输入数据寄存器 3（MCA_DIN3）																															
偏移地址：0x028																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIN3																															

DIN3	Bit 31-0	W	输入数据3
------	----------	---	-------

23. 4. 2. 10 MCA输入数据寄存器 4 (MCA_DIN4)

MCA 输入数据寄存器 4（MCA_DIN4）																																
偏移地址：0x02C																																
复位值：0x0000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
DIN4																																

DIN4	Bit 31-0	W	输入数据4
------	----------	---	-------

23. 4. 2. 11 MCA输入数据寄存器 5 (MCA_DIN5)

MCA 输入数据寄存器 5（MCA_DIN5）																																
偏移地址：0x030																																
复位值：0x0000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
DIN5																																

DIN5	Bit 31-0	W	输入数据5
------	----------	---	-------

23. 4. 2. 12 MCA输入数据寄存器 6 (MCA_DIN6)

MCA 输入数据寄存器 6（MCA_DIN6）																															
偏移地址：0x034																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIN6																															

DIN6	Bit 31-0	W	输入数据6
------	----------	---	-------

23. 4. 2. 13 MCA输入数据寄存器 7 (MCA_DIN7)

MCA 输入数据寄存器 7(MCA_DIN7)																															
偏移地址：0x038																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
P11ID																P12IQ															

PI1ID	Bit 31-16	R/W	PI1输入数据ID
PI2IQ	Bit 15-0	R/W	PI2输入数据IQ

23. 4. 2. 14 MCA输入数据寄存器 8 (MCA_DIN8)

MCA 输入数据寄存器 8（MCA_DIN8）																															
偏移地址：0x03C																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIN8																															

DIN8	Bit 31-0	W	输入数据8
------	----------	---	-------

23. 4. 2. 15 MCA指令寄存器 (MCA_INST)

M CA 指令寄存器 (MCA_INST)																															
偏移地址: 0x040																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BYPASS								PENDING			DMATX	START				Reserved															

BYPASS	Bit31-24	R/W	非0时, 在FOC运算过程中可以跳过指定的步骤
PENDING	Bit23-21	R/W	非0时, 启动部分FOC运算, 即运行完指定的步骤暂停, 暂停步骤对应MCAINT<7:5>
DMATX	Bit20	R/W	DMA TX使能位 0: 完成运算后无DMA TX传输 1: 完成运算后进行DMA TX传输
START	Bit19-16	W	写入 0101 时, 启动MAC操作, 写其他值无效
Reserved	Bit15-0	—	保留

第24章 运算加速器 (CALC)

24.1 概述

运算加速器(CALC)可以执行平方根、除法和反正切的运算加速模块。

24.2 特性

- ◆ 支持最大 32 位无符号数平方根运算
- ◆ 支持最大 32 位有符号数或无符号数除法运算
- ◆ 支持 CORDIC 反正切运算
- ◆ 除零警示标志位
- ◆ 支持根据运算数值大小，运算时间自动调整为 2~17 个 HCLK 时钟周期
- ◆ 支持固定运算时间(17 HCLK)
- ◆ 支持使用 DMA 写数据执行运算操作
- ◆ 支持无等待直接读取运算结果

24.3 功能描述

24.3.1 平方根运算

24.3.1.1 算法概述

无符号数平方根算法可对最大 32 位的无符号数进行平方根运算，运算结果最大为 16 位无符号数。若理论平方根值中含有小数部分，则硬件在计算时会舍去小数，即向 0 的方向取最大整数。硬件运算电路中带有预判决功能，可根据被开方数寄存器 CALC_RDCND 的数量级，自动选取最小的计算时间。

24.3.1.2 使用说明

当被开方数寄存器 CALC_RDCND 发生写入动作时，平方根运算即开始，开始时平方根运算标志位 CALC_STAT.BUSY 被置位。

当软件检测到 CALC_STAT.BUSY 被硬件清零时，表示平方根运算已经完成。通过读取平方根运算结果寄存器 CALC_SQRTRES 可获得被开方数的平方根近似值。

当运算标志位 CALC_STAT.BUSY 位为 1 时，软件读取平方根运算结果寄存器 CALC_SQRTRES 将会停止软件的指令，直到 CALC_STAT.BUSY 被硬件清零时，运算加速器返回开方数的平方根近似值，并解除停止软件指令。

若当运算还未完成，被开方数寄存器 CALC_RDCND 发生写入动作时，硬件会重新开始新的运算，原先的运算结果将被丢弃。

为使得运算的结果更精确，在操作上可采取移位元的方式来减小运算的误差。

例如，需要运算 X 的平方根，由于 X 较小，若直接写入被开方数寄存器 `CALC_RDCND` 中，产生的结果误差较大。可以先将 X 进行左移 n 位(n 需为偶数)，将 X 左移后可得新的被开方数即 $X' = X * 2^n$ ，将 X' 写入被开方数寄存器 `CALC_RDCND`，得到运算结果 Y' ，可知 $Y' = \sqrt{X'} = \sqrt{(X * 2^n)} = 2^{(n/2)} * \sqrt{X}$ ，可将 `CALC_SQRTRES` 中的结果右移 $n/2$ 位后，即得到 X 的平方根 $Y = \sqrt{X} = Y' / 2^{(n/2)}$ 。

原先 X 允许的位数 m 最大可至 32 位，当 X 的实际位数没有 32 位时，可适当的调整 n 的位数以最大程度的利用平方根运算器的性能。 n 值越大，运算结果越精确。

以计算 2 的平方根为例。 $\sqrt{2} = 1.4142135623731$ 。

Radicand (Hex)	Radicand 格式	Result(Hex)	Result(Dec)	误差(%)
0x0000 0002	m=32, n=0	0x0000 0001	1.0	-29.289
0x0000 0020	m=28, n=4	0x0000 0005	1.25	-11.612
0x0000 0200	m=24, n=8	0x0000 0016	1.3750	-2.773
0x0000 2000	m=20, n=12	0x0000 005A	1.406250	-0.563
0x0002 0000	m=16, n=16	0x0000 016A	1.41406250	-0.011
0x0020 0000	m=12, n=20	0x0000 05A8	1.41406250	-0.011
0x0200 0000	m=8, n=24	0x0000 16A0	1.41406250	-0.011
0x2000 0000	m=4, n=28	0x0000 5A82	1.4141845703	-0.002
0x8000 0000	m=2, n=30	0x0000 B504	1.4141845703	-0.002

表 24-1 平方根运算误差示例

24.3.1.3 完成时间

- ◆ `CALC_DIVCON` 寄存器的 `FIXED_SPEED` 位为 1 时
平方根算法所需的运算时间固定为 17 个时钟个数。
- ◆ `CALC_DIVCON` 寄存器的 `FIXED_SPEED` 位为 0 时
平方根算法根据被开方数 `CALC_RDCND` 寄存器中输入的数值大小所运算的时间不同，数值大小所运算的时间可根据下表所示。

CALC_RDCND<31:0>		运算时间 (BUSY=1 的时钟个数)
二进制	十进制	
1xxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 01xx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	4,294,967,295 ~1,073,741,824	17
001x_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 0001_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	1,073,741,823 ~ 268,435,456	16
0000_1xxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 0000_01xx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	268,435,455 ~ 67,108,864	15
0000_001x_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 0000_0001_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	67,108,863 ~ 16,777,216	14
0000_0000_1xxx_xxxx_xxxx_xxxx_xxxx_xxxx	16,777,215	13

0000_0000_01xx_xxxx_xxxx_xxxx_xxxx_xxxx	~ 4,194,304	
0000_0000_001x_xxxx_xxxx_xxxx_xxxx_xxxx 0000_0000_0001_xxxx_xxxx_xxxx_xxxx_xxxx	4,194,303~ 1,048,576	12
0000_0000_0000_1xxx_xxxx_xxxx_xxxx_xxxx 0000_0000_0000_01xx_xxxx_xxxx_xxxx_xxxx	1,048,575~ 262,144	11
0000_0000_0000_001x_xxxx_xxxx_xxxx_xxxx 0000_0000_0000_0001_xxxx_xxxx_xxxx_xxxx	262,143~ 65,536	10
0000_0000_0000_0000_1xxx_xxxx_xxxx_xxxx 0000_0000_0000_0000_01xx_xxxx_xxxx_xxxx	65,535~ 16,384	9
0000_0000_0000_0000_001x_xxxx_xxxx_xxxx 0000_0000_0000_0000_0001_xxxx_xxxx_xxxx	16,383~ 4,096	8
0000_0000_0000_0000_0000_1xxx_xxxx_xxxx 0000_0000_0000_0000_0000_01xx_xxxx_xxxx	4,095~ 1,024	7
0000_0000_0000_0000_0000_001x_xxxx_xxxx 0000_0000_0000_0000_0000_0001_xxxx_xxxx	1,023~ 256	6
0000_0000_0000_0000_0000_0000_1xxx_xxxx 0000_0000_0000_0000_0000_0000_01xx_xxxx	255~ 64	5
0000_0000_0000_0000_0000_0000_001x_xxxx 0000_0000_0000_0000_0000_0000_0001_xxxx	63~ 16	4
0000_0000_0000_0000_0000_0000_0000_1xxx 0000_0000_0000_0000_0000_0000_0000_01xx	15~ 4	3
0000_0000_0000_0000_0000_0000_0000_00xx	3~ 0	2

表 24-2 平方根运算时间表(CALC_DIVCON.FIXED_SPEED=0)

24.3.2 除法运算

24.3.2.1 算法概述

除法算法可对最大 32 位的有符号数或无符号数进行除法运算，运算结果最大为 32 位有符号数或无符号数。有符号运算中 Bit31 位为符号位，负数使用二进制补码的方式表示。

商的符号由被除数和除数共同决定。当被除数和除数符号相同时，商为正数；当被除数和除数符号不同时，商为负数。余数的符号由被除数的符号决定。

硬件运算电路中带有预判决功能，可根据被除数的数量级，自动选取最小的计算时间。

24.3.2.2 特例说明

溢出

在 32 位有符号除法运算中，当被除数为 0x8000_0000，除数为 0xFFFF_FFFF 时，即 $-2^{31}/-1$ ，得到的结果应为 2^{31} ，但 32 位有符号数最大可表示的正整数为 $2^{31}-1$ ，该次运算结果将溢出。此时硬件计算所得的商为 0x8000_0000，余数为 0x0000_0000。硬件并无标识位指示运算结果是否为溢出。

除数零

在 32 位有符号数或无符号数除法中,若除数设置为 0,则硬件将标志位 CALC_STAT.DZ 置 1。硬件计算所得的商与余数皆无意义。

24.3.2.3 使用说明

通过设置 CALC_DIVCON.SIGN 位来选择运算的是有符号数还是无符号数。通过设置 CALC_DIVCON.TRM 位来选择触发源。根据操作习惯,一般选择最后一个操作数的写入操作作为除法运算的触发源。

◆ 写入被除数后触发

在 CALC_DIVCON.TRM 位置 0 时,软件先对除数寄存器 CALC_DIVSR 写入值,接着对被除数寄存器 CALC_DIVDR 写入值。当被除数寄存器 CALC_DIVDR 写入值时,除法运算即触发开始,此时除法运算标志位 CALC_STAT.BUSY 被置位。

当软件检测到 CALC_STAT.BUSY 被硬件清零时,表示除法运算已经完成。通过读取商寄存器 CALC_DIVQR 和余数寄存器 CALC_DIVRR 可获得此次除法运算的结果。

当运算标志位 CALC_STAT.BUSY 位为 1 时,软件读取商寄存器 CALC_DIVQR 或余数寄存器 CALC_DIVRR 时,将会停止软件的指令,直到 CALC_STAT.BUSY 被硬件清零时,运算加速器将返回读取商寄存器 CALC_DIVQR 或余数寄存器 CALC_DIVRR 的数值,并解除停止软件指令。

若当运算还未完成,除数寄存器 CALC_DIVDR 发生写入动作时,硬件会重新开始新的运算,原先的运算结果将被丢弃。

◆ 写入除数后触发

在 CALC_DIVCON.TRM 位置 1 时,软件先对被除数寄存器 CALC_DIVDR 写入值,接着对除数寄存器 CALC_DIVSR 写入值。当除数寄存器 CALC_DIVSR 写入值时,除法运算即触发开始,此时除法运算标志位 CALC_STAT.BUSY 被置位。

当软件检测到 CALC_STAT.BUSY 被硬件清零时,表示除法运算已经完成。通过读取商寄存器 CALC_DIVQR 和余数寄存器 CALC_DIVRR 可获得此次除法运算的结果。

当运算标志位 CALC_STAT.BUSY 位为 1 时,软件读取商寄存器 CALC_DIVQR 或余数寄存器 CALC_DIVRR 时,将会停止软件的指令,直到 CALC_STAT.BUSY 被硬件清零时,运算加速器将返回读取商寄存器 CALC_DIVQR 或余数寄存器 CALC_DIVRR 的数值,并解除停止软件指令。

若当运算还未完成,除数寄存器 CALC_DIVSR 发生写入动作时,硬件会重新开始新的运算,原先的运算结果将被丢弃。

24.3.2.4 完成时间

- ◆ CALC_DIVCON 寄存器的 FIXED_SPEED 位为 1 时
除法算法所需的运算时间固定为 17 个时钟个数。
- ◆ CALC_DIVCON 寄存器的 FIXED_SPEED 位为 0 时
除法算法可根据除数 CALC_DIVSR 寄存器中输入数值大小所运算的时间不同，数值大小所运算的时间可根据下表所示。

除数的绝对值(abs(CALC_DIVSR))		运算时间 (BUSY=1 的时钟个数)
二进制	十进制	
1xxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 01xx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	4,294,967,295 ~1,073,741,824	2
001x_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 0001_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	1,073,741,823 ~ 268,435,456	3
0000_1xxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 0000_01xx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	268,435,455 ~ 67,108,864	4
0000_001x_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 0000_0001_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	67,108,863 ~ 16,777,216	5
0000_0000_1xxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 0000_0000_01xx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	16,777,215 ~ 4,194,304	6
0000_0000_001x_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 0000_0000_0001_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	4,194,303 ~ 1,048,576	7
0000_0000_0000_1xxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 0000_0000_0000_01xx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	1,048,575~ 262,144	8
0000_0000_0000_001x_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 0000_0000_0000_0001_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	262,143~ 65,536	9
0000_0000_0000_0000_1xxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 0000_0000_0000_0000_01xx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	65,535~ 16,384	10
0000_0000_0000_0000_001x_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 0000_0000_0000_0000_0001_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	16,383~ 4,096	11
0000_0000_0000_0000_0000_1xxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 0000_0000_0000_0000_0000_01xx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	4,095~ 1,024	12
0000_0000_0000_0000_0000_001x_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 0000_0000_0000_0000_0000_0001_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	1,023~ 256	13
0000_0000_0000_0000_0000_0000_1xxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 0000_0000_0000_0000_0000_0000_01xx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	255~ 64	14
0000_0000_0000_0000_0000_0000_001x_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 0000_0000_0000_0000_0000_0000_0001_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	63~ 16	15
0000_0000_0000_0000_0000_0000_0000_1xxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 0000_0000_0000_0000_0000_0000_0000_01xx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	15~ 4	16
0000_0000_0000_0000_0000_0000_0000_00xx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	3~ 0	17

表 24-3 除法运算时间表

24.3.3 反正切运算

CALC 模块中包含一 CORDIC(COordinate Rotation Digital Computer)硬件, 其作用为计算 BEMF 的反正切数值以获得转子角度, 该功能为 FOC 滑模观测器中的重要部分之一。CORDIC 利用加减法与位移运算即可计算常用的三角函数值, 此算法具有高速与内存需求低的特点, 适合于硬件上实现。下图为 CORDIC 方块图。

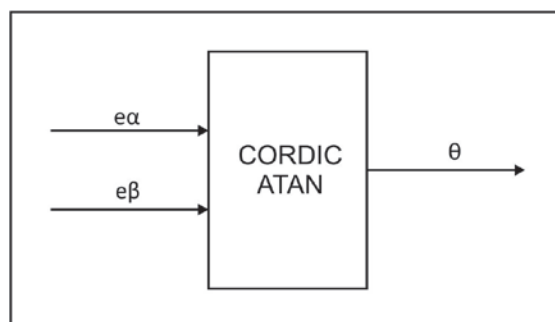


表 24-4 CORDIC 方块图

CORDIC 的输出是经过正规化的 10-bit 无号整数, 通过以下的公式可将输出结果转换为角度(degrees)或弧度(radians)。

$$degrees = (cordic_result * 360) / 1024$$

$$radians = (cordic_result * 2\pi) / 1024$$

通过反正切数据寄存器(CALC_ATAND)分别设置输入数据 X、Y。输入格式为 16 位无号整数。写 Y 数据后自动启动 CORDIC 计算, 计算完成后程序直接读取反正切结果寄存器(CALC_ATANRES)获得运算结果, CALC_ATANRES 格式为 10 位无号整数, 代表将圆 360°平分为 1024 等分, 计算结果与角度间的转换如上面所描述。

24. 4 特殊功能寄存器

24. 4. 1 寄存器列表

CALC 寄存器列表			
名称	偏移地址	类型	描述
CALC_DIVDR	0000 _H	R/W	CALC 被除数寄存器
CALC_DIVSR	0004 _H	R/W	CALC 除数寄存器
CALC_DIVQR	0008 _H	R	CALC 商寄存器
CALC_DIVRR	000C _H	R	CALC 余数寄存器
CALC_DIVCON	0010 _H	R/W	CALC 除法运算控制寄存器
CALC_RDCND	0014 _H	R/W	CALC 被开方数寄存器
CALC_SQRTRES	0018 _H	R	CALC 平方根运算结果寄存器
CALC_STAT	0020 _H	R	CALC 运算状态寄存器
CALC_ATAND	0024 _H	R/W	CALC 反正切输入数据寄存器
CALC_ATANRES	0028 _H	R	CALC 反正切结果寄存器

24. 4. 2 寄存器描述

24. 4. 2. 1 CALC被除数寄存器 (CALC_DIVDR)

CALC 被除数寄存器 (CALC_DIVDR)																																
偏移地址: 0x000																																
复位值: 0x0000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
DIVD																																

DIVD	Bit 31-0	R/W	被除数 32位被除数
------	----------	-----	---------------

24. 4. 2. 2 CALC除数寄存器(CALC_DIVSR)

CALC 除数寄存器(CALC_DIVSR)																																
偏移地址：0x004																																
复位值：0x0000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
DIVS																																

DIVS	Bit 31-0	R/W	除数 32位除数
------	----------	-----	-------------

24. 4. 2. 3 CALC商寄存器(CALC_DIVQR)

CALC 商寄存器(CALC_DIVQR)																															
偏移地址: 0x008																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIVQ																															

DIVQ	Bit 31-0	R	商 32位商
------	----------	---	-----------

24. 4. 2. 4 CALC余数寄存器(CALC_DIVRR)

CALC 余数寄存器(CALC_DIVRR)																															
偏移地址：0x00C																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIVR																															

DIVR	Bit 31-0	R	余数 32位余数
------	----------	---	-------------

24. 4. 2. 5 CALC除法运算控制寄存器(CALC_DIVCON)

CALC 除法运算控制寄存器(CALC_DIVCON)																																
偏移地址：0x010																																
复位值：0x0000 0002																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																												FIXED_SPEED		TRM		SIGN

Reserved	Bit 31-3	—	保留
FIXED_SPEED	Bit 2	R/W	固定运算时钟模式 0: 关闭固定运算时钟模式 1: 开启固定运算时钟模式
TRM	Bit 1	R/W	除法运算触发模式选择 0: 写入被除数后触发 1: 写入除数后触发
SIGN	Bit 0	R/W	除法运算符号选择 0: 无符号数 1: 有符号数

24. 4. 2. 6 CALC被开方数寄存器(CALC_RDCND)

CALC 被开方数寄存器(CALC_RDCND)																																
偏移地址：0x014																																
复位值：0x0000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
RADICAND																																

RADICAND	Bit 31-0	R/W	被开方数 32位无符号被开方数
----------	----------	-----	--------------------

24. 4. 2. 7 CALC平方根运算结果寄存器(CALC_SQRTRES)

CALC 平方根运算结果寄存器(CALC_SQRTRES)																															
偏移地址：0x018																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																RESULT															

Reserved	Bit 31-16	—	保留
RESULT	Bit 15-0	R	平方根运算结果值 16 位平方根运算结果

24. 4. 2. 8 CALC运算状态寄存器(CALC_STAT)

CALC 运算状态寄存器(CALC_STAT)																																
偏移地址：0x020																																
复位值：0x0000 0002																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																															DZ	BUSY

Reserved	Bit 31-2	—	保留
DZ	Bit 1	R	除数零警告 0: 除数不为 0 1: 除数为 0 注意: 每当写入除数寄存器时更新。
BUSY	Bit 0	R	运算状态位 (包含 3 种运算) 0: 完成 1: 进行中

24. 4. 2. 9 CALC反正切数据寄存器(CALC_ATAND)

CALC 反正切数据寄存器(CALC_ATAND)																															
偏移地址：0x024																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ATANDY																ATANDX															

ATANDY	Bit 31-16	RW	反正切数据Y(16位有符号) 注: 写入自动触发反正切运算
ATANDX	Bit 15-0	RW	反正切数据X(16位有符号)

24. 4. 2. 10 CALC反正切结果寄存器(CALC_ATANRES)

CALC 反正切结果寄存器(CALC_ATANRES)																															
偏移地址：0x028																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																						RESULT									

Reserved	Bit 31-10	—	保留
RESULT	Bit 9-0	R	反正切运算结果值

第25章 空间矢量加速器(SVA)

25.1 概述

SVA 模块是将 BLDC/PMSM 中的 FOC(Field Orientated Control)的常用运算提供运算加速功能,并计算出对应结果以提供 Timer 产生对应的 PWM 输出。

25.2 特性

- ◆ Clarke 正逆转换
- ◆ Park 正逆转换
- ◆ SVPWM
- ◆ 输入输出使用有符号 16 位定点数表示
- ◆ 使用 AHB 时钟作为运算时钟
- ◆ 运算结束产生 DMA 要求
- ◆ 运算结束产生中断

25.3 结构图

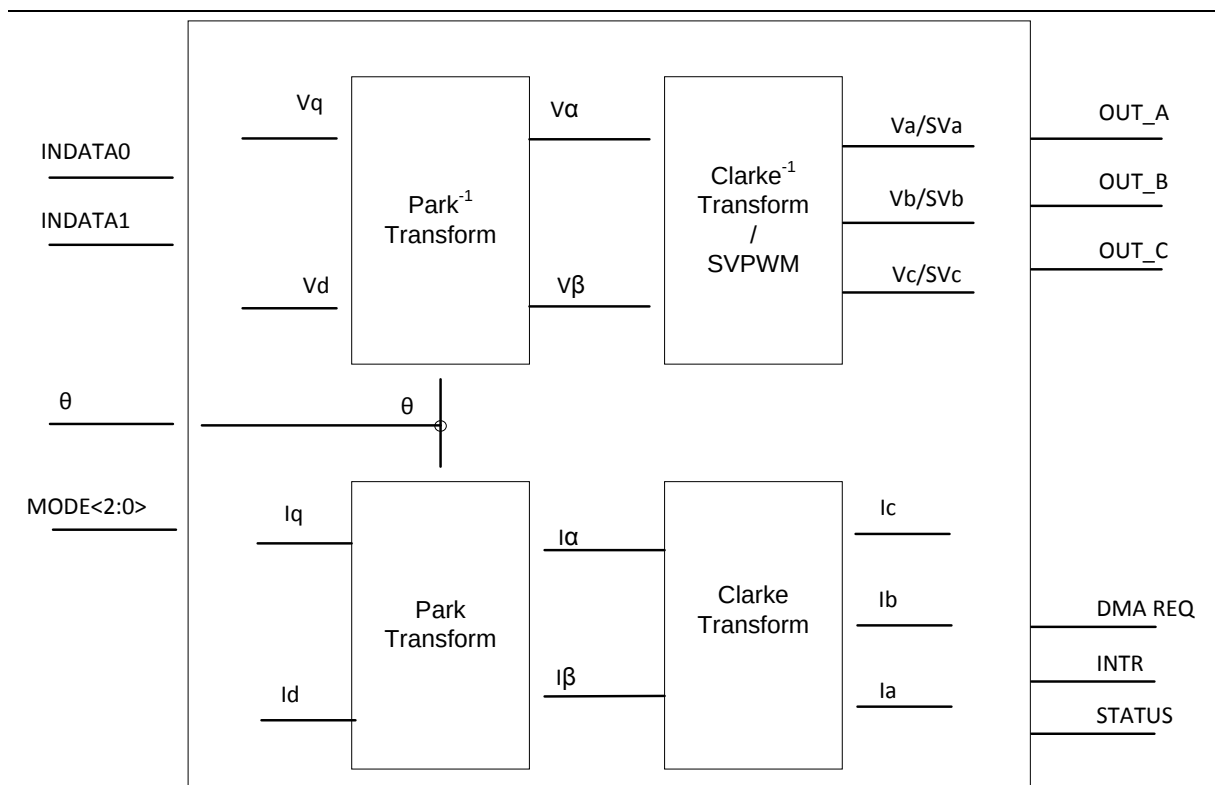


图 25-1 SVA 结构图

25. 4 功能描述

25. 4. 1 基本运算

25. 4. 1. 1 Clarke转换

将 I_a , I_b 和 I_c 转换为 I_α 和 I_β , 转换公式如下:

$$I_\alpha = I_a$$

$$I_\beta = \frac{I_a + 2 \cdot I_b}{\sqrt{3}}$$

注: 由于三项电流合值为 0, 因此输入公式只采用 I_a, I_b ; 若实际电流取样为 I_c 时, 用户须先推算出 I_a 和 I_b 。

25. 4. 1. 2 Clarke逆转换

将 V_α 和 V_β 转换为 V_a, V_b 和 V_c , 转换公式如下:

$$V_a = V_\alpha$$

$$V_b = \frac{-V_\alpha + \sqrt{3} \cdot V_\beta}{2}$$

$$V_c = \frac{-V_\alpha - \sqrt{3} \cdot V_\beta}{2}$$

25. 4. 1. 3 Park转换

将 I_α 和 I_β 转换成 I_d 和 I_q , 需额外提供角度 θ , 转换公式如下:

$$I_d = I_\alpha \cdot \cos\theta + I_\beta \cdot \sin\theta$$

$$I_q = I_\beta \cdot \cos\theta - I_\alpha \cdot \sin\theta$$

25. 4. 1. 4 Park逆转换

将 V_d 和 V_q 转换成 V_α 和 V_β , 需额外提供角度 θ , 转换公式如下:

$$V_\alpha = V_d \cdot \cos\theta - V_q \cdot \sin\theta$$

$$V_\beta = V_q \cdot \cos\theta + V_d \cdot \sin\theta$$

25. 4. 1. 5 SVPWM

将 V_α 和 V_β 转换为 PWM 对应数值 SV_a , SV_b 和 SV_c . 转换公式是以 Timer 先上数再下数产生 PWM 波形为依据。

SVPWM 的波形会根据在不同扇区 V_α , V_β 有所不同。

◆ 扇区 1, 4

$$SV_a = \frac{1 \cdot V_\beta + \sqrt{3} \cdot V_\alpha}{4} + \frac{1}{2}$$

$$SV_b = \frac{3 \cdot V_\beta - \sqrt{3} \cdot V_\alpha}{4} + \frac{1}{2}$$

$$SV_c = \frac{-1 \cdot V_\beta - \sqrt{3} \cdot V_\alpha}{4} + \frac{1}{2}$$

◆ 扇区 2, 5

$$SV_a = \frac{\sqrt{3} \cdot V_\alpha}{2} + \frac{1}{2}$$

$$SV_b = \frac{1 \cdot V_\beta}{2} + \frac{1}{2}$$

$$SV_c = \frac{-1 \cdot V_\beta}{2} + \frac{1}{2}$$

◆ 扇区 3, 6

$$SV_a = \frac{-1 \cdot V_\beta + \sqrt{3} \cdot V_\alpha}{4} + \frac{1}{2}$$

$$SV_b = \frac{1 \cdot V_\beta - \sqrt{3} \cdot V_\alpha}{4} + \frac{1}{2}$$

$$SV_c = \frac{-3 \cdot V_\beta - \sqrt{3} \cdot V_\alpha}{4} + \frac{1}{2}$$

25. 4. 1. 6 角度换算

SVA 输入角度换算公式为

$$INANLGE = \frac{\theta}{\pi} \times 32768$$

下图表示 SVA 输入角度和角度换算的关系。

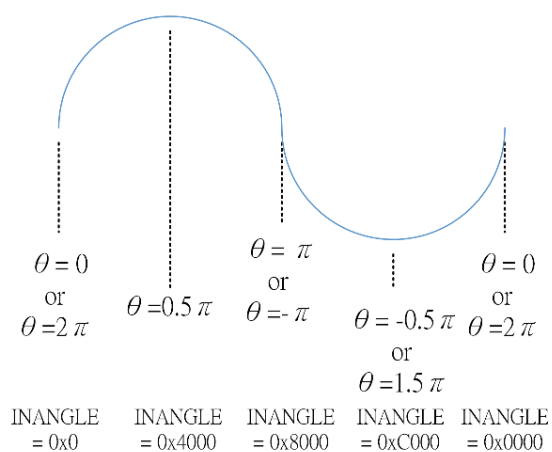


图 25-2 SVA 输入角度和角度换算的关系图

25. 4. 2 执行模式

SVA 可通过 SVA_CTRL.OP_MODE 寄存器配置决定执行那些运算，也包含部分基本运算的串接。对应的功能以及输入输出表示请参考下表。

OP_MODE	Function	Input	Output
3'b000	Clarke	SVA_INDATA0: Ia SVA_INDATA1: Ib SVA_INANGLE: N/A	SVA_OTDATA0: Ia SVA_OTDATA1: Ib SVA_OTDATA2: N/A
3'b001	Park	SVA_INDATA0: Ia SVA_INDATA1: Ib SVA_INANGLE: θ	SVA_OTDATA0: Id SVA_OTDATA1: Iq SVA_OTDATA2: N/A
3'b010	Clarke and Park	SVA_INDATA0: Ia SVA_INDATA1: Ib SVA_INANGLE: θ	SVA_OTDATA0: Id SVA_OTDATA1: Iq SVA_OTDATA2: N/A
3'b011	Inverse Park	SVA_INDATA0: Vd SVA_INDATA1: Vq SVA_INANGLE: θ	SVA_OTDATA0: Va SVA_OTDATA1: Vb SVA_OTDATA2: N/A
3'b100	Inverse Clarke	SVA_INDATA0: Va SVA_INDATA1: Vb SVA_INANGLE: N/A	SVA_OTDATA0: Va SVA_OTDATA1: Vb SVA_OTDATA2: Vc
3'b101	Inverse Park and Inverse Clarke	SVA_INDATA0: Vd SVA_INDATA1: Vq SVA_INANGLE: θ	SVA_OTDATA0: Va SVA_OTDATA1: Vb SVA_OTDATA2: Vc
3'b110	SVPWM	SVA_INDATA0: Va SVA_INDATA1: Vb SVA_INANGLE: N/A	SVA_OTDATA0: SVa SVA_OTDATA1: SVb SVA_OTDATA2: SVc
3'b111	Inverse Park and SVPWM	SVA_INDATA0: Vd SVA_INDATA1: Vq SVA_INANGLE: θ	SVA_OTDATA0: SVa SVA_OTDATA1: SVb SVA_OTDATA2: SVc

25.4.3 控制流程

下面介绍三种不同读取运算结果的方式及流程。

- ◆ Pulling Status
- ◆ 使用中断
- ◆ 使用 DMA

25.4.3.1 Pulling Status

1. 配置 SVA_CTRL.OP_MODE。
2. 根据 OP_MODE 配置对应的 SVA_INDATA0, SVA_INDATA1, SVA_INANGLE。
3. 对 SVA_CTRL.STR_TRIG 写 1 启动运算。
4. 监控 SVA_STATUS.BUSY 是否为 0, 若为 0 表示运算结束。
5. 读取对应的 SVA_OTDATA0, SVA_OTDATA1, SVA_OTDATA2。

25.4.3.2 使用中断

1. C code 规划 SVA 的 IRQ Function。
 - 读取对应的 SVA_OTDATA0, SVA_OTDATA1, SVA_OTDATA2。
 - 当进入 IRQ Function 对 SVA_ICR.DONE 写 1 清除中断。
2. 配置 SVA_IER.DONE 为 1。
3. 配置 SVA_CTRL.OP_MODE。
4. 根据 OP_MODE 配置对应的 SVA_INDATA0, SVA_INDATA1, SVA_INANGLE。
5. 对 SVA_CTRL.STR_TRIG 写 1 启动运算, 并在 IRQ Function 读取运算结果。

25.4.3.3 使用 DMA

1. DMA 相关设定
 - DMA IRQ Function。
 - DMA MUX 启动对应 SVA 的请求信号。
2. 配置 SVA_CTRL.DMA_EN 为 1。
3. 配置 SVA_CTRL.OP_MODE。
4. 对 SVA_CTRL.STR_TRIG 写 1 启动运算。在 SVA 运算后会发出 DMA 请求将运算结果搬移至 SRAM。

25.4.3.4 使用 DMA 启动

可对应上面三个流程将用户激活 SVA 运算的步骤改由 DMA 写入 STR_TRIG 启动运算。

1. C code 规划对应 SRAM 空间的写入数据对应 SVA_INDATA0, SVA_INDATA1, SVA_INANGLE 和 SVA_CTRL。
 - STR_TRIG 对应 bit 必须设为 1。
2. 使用 DMA 的 M2M 模式启动, 并将目的地起始地址设为 SVA_INDATA0。
3. DMA 在搬移最后一笔数据时写入 SVA_CTRL 会同时启动 SVA 运算。

25. 4. 4 其他功能

25. 4. 4. 1 PWM输出倍率

当运行有关 Inverse Clarke 或 SVPWM 有关的运算时，可将结果再乘上一个数值倍率。

1. 配置 SVA_CTRL.OUTMUL_EN 为 1
2. 配置增益到 SVA_OUTMUL 寄存器
 - 启动其他运算不会启动此功能。
3. 运行有关 Inverse Clarke 或 SVPWM 有关的运算时，会将输出再乘上配置的增益数值。

25. 4. 4. 2 扇区变更标志位

在马达应用上，通过三相信号之间 PWM 宽度的比较来提示扇区变更。

1. 配置门限值到 SVA_PWMTH 寄存器
2. 当运行有关 Inverse Clarke 或 SVPWM 有关的运算后，若任意两个输出小于此门限值则会反应到 SVA_STATUS.SECTOR_FLAG。
 - 每次启动运算会将 SECTOR_FLAG 清 0。
 - 启动其他运算也会清为 0，需在执行下一次运算前读走结果。
 - 启动其他运算不会在输出结果时启动此功能。
 - 门限默认为 0，当配置大于 1 时会启动该功能。

25. 5 特殊功能寄存器

25. 5. 1 寄存器列表

SVA 寄存器列表			
名称	偏移地址	类型	描述
SVA_IER	0000 _H	W1	SVA 中断开启寄存器
SVA_IDR	0004 _H	W1	SVA 中断关闭寄存器
SVA_IVS	0008 _H	R	SVA 中断功能有效状态寄存器
SVA_RIF	000C _H	R	SVA 原始中断标志寄存器
SVA_IFM	0010 _H	R	SVA 中断标志屏蔽状态寄存器
SVA_ICR	0014 _H	C_W1	SVA 中断清除寄存器
SVA_INDATA0	0018 _H	R/W	SVA 输入数据 0
SVA_INDATA1	001C _H	R/W	SVA 输入数据 1
SVA_INANGLE	0020 _H	R/W	SVA 输入角度
SVA_CTRL	0024 _H	R/W	SVA 控制寄存器
SVA_OTDATA0	0028 _H	R	SVA 输出数据 0
SVA_OTDATA1	002C _H	R	SVA 输出数据 1
SVA_OTDATA2	0030 _H	R	SVA 输出数据 2
SVA_STATUS	0034 _H	R	SVA 状态寄存器
SVA_OUTMUL	0038 _H	R/W	SVA 输出倍率因子
SVA_PWMTH	003C _H	R/W	SVA PWM 宽度检测门限值

25.5.2 寄存器描述

25.5.2.1 SVA中断开启寄存器(SVA_IER)

SVA 中断开启寄存器 (SVA_IER)																																
偏移地址：0x00																																
复位值：0x0000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																																DONE

Reserved	Bit 31-1	—	保留
DONE	Bit 0	W1	SVA 运算完成中断开启 0: 写 0 无效 1: SVA 运算完成中断开启

25.5.2.2 SVA中断关闭寄存器(SVA_IDR)

SVA 中断关闭寄存器 (SVA_IDR)																																
偏移地址：0x04																																
复位值：0x0000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																																DONE

Reserved	Bit 31-1	—	保留
DONE	Bit 0	W1	SVA运算完成中断关闭 0: 写0无效 1: SVA运算完成中断关闭

25.5.2.3 SVA中断功能有效状态寄存器(SVA_IVS)

SVA 中断功能有效状态寄存器 (SVA_IVS)																																
偏移地址：0x08																																
复位值：0x0000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																																DONE

Reserved	Bit 31-1	—	保留
DONE	Bit 0	R	SVA运算完成中断功能有效状态 0: SVA运算完成中断功能处于关闭状态 1: SVA运算完成中断功能处于开启状态

25.5.2.4 SVA原始中断标志寄存器(SVA_RIF)

SVA 原始中断标志寄存器 (SVA_RIF)																																
偏移地址: 0x0C																																
复位值: 0x0000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																																DONE

Reserved	Bit 31-1	—	保留
DONE	Bit 0	R	SVA运算完成中断状态 0: 无发生中断 1: 已发生中断

25. 5. 2. 5 SVA中断标志屏蔽状态寄存器(SVA_IFM)

SVA 中断标志屏蔽状态寄存器 (SVA_IFM)																																
偏移地址：0x10																																
复位值：0x0000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																																DONE

Reserved	Bit 31-1	—	保留
DONE	Bit 0	R	SVA运算完成中断标志位状态 0: 未发生中断或没有开启中断 1: 已发生中断

注: SVA_IFM 寄存器是滤除已关闭中断功能的中断事件, 只关注开启中断功能的事件, 此寄存器的状态位是将 SVA_RIF 与 SVA_IVS 进行逻辑与运算后的结果。

25. 5. 2. 6 SVA中断清除寄存器(SVA_ICR)

SVA 中断清除寄存器 (SVA_ICR)																																
偏移地址：0x14																																
复位值：0x0000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																																DONE

Reserved	Bit 31-1	—	保留
DONE	Bit 0	W1	SVA运算完成中断清除 0: 写 0 无效 1: 清除中断事件

25. 5. 2. 7 SVA输入数据 0 (SVA_INDATAB0)

SVA 输入数据 0 (SVA_INDATAB0)																															
偏移地址: 0x18																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																INDATAB0															

Reserved	Bit 31-16	—	保留
INDATAB0	Bit 15-0	R/W	输入数据 0 16位有符号数

25. 5. 2. 8 SVA输入数据 1 (SVA_INDATAB1)

SVA 输入数据 1 (SVA_INDATAB1)																															
偏移地址：0x1C																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																INDATAB1															

Reserved	Bit 31-16	—	保留
INDATAB1	Bit 15-0	R/W	输入数据1 16位有符号数

25. 5. 2. 9 SVA输入角度(SVA_INANGLE)

SVA 輸入角度 (SVA_INANGLE)																																
偏移地址: 0x20																																
复位值: 0x0000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																INANGLE																

Reserved	Bit 31-16	—	保留
INANGLE	Bit 15-0	R/W	输入角度 16位有符号数，用来表示 $[-\pi,\pi)$ $\theta = \frac{INANGLE}{32768} \times \pi$ 0x8000 : $-\pi$ 0x7FFF : π

25. 5. 2. 10 SVA控制寄存器(SVA_CTRL)

SVA 控制寄存器 (SVA_CTRL)																															
偏移地址：0x24																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																										DMA_EN	OUTMUL_EN	EXCHANGE	OP_MODE		STR_TRIG

Reserved	Bit 31-7	—	保留
DMA_EN	Bit 6	R/W	DMA 请求开关 0: 关闭 1: SVA运算完毕后会发送DMA请求
OUTMUL_EN	Bit 5	R/W	SVA 输出倍率功能开关 0: 关闭 1: Clarke逆转换和SVPWM的输出最后会乘上 SVA_OUTMUL.OUTMUL。
EXCHANGE	Bit 4	R/W	输入参数交换 0: 输入参数无互换 1: 输入数据0和1互换,仅用于SVPWM或 Inverse Clarke运算时
OP_MODE	Bit 3-1	R/W	SVA 运算模式 3'b000: Clarke 3'b001: Park 3'b010: Clarke and Park 3'b011: Inverse Park 3'b100: Inverse Clarke 3'b101: Inverse Park and Inverse Clarke 3'b110: SVPWM 3'b111: Inverse Park and SVPWM
STR_TRIG	Bit 0	W1	SVA 启动 0: 无作用 1: 写1启动SVA运算.

25.5.2.11 SVA输出数据 0(SVA_OTDATA0)

SVA 输出数据 0 (SVA_OTDATA0)																																
偏移地址：0x28																																
复位值：0x0000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																OTDATA0																

Reserved	Bit 31-16	—	保留, 自动扩展为符号位
OTDATA0	Bit 15-0	R	输出数据 0 16位有符号数

25.5.2.12 SVA输出数据 1(SVA_OTDATA1)

SVA 输出数据 1 (SVA_OTDATA1)																																
偏移地址：0x2C																																
复位值：0x0000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																OTDATA1																

Reserved	Bit 31-16	—	保留, 自动扩展为符号位
OTDATA1	Bit 15-0	R	输出数据1 16位有符号数

25.5.2.13 SVA输出数据 2(SVA_OTDATA2)

SVA 输出数据 2 (SVA_OTDATA2)																																
偏移地址：0x30																																
复位值：0x0000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																OTDATA2																

Reserved	Bit 31-16	—	保留, 自动扩展为符号位
OTDATA2	Bit 15-0	R	输出数据2 16位有符号数

25. 5. 2. 14 SVA状态寄存器(SVA_STATUS)

SVA 状态寄存器 (SVA_STATUS)																															
偏移地址：0x34																															
复位值：0x0000 001E																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																								SECTOR_FLAG			OP_MODE			BUSY	

Reserved	Bit 31-8	—	保留
SECTOR_FLAG	Bit 7-5	R	扇区交换标志位 这些标志位会在两两PWM宽度接近(宽度差距小于 SVA_PWMTH.PWM_TH)被置1 且需要在执行SVPWM或inverse Clarke后才能真正读出对应的结果 bit 7置1: PWM A and C宽度小于门限 bit 6置1: PWM B and C宽度小于门限 bit 5置1: PWM A and B宽度小于门限
OP_MODE	Bit 4-1	R	SVA 运算模式 显示当前或前一次运算使用的模式。 4'b0000: Clarke 4'b0001: Park 4'b0010: Clarke and Park 4'b0011: Inverse Park 4'b0100: Inverse Clarke 4'b0101: Inverse Park and Inverse Clarke 4'b0110: SVPWM 4'b0111: Inverse Park and SVPWM 4'b1111: SVA is reset before be triggered otherwise: 非法状态
BUSY	Bit 0	R	SVA 忙碌标志位 启动SVA后会置1 0: 待命中 1: SVA运算中

25. 5. 2. 15 SVA输出倍率因数(SVA_OUTMUL)

SVA 输出倍率因数 (SVA_OUTMUL)																															
偏移地址: 0x38																															
复位值: 0x0000 8000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																OUTMUL															

Reserved	Bit 31-16	—	保留
OUTMUL	Bit 15-0	R/W	SVA 输出倍率因子 当SVA_CTRL.OUTMUL_EN=1, 且执行Clarke逆转换和SVPWM相关运算, 输出最后会乘上此数值。 $Gain = OUTMUL / 2^{15}$ 格式为无符号数、1位整数以及15位小数, 数值范围[0, 2)。

25. 5. 2. 16 SVA PWM宽度侦测门限值(SVA_PWMTH)

SVA PWM 宽度侦测门限值 (SVA_PWMTH)																															
偏移地址：0x3C																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																PWM_TH															

Reserved	Bit 31-16	—	保留
PWM_TH	Bit 15-0	R/W	SVA PWM宽度侦测门限值 会侦测Clarke逆转换和SVPWM的三组输出数值(经过OUTMUL处理后)是否相差小于门限值, 若有则在反应对应的标志位在SVA_STATUS。 格式为16位无符号数

第26章 比例-积分器(PI)

26.1 概述

PI 提供一个乘法与积分运算的加速单元，有独立的 2 组运算单元。

26.2 特性

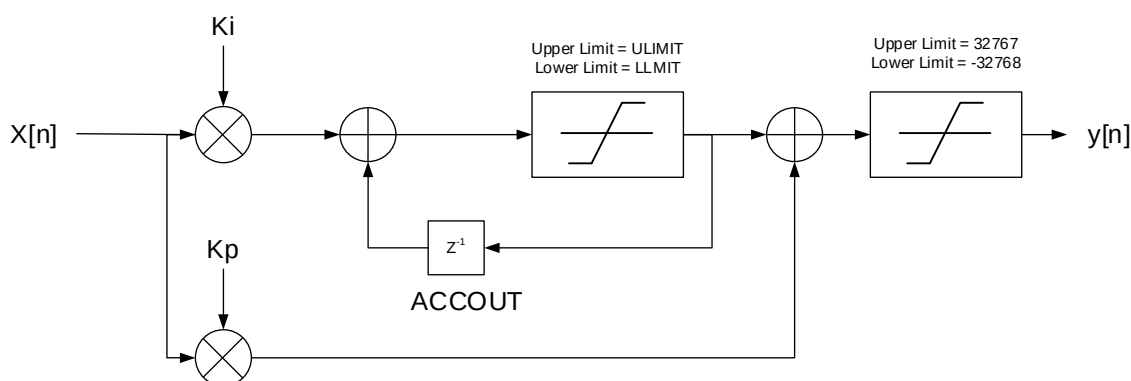
- ◆ 使用 16 位作为输入输出
- ◆ 支持 2 组输入输出分别运算
- ◆ K_p , K_i 支持两种数值格式
- ◆ 可配置积分器上下限

26.3 功能描述

26.3.1 比例-积分器 (Proportional-Integral Controller)

常用于反馈控制器的一环。运算分为两部分比例和积分，公式如下： $Y_n = K_p \times X_n + \int K_i \times X_n$

- ◆ PI controller structure



26.3.1.1 数值范围

- ◆ 输入/输出：16bits 有号数。小数位元数为 15bits，数值范围 $[-1, 1)$ 。
- ◆ K_i, K_p 系数：16bits 有号数。
 - ◇ Qformat = Q15：小数位元数为 15bits，数值范围 $[-1, 1)$
 - ◇ Qformat = Q12：小数位元数为 12bits，数值范围 $[-8, 8)$
- ◆ 积分器输出：16bits 有号数。小数位元数为 15bits，数值范围 $[-1, 1)$ 。
 - ◇ 可配置箝制上下限数值(ULIMIT, LLIMIT)。

26.3.1.2 使用方式

1. 配置对应的 K_i, K_p , 积分器上下限以及 Qformat。
2. 初始化运算单元
 - 通过 **PI_CTRL** 的 init 先初始化运算单元状态机以及将积分器数值设置为 0。
 - 可根据需求写入初始值到积分器数值的寄存器。(e.g. **PI_1_ACCOUT**)
3. 以应用需求先配置对应输入数据
 - 以 FOC 使用来说, 输入数据可能为 I_q, I_d 参考值减去运算后的 I_q, I_d 数值。
4. 通过 **PI_CTRL** 的 trig 启动运算。
5. 监控 **PI_STATUS** 对应的 Busy, 确认是否运算完毕。
6. 确定后再通过对应的寄存器读出运算后的结果。(e.g. **PI_1_OUTDATA**)
7. 三组 PI 的操作皆依照以上步骤。

26. 4 特殊功能寄存器

26. 4. 1 寄存器列表

PI 寄存器列表			
名称	偏移地址	类型	描述
PI_CTRL	0000 _H	R/W	PI 控制寄存器
PI_STATUS	0004 _H	R	PI 状态寄存器
PI_1_INDATA	0008 _H	R/W	PI 输入数据(第 1 组)
PI_1_KP	000C _H	R/W	PI 系数 Kp(第 1 组)
PI_1_KI	0010 _H	R/W	PI 系数 Ki(第 1 组)
PI_1_ULIMIT	0014 _H	R/W	PI 积分器输出上限值(第 1 组)
PI_1_LLIMIT	0018 _H	R/W	PI 积分器输出下限值(第 1 组)
PI_1_OUTDATA	001C _H	R	PI 输出数据(第 1 组)
PI_1_ACCOUT	0020 _H	R/W	PI 积分器数值(第 1 组)
PI_2_INDATA	0024 _H	R/W	PI 输入数据(第 2 组)
PI_2_KP	0028 _H	R/W	PI 系数 Kp(第 2 组)
PI_2_KI	002C _H	R/W	PI 系数 Ki(第 2 组)
PI_2_ULIMIT	0030 _H	R/W	PI 积分器输出上限值(第 2 组)
PI_2_LLIMIT	0034 _H	R/W	PI 积分器输出下限值(第 2 组)
PI_2_OUTDATA	0038 _H	R	PI 输出数据(第 2 组)
PI_2_ACCOUT	003C _H	R/W	PI 积分器数值(第 2 组)

26. 4. 2 寄存器描述

26. 4. 2. 1 PI控制寄存器(PI_CTRL)

PI 控制寄存器 (PI_CTRL)																															
偏移地址: 0x00																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																					qformat_3	qformat_2	qformat_1	Reserved	INIT_3	INIT_2	INIT_1	Reserved	STR_TRIG_3	STR_TRIG_2	STR_TRIG_1

Reserved	Bit 31-11	—	保留
qformat_3	Bit 10	RW	第3组PI Mode选择 0: Ki,Kp使用15位小数表示[-1,1) 1: Ki,Kp使用12位小数表示[-8,8)
qformat_2	Bit 9	RW	第2组PI Mode选择 0: Ki,Kp使用15位小数表示[-1,1) 1: Ki,Kp使用12位小数表示[-8,8)
qformat_1	Bit 8	RW	第1组PI Mode选择 0: Ki,Kp使用15位小数表示[-1,1) 1: Ki,Kp使用12位小数表示[-8,8)
Reserved	Bit 7	—	保留
INIT_3	Bit 6	W1	第3组PI初始化 0: 无作用 1: 写1启动第3组PI运算
INIT_2	Bit 5	W1	第2组PI初始化 0: 无作用 1: 写1启动第2组PI运算
INIT_1	Bit 4	W1	第1组PI初始化 0: 无作用 1: 写1启动第1组PI运算
Reserved	Bit 3	—	保留
STR_TRIG_3	Bit 2	W1	第3组PI启动 0: 无作用 1: 写1启动第3组PI运算
STR_TRIG_2	Bit 1	W1	第2组PI启动 0: 无作用 1: 写1启动第2组PI运算
STR_TRIG_1	Bit 0	W1	第1组PI启动

			0: 无作用 1: 写 1 启动第 1 组 PI 运算
--	--	--	--------------------------------

26. 4. 2. 2 PI状态寄存器(PI_STATUS)

PI 状态寄存器 (PI_STATUS)																															
偏移地址：0x04																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																										BUSY_3		BUSY_2		BUSY_1	

Reserved	Bit 31-3	—	保留
BUSY_3	Bit 2	R	第3组PI运算状态 0: ready 1: busy
BUSY_2	Bit 1	R	第2组PI运算状态 0: ready 1: busy
BUSY_1	Bit 0	R	第1组PI运算状态 0: ready 1: busy

26. 4. 2. 3 PI输入数据(第 1 组) (PI_1_INDATA)

PI 输入数据(第 1 组) (PI_1_INDATA)																															
偏移地址: 0x08																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																PI_INDATA															

Reserved	Bit 31-16	—	保留
PI_INDATA	Bit 15-0	R/W	PI输入数据 PI 滤波器输入参数D。 16位有号数，1位有号位以及15位小数。数值范围[-1, 1)。

26. 4. 2. 4 PI系数Kp(第 1 组) (PI_1_KP)

PI 系数 Kp(第 1 组) (PI_1_KP)																															
偏移地址: 0x0C																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																PI_KP															

Reserved	Bit 31-16	—	保留
PI_KP	Bit 15-0	R/W	PI系数Kp PI滤波器输入参数Kp。 16位有号数。有两种表示范围[-1, 1)和[-8, 8)。 根据对应的qformat选择数值范围。

26. 4. 2. 5 PI系数Ki(第 1 组) (PI_1_KI)

PI 系数 Ki(第 1 组) (PI_1_KI)																															
偏移地址：0x10																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																PI_KI															

Reserved	Bit 31-16	—	保留
PI_KI	Bit 15-0	R/W	PI系数Ki PI滤波器输入参数Ki。 16位有号数。有两种表示范围[-1, 1)和[-8, 8)。 根据对应的qformat选择数值范围。

26. 4. 2. 6 PI积分器输出上限值(第 1 组) (PI_1_ULIMIT)

PI 积分器输出上限值(第 1 组) (PI_1_ULIMIT)																															
偏移地址: 0x14																															
复位值: 0x7FFF FFFF																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PI_ULIMIT																															

PI_ULIMIT	Bit 31-0	R/W	PI积分器输出上限值 PI输出上限值。 32位有号数，1位有号位以及31位小数。数值范围[-1, 1)。
-----------	----------	-----	---

26. 4. 2. 7 PI积分器输出下限值(第 1 组) (PI_1_LLIMIT)

PI 积分器输出下限值(第 1 组) (PI_1_LLIMIT)																																
偏移地址: 0x18																																
复位值: 0x8000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
PI_LLIMIT																																

PI_LLIMIT	Bit 31-0	R/W	PI积分器输出下限值 PI 输出下限值。 32位有号数，1位有号位以及31位小数。数值范围[-1, 1)。
-----------	----------	-----	--

26. 4. 2. 8 PI输出数据(第 1 组) (PI_1_OUTDATA)

PI 输出数据(第 1 组) (PI_1_OUTDATA)																															
偏移地址: 0x1C																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																PI_OUTDATA															

Reserved	Bit 31-16	—	保留
PI_OUTDATA	Bit 15-0	R	PI输出数据 PI输出数据D。 16位有号数, 1位有号位以及15位小数。数值范围[-1, 1)。

26. 4. 2. 9 PI积分器数值(第 1 组) (PI_1_ACCOUT)

PI 积分器数值(第 1 组) (PI_1_ACCOUT)																															
偏移地址：0x20																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PI_ACCOUT																															

PI_ACCOUT	Bit 31-0	R/W	PI输出数据Y PI输出数据Y。 32位有号数, 1位有号位以及31位小数。数值范围[-1, 1)。
-----------	----------	-----	--

26. 4. 2. 10 PI输入数据(第 2 组) (PI_2_INDATA)

PI 输入数据(第 2 组) (PI_2_INDATA)																															
偏移地址: 0x24																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																PI_INDATA															

Reserved	Bit 31-16	—	保留
PI_INDATA	Bit 15-0	R/W	PI输入数据 PI 滤波器输入参数D。 16位有号数, 1位有号位以及15位小数。数值范围[-1, 1)。

26. 4. 2. 11 PI系数Kp(第 2 组) (PI_2_KP)

PI 系数 Kp(第 2 组) (PI_2_KP)																															
偏移地址: 0x28																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																PI_KP															

Reserved	Bit 31-16	—	保留
PI_KP	Bit 15-0	R/W	PI系数Kp PI 滤波器输入参数Kp。 16位有号数。有两种表示范围[-1, 1)和[-8, 8)。 根据对应的qformat选择数值范围。

26. 4. 2. 12 PI系数Ki(第 2 组) (PI_2_KI)

PI 系数 Ki(第 2 组) (PI_2_KI)																															
偏移地址：0x2C																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																PI_KI															

Reserved	Bit 31-16	—	保留
PI_KI	Bit 15-0	R/W	PI系数Ki PI 滤波器输入参数Ki。 16位有号数。有两种表示范围[-1, 1)和[-8, 8)。 根据对应的qformat选择数值范围。

26. 4. 2. 13 PI积分器输出上限值(第 2 组) (PI_2_ULIMIT)

PI 积分器输出上限值(第 2 组) (PI_2_ULIMIT)																																
偏移地址: 0x30																																
复位值: 0x7FFF FFFF																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
PI_ULIMIT																																

PI_ULIMIT	Bit 31-0	R/W	PI积分器输出上限值 PI 输出上限值。 32位有号数，1位有号位以及31位小数。数值范围[-1, 1)。
-----------	----------	-----	--

26. 4. 2. 14 PI积分器输出下限值(第 2 组) (PI_2_LLIMIT)

PI 积分器输出下限值(第 2 组) (PI_2_LLIMIT)																																
偏移地址: 0x34																																
复位值: 0x8000 0000																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
PI_LLIMIT																																

PI_LLIMIT	Bit 31-0	R/W	PI积分器输出下限值 PI 输出下限值。 32位有号数, 1位有号位以及31位小数。数值范围[-1, 1)。
-----------	----------	-----	--

26. 4. 2. 15 PI输出数据(第 2 组) (PI_2_OUTDATA)

PI 输出数据(第 2 组) (PI_2_OUTDATA)																															
偏移地址：0x38																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																PI_OUTDATA															

Reserved	Bit 31-16	—	保留
PI_OUTDATA	Bit 15-0	R	PI 输出数据 PI 输出数据D。 16位有号数, 1位有号位以及15位小数。数值范围[-1, 1)。

26. 4. 2. 16PI积分器数值(第 2 组) (PI_2_ACCOUT)

PI 积分器数值(第 2 组) (PI_2_ACCOUT)																															
偏移地址: 0x3C																															
复位值: 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PI_ACCOUT																															

PI_ACCOUT	Bit 31-0	R/W	PI 输出数据 PI 输出数据Y。 32位有号数，1位有号位以及31位小数。数值范围[-1, 1)。
-----------	----------	-----	--

第27章 模数转换器（ADC）

27.1 概述

该 ADC 为逐次逼近型模数转换器，采样分辨率为 12 位，最多可以测量 26 个外部信号、1 个内部参考电压（VREF1.2V）和 1 个运放 OPA 输出电压。通道的转换可选择单次、连续、扫描或不连续等采样模式，其采样结果存储在 16 位数据寄存器，数据存储格式可以选择左对齐或右对齐存储。

ADC 模块具有模拟看门狗特性，允许应用程序检测输入电压是否超过了用户设定的阈值上限或下限。

27.2 特性

- ◆ 可配置的转换分辨率（6/8/10/12 位）
- ◆ 支持单次或连续工作模式
- ◆ 在标准转换、插入转换结束后以及发生模拟看门狗或溢出事件时产生中断
- ◆ 用于自动将通道 0 转换为通道“n”的扫描模式
- ◆ 可配置的数据对齐方式
- ◆ 可独立设置各通道采样时间
- ◆ 可配置外部触发器选项，可为标准转换和插入转换配置极性
- ◆ 支持不连续采样模式
- ◆ 可配置的参考源选择
- ◆ 可配置的转换时钟分频
- ◆ 支持标准数据转换或插入通道转换完成后的 DMA 请求标准

27.3 结构框图

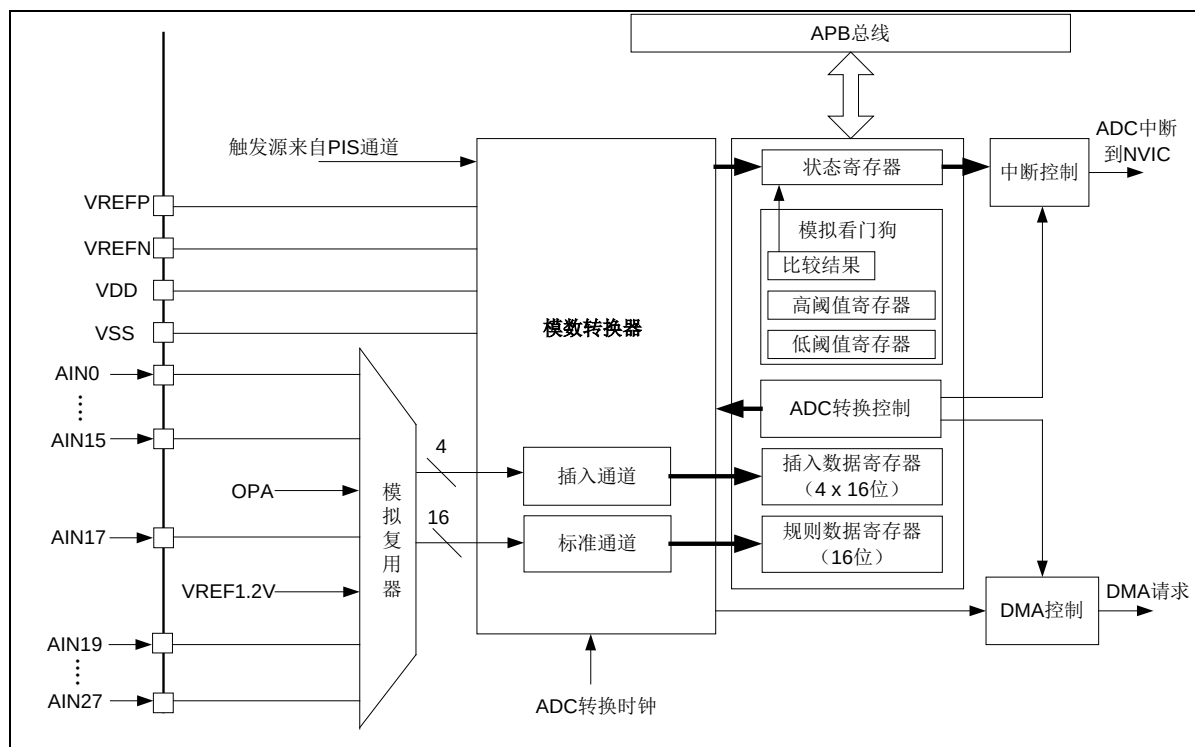


图 27-1 ADC 结构框图

27.4 功能描述

27.4.1 ADC控制

通过将 ADC_CON1 寄存器中的 ADCEN 位置 1 来使能 ADC。

通过将 ADC_CON1 寄存器中的 NCHTRG 或 ICHTRG 位置 1 来启动 AD 转换。

通过将 ADC_CON1 寄存器中的 ADCEN 位清零来关闭 ADC。

ADC 在使能后需要一定的建立时间，才能正常工作，所以在 ADCEN 使能后的第一次转换结果可能不准确，在应用中需要丢弃该次转换结果。

27.4.2 ADC时钟

ADC 内部工作需要两路时钟：

- ◇ 用于模拟电路的时钟：ADCCLK

此时钟来自于经可编程分频器分频的 AHB 时钟，该分频器可将 AHB 时钟产生 2~256 分频时钟供 ADC 模拟电路使用，可通过寄存器 ADC_CCR 的 POSDIV 位设置时钟分频系数，通过 PREDIV 位使能分频系数减 1；对标准通道，还可以通过 NCHPOSDIV2 位设置时钟分频系数，可用于当插入通道的 ADC 时钟为 2 分频时（POSDIV=0），对标准通道的 ADC 时钟分频系数进行独立设置。

- ◇ 用于数字接口的时钟（用于寄存器读/写访问）：AHB 时钟。

27.4.3 通道控制

用于 ADC 转换的通道可分为两组：标准转换和插入转换，每组包含一个转换序列，该序列可按任意顺序在任意通道上完成。例如，可按以下顺序进行序列转换：AIN3、AIN8、AIN2、AIN2、AIN0、AIN2、AIN2、AIN15。

- ◇ 一个标准转换组最多由 16 个转换构成。必须在 ADC_NCHSx 寄存器中选择转换序列的标准通道及其顺序。标准转换组中的转换总数必须写入 ADC_CHSL 寄存器中的 NSL 位。
- ◇ 一个插入转换组最多由 4 个转换构成。必须在 ADC_ICHS 寄存器中选择转换序列的插入通道及其顺序。插入转换组中的转换总数必须写入 ADC_CHSL 寄存器中的 ISL 位。

在插入转换通过寄存器 OPA_CON 的 MODF 位，可使能 OPA 正端输入通道快速切换，增加 ADC 转换前的 OPA 输出电压稳定时间，可提高 ADC 对 OPA 电压转换结果的精确度。

如果在转换期间修改 ADC_NCHSx 或 ADC_ICHS 寄存器，将复位当前转换并向 ADC 发送一个新的启动脉冲，以转换新选择的组。

支持 2 个内部通道：运放 OPA 电压、VREF1.2V。

- ◇ 运放 OPA 输出电压连接到 ADC 输入通道 16。
- ◇ 内部参考电压 VREF1.2V 连接到输入通道 18。

27.4.4 单次工作模式

单次工作模式是指 ADC 执行一次转换，其工作流程如下：

- ◇ 将 ADC_CON1.CM 位置 0，然后通过后续方式来启动此模式：
- ◇ 将 ADC_CON1 寄存器中的 NCHTRG 位置 1（仅适用于标准通道）
- ◇ 将 ADC_CON1 寄存器中的 ICHTRG 位置 1（仅适用于插入通道）
- ◇ 外部触发（适用于标准通道或插入通道）

完成所选通道的转换之后：

- ◇ 使用标准通道：
 - 转换数据存储在 16 位 ADC_NCHDR 寄存器中
 - 标准转换结束标志 ADC_STAT.NCHE 置 1
 - 若标准转换完成中断使能位 ADC_CON0.NCHEIE 置 1，将产生中断
- ◇ 使用插入通道：
 - 转换数据存储在 16 位 ADC_ICHDR 寄存器中
 - 插入转换结束标志 ADC_STAT.ICHE 置 1
 - 若插入转换完成中断使能位 ADC_CON0.ICHEIE 置 1，将产生中断

然后，ADC 停止。

27.4.5 连续工作模式

连续工作模式是指 ADC 执行一次转换任务后，立即执行下一个转换任务，其工作流程如下：

- ◇ 将 ADC_CON1.CM 位置 1
- ◇ 通过外部触发或 ADC_CON1.NCHTRG 置 1，来启动此模式（仅适用于标准通道）

每次转换之后：

- ◇ 转换标准通道组：
 - 上次转换的数据存储在 16 位 ADC_NCHDR 寄存器中
 - 标准转换结束标志 ADC_STAT.NCHE 置 1
 - 若标准转换完成中断使能位 ADC_CON0.NCHEIE 置 1，将产生中断

注 1：连续转换模式仅适用于标准通道组，不适用于插入通道组。

注 2：连续转换模式下唯一的例外情况是，在使能 ADC_CON0.IAUTO 时，插入通道组在标准通道组之后自动转换。

27.4.6 时序图

在使能 ADC 后，需要一段稳定时间 t_{STAB} ，然后再启动 ADC 转换，并经过若干个时钟周期后 CHE 标志置 1，如下图所示。

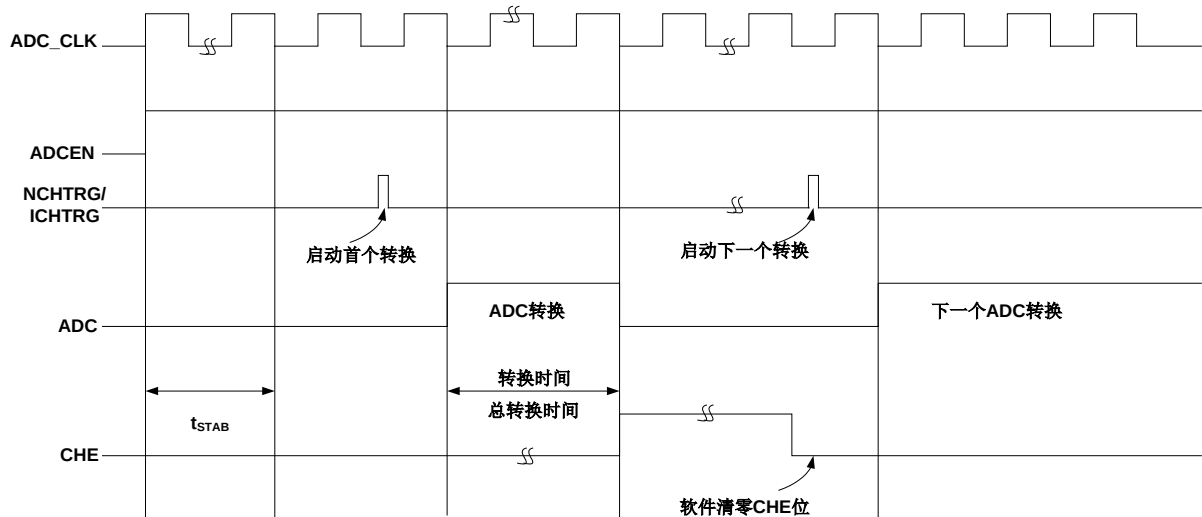


图 27-2 ADC 转换时序图

27.4.7 模拟看门狗

如果 ADC 转换的模拟电压低于阈值下限（寄存器 ADC_WDTL）或高于阈值上限（寄存器 ADC_HTR），则 AWD 模拟看门狗状态位 ADC_STAT.AWDF 位置 1。使能 ADC_CON0.AWDIE 位可以打开模拟看门狗中断。

上下限阈值寄存器是低 12 位有效的寄存器，而 ADC 结果寄存器可以左对齐和右对齐，但看门狗是在对齐之前将模拟电压与阈值上限和下限进行比较。

下表介绍了通过配置寄存器 ADC_CON0，可在一个或多个通道上使能模拟看门狗。

模拟看门狗保护通道	AWDSGL	NCHWDEN	ICHWDTEN
无	X	0	0
所有插入通道	0	0	1
所有标准通道	0	1	0
所有标准通道和插入通道	0	1	1
单个插入通道（AWDCH 选择）	1	0	1
单个标准通道（AWDCH 选择）	1	1	0
单个标准/插入通道（AWDCH 选择）	1	1	1

表 27-1 模拟看门狗通道选择

使用模拟看门狗流程

1. 设置寄存器 ADC_CON0 的 AWDSGL 位来选择看门狗作用于单个通道或一组通道，清 0 选择一组通道，置 1 选择单个通道。选择单个通道时可通过 AWDCH 位选择哪个通道。
2. 置位寄存器 ADC_CON0 的 NCHWDEN 或 ICHWDTEN 选择使能标准组或插入组通道。

27.4.8 通道扫描

扫描模式是指连续依次转换标准组所有通道或者插入组所有通道。通过将 ADC_CON0.SCANEN 位置 1 来选择扫描模式。ADC 会扫描在 ADC_NCHSx 寄存器（对于标准通道）或 ADC_ICHS 寄存器（对于插入通道）中选择的所有通道，为组中的每个通道依次执行一次转换。如果将 CM 位置 1，并且是标准组扫描，ADC 会循环转换标准组所有通道。

如果将 ADC_CON1.DMA 位置 1，则在每次通道转换结束标志置位后通过 DMA 控制器将转换自标准通道组的数据寄存器（ADC_NCHDR）传输到 SRAM。

在以下情况下，ADC_STAT 寄存器中的 NCHE 位置 1：

- ◇ 如果 CON1.NCHESEL 位清零，在每个标准组序列转换结束时
- ◇ 如果 CON1.NCHESEL 位置 1，在每个标准通道转换结束时

从插入通道转换的数据始终存储在 ADC_ICHDRx 寄存器中。

27.4.9 插入通道控制

在插入通道转换时，可以通过寄存器 OPA_CON 的 MODF 位，使能插入通道快速切换，增加 ADC 转换前的通道电压稳定时间，可提高 ADC 对通道电压转换结果的精确度。

触发插入

要使用触发插入，必须将 ADC_CON0.IAUTO 位清零。使用触发插入时，必须确保触发事件之间的间隔长于插入序列。

在插入转换期间出现标准通道转换事件，插入转换不会被中断，标准转换在插入转换结束时执行。

在标准组转换期间触发插入：

1. 通过外部触发或将 ADC_CON1.NCHTRG 位置 1 来启动标准通道组转换。
2. 如果在标准通道组转换期间出现外部插入触发或者 ADC_CON1.ICHTRG 位置 1，则当前的转换会打断，并且插入通道序列会切换为单次扫描模式。
3. 然后，标准通道组的标准转换会从上次中断的标准转换处恢复。

自动插入

如果将 IAUTO 位置 1，则插入组中的通道会在标准组通道之后自动转换。这可用于转换最多由 20 个 AD 转换构成的序列，这些转换在 ADC_NCHSx 和 ADC_ICHS 寄存器中编程。

在此模式下，必须禁止插入通道上的外部触发。

如果 CM 位和 IAUTO 位均已置 1，则在转换标准通道之后会继续转换插入通道。

27.4.10 不连续采样控制

标准组

可将 ADC_CON0.NCHDCEN 位置 1 来使能此模式。该模式可用于转换含有 n ($n \leq 8$) 个

转换的短序列，该短序列是在 ADC_NCHSx 寄存器中选择的转换序列的一部分。可通过写入 ADC_CON0.ETRGN 位来指定 n 的值。

出现外部触发时，将启动在 ADC_NCHSx 寄存器中选择的 n 个转换，直到序列中的所有转换均完成为止。通过 ADC_CHSL.NSL 位定义总序列长度。

示例：

n = 4, ADC_CHSL.NSL=9, 要转换的通道 = 0、2、3、5、6、7、8、10、11

第 1 次触发：转换序列 0、2、3、5

第 2 次触发：转换序列 6、7、8、10

第 3 次触发：转换序列 11 并生成 NCHE 事件

第 4 次触发：转换序列 0、2、3、5

在不连续采样模式下转换标准组时，最后一次触发剩余的通道不足 ADC_CON0.ETRGN 指定的通道数时，不会接着从头转换，转换到序列最后一个通道就会停止，生成 NCHE 事件。转换完所有序列通道后，下一个触发信号将启动序列的第一个通道。在上述示例中，第 4 次触发 重新转换了序列的 0、2、3、5 通道。

插入组

可将 ADC_CON0 寄存器中的 ICHDCEN 位置 1 来使能此模式。在出现外部触发事件之后，可使用该模式逐通道 (n=1) 转换在 ADC_ICHS 寄存器中选择的序列。

出现外部触发时，将启动在 ADC_ICHS 寄存器中选择的下一个通道转换，直到序列中的所有转换均完成为止。通过 ADC_CHSL 寄存器中的 ISL 位定义总序列长度。

示例：

n = 1, ADC_CHSL.ISL=3, 要转换的通道 = 1、3、4

第 1 次触发：转换通道 1

第 2 次触发：转换通道 3

第 3 次触发：转换通道 4 并生成 CHE 和 ICHE 事件

第 4 次触发：通道 1

转换完所有插入通道后，下一个触发信号将启动第一个插入通道的转换。在上述示例中，第 4 次触发重新转换了第 1 个插入通道。

不能同时使用自动插入和不连续采样模式。

不得同时为标准组和插入组设置不连续采样模式。只能选择其一进行不连续采样模式。

27.4.11 数据对齐

插入通道组的转换数据存放在 ADC_ICHDR1~ADC_ICHDR4 寄存器中，标准通道组的转换数据存放在 ADC_NCHDR 寄存器中。

ADC_CON1.ALIGN 位用于选择转换后存储的数据的对齐方式，可选择左对齐和右对齐两种方式，如下图所示。

标准通道组

0	0	0	0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
---	---	---	---	-----	-----	----	----	----	----	----	----	----	----	----	----

插入通道组

0	0	0	0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
---	---	---	---	-----	-----	----	----	----	----	----	----	----	----	----	----

图 27-3 右对齐数据示意图

标准通道组

0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	0	0	0
---	-----	-----	----	----	----	----	----	----	----	----	----	----	---	---	---

插入通道组

0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	0	0	0
---	-----	-----	----	----	----	----	----	----	----	----	----	----	---	---	---

图 27-4 左对齐数据示意图

27.4.12 可独自设置各通道采样时间

ADC 会在数个 ADCCLK 周期内对输入电压进行采样，可使用 ADC_SMPT1、ADC_SMPT2 和 ADC_SMPT3 寄存器中的 CHTx 位修改采样周期数。每个通道均可以使用不同的采样时间进行采样。对标准通道，还可通过寄存器 ADC_CCR2 的 NCHSMDLEN 位延长采样时间。

总转换时间的计算公式如下：

$$T_{\text{conv}} = \text{采样时间} + 14 \text{ 个周期}$$

示例：

ADCCLK = 36MHz 且采样时间 = 4 个周期时：

$$T_{\text{conv}} = 4 + 14 = 18 \text{ 个周期} = 0.5\mu\text{S} \text{ (AHBCLK 为 72MHz)}$$

注：在采样时间内及其之后的 2 个 ADCCLK 周期内，需保持模拟输入信号电压稳定，否则会影响采样结果。

27.4.13 外部触发转换和触发极性

可以通过配置 PIS 通道选择相应信号触发 ADC 转换，PIS 的配置请查看 PIS 相应章节描述。当 PIS 某一通道配置成 ADC 外部触发时，若相应的触发源事件发生，将自动触发标准序列或插入序列转换。

27.4.14 快速转换模式

可通过降低 ADC 分辨率来执行快速转换。RSEL 位用于选择数据寄存器中可用的位数。每种分辨率的最小转换时间如下：

- ◇ 12 位：4 + 14 = 18 个 ADCCLK 周期
- ◇ 10 位：4 + 12 = 16 个 ADCCLK 周期
- ◇ 8 位：4 + 10 = 14 个 ADCCLK 周期
- ◇ 6 位：4 + 8 = 12 个 ADCCLK 周期

27.4.15 数据管理

27.4.15.1 使用DMA

标准组只有一个数据寄存器（ADC_NCHDR）用于存储 AD 转换结果值，所以对于多个标准通道的转换，使用 DMA 可以快速存储数据，避免在上一次转换结果的值还未读出时新的 ADC 结果值又写入 ADC_CHDR 寄存器，造成数据丢失。

每完成标准通道组中的一个通道转换后，都会生成一个 DMA 请求。这样便可将转换的数据从 ADC_NCHDR 寄存器传输到软件指定的目标内存位置。

通过配置 ADC_CON1 寄存器的 DMA_SEL 为 1，可在插入通道转换完成后产生 DMA 请求。

27.4.15.2 在不使用DMA的情况下管理转换序列

如果转换过程足够慢，则可使用软件来处理转换序列。在这种情况下，必须将 ADC_CON1 寄存器中的 NCHESEL 位置 1，才能使 NCHE 状态位在每次转换结束时置 1，而不仅是在序列结束时置 1。当 NCHESEL = 1 时，会自动使能溢出检测。因此，每当转换结束时，NCHE 都会置 1，并且可以读取 ADC_NCHDR 寄存器。如果数据丢失（溢出），则会将 ADC_STAT 寄存器中的 OVR 位置 1 并生成一个中断（如果 ADC_CON0.OVRIE 位已置 1）。

要在 NCHESEL 位置 1 时将 ADC 从 OVR 状态中恢复，请按以下步骤操作：

1. 将 ADC_STAT 寄存器中的 OVR 位清零
2. 触发 ADC 以开始转换

27.4.15.3 在不使用DMA和溢出检测情况下进行转换

当 ADC 存在转换一个或多个通道时不需要每次读取数据的情况时，例如使用模拟看门狗，可将 ADC_CON1.OVRDIS 置 1，并且仅在序列结束（NCHESEL = 0）时才将 NCHE 位置 1。这样溢出检测被禁止。

27. 4. 16 ADC中断

当模拟看门狗状态位和溢出状态位分别置 1 时，标准组和插入组在转换结束时可能会产生中断。可以使用单独的中断使能位以实现灵活性。

中断事件	事件标志位	使能控制位
结束标准组的转换	NCHE	NCHEIE
结束插入组的转换	ICHE	ICHEIE
发生模拟看门狗事件	AWDF	AWDIE
溢出	OVR	OVRIE

表 27-2 ADC 中断

27.5 特殊功能寄存器

27.5.1 寄存器列表

ADC 寄存器列表			
名称	偏移地址	类型	描述
ADC_STAT	000 _H	R	ADC 状态寄存器
ADC_CLR	004 _H	W	ADC 清零寄存器
ADC_CON0	008 _H	R/W	ADC 控制寄存器 0
ADC_CON1	00C _H	R/W	ADC 控制寄存器 1
ADC_SMPT1	010 _H	R/W	ADC 采样时间寄存器 1
ADC_SMPT2	014 _H	R/W	ADC 采样时间寄存器 2
ADC_SMPT3	018 _H	R/W	ADC 采样时间寄存器 3
ADC_CCR2	02C _H	R/W	ADC 通用控制寄存器 2
ADC_NCHS1	030 _H	R/W	ADC 标准通道序列寄存器 1
ADC_NCHS2	034 _H	R/W	ADC 标准通道序列寄存器 2
ADC_NCHS3	038 _H	R/W	ADC 标准通道序列寄存器 3
ADC_NCHS4	03C _H	R/W	ADC 标准通道序列寄存器 3
ADC_ICHS	040 _H	R/W	ADC 插入通道序列寄存器
ADC_CHSL	044 _H	R/W	ADC 通道序列长度寄存器
ADC_WDTH	048 _H	R/W	ADC 看门狗高阈值寄存器
ADC_WDTL	04C _H	R/W	ADC 看门狗低阈值寄存器
ADC_ICHDR1	050 _H	R	ADC 插入通道数据寄存器 1
ADC_ICHDR2	054 _H	R	ADC 插入通道数据寄存器 2
ADC_ICHDR3	058 _H	R	ADC 插入通道数据寄存器 3
ADC_ICHDR4	05C _H	R	ADC 插入通道数据寄存器 4
ADC_NCHDR	060 _H	R	ADC 标准通道数据寄存器
ADC_CCR	064 _H	R/W	ADC 通用控制寄存器

27.5.2 寄存器描述

27.5.2.1 ADC状态寄存器 (ADC_STAT)

ADC 状态寄存器 (ADC_STAT)																																				
偏移地址: 00 _H																																				
复位值: 00000000_00000000_00000000_00000000 _B																																				
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Reserved																					ICHS		NCHS		Reserved				OVR		ICHE		NCHE		AWDF	

Reserved	Bit 31-10	—	保留
ICHS	Bit 9	R	插入通道转换开始标志位 0: 未开始插入转换或标志位已被清除 1: 已开始插入转换 注: 该位由硬件置1, 通过操作ADC_CLR清零
NCHS	Bit 8	R	标准通道转换开始标志位 0: 未开始标准转换或标志位已被清除 1: 已开始标准转换 注: 该位由硬件置1, 通过操作ADC_CLR清零
Reserved	Bit 7-4	—	保留
OVR	Bit 3	R	转换溢出标志位 0: 未发生溢出或标志位已被清除 1: 发生溢出 注 1: 溢出检测仅在 DMA=1 或 NCHESEL=1 时使能 注 2: 该位由硬件置 1, 通过操作 ADC_CLR 清零
ICHE	Bit 2	R	插入通道转换结束标志位 0: 所有插入转换未完成或标志位已被清除 1: 所有插入转换已完成 注: 该位由硬件置 1, 通过操作 ADC_CLR 清零
NCHE	Bit 1	R	标准通道转换结束标志位 NCHESEL = 0 时 0: 标准转换序列未完成或标志位已被清除 1: 标准转换序列已完成 NCHESEL = 1 时 0: 单次标准转换未完成或标志位已被清除 1: 单次标准转换已完成 注: 该位由硬件置1, 通过操作ADC_CLR清零
AWDF	Bit 0	R	模拟看门狗标志位 0: 未发生看门狗事件或标志位已被清除 1: 已发生看门狗事件 注: 该位由硬件置1, 通过操作ADC_CLR清零

27.5.2.2 ADC清零寄存器 (ADC_CLR)

ADC 清零寄存器 (ADC_CLR)																																				
偏移地址: 04 _H																																				
复位值: 00000000_00000000_00000000_00000000 _B																																				
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Reserved																					ICHS		NCHS		Reserved				OVR		ICHE		NCHE		AWDF	

Reserved	Bit 31-10	—	保留
ICHS	Bit 9	W1	插入通道开始标志位清零 0: 无操作 1: 插入转换开始标志位清零
NCHS	Bit 8	W1	标准通道开始标志位清零 0: 无操作 1: 标准转换开始标志位清零
Reserved	Bit 7-4	—	保留
OVR	Bit 3	W1	转换溢出标志位清零 0: 无操作 1: 转换溢出标志位清零
ICHE	Bit 2	W1	插入转换结束标志位清零 0: 无操作 1: 插入转换结束标志位清零
NCHE	Bit 1	W1	标准转换结束标志位清零 0: 无操作 1: 标准转换结束标志位清零
AWDF	Bit 0	W1	模拟看门狗标志位清零 0: 无操作 1: 模拟看门狗标志位清零

27.5.2.3 ADC控制寄存器 0 (ADC_CON0)

ADC 控制寄存器 0（ADC_CON0）																																	
偏移地址：08 _H																																	
复位值：00000000_00000000_00000000_00000000 _B																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved					OVRIE	RSEL		NCHWDEN	ICHWDTEN	Reserved			CNTW			ETRGN			ICHDCEN	NCHDCEN	IAUTO	AWDSGL	SCANEN	ICHEIE	AWDIE	NCHEIE	AWDCH						

Reserved	Bit 31-27	—	保留
OVRIE	Bit 26	R/W	溢出中断使能位 0: 禁止 1: 使能
RSEL	Bit 25-24	R/W	ADC 转换分辨率选择位 00: 6 位, 转换结果数据位为 D11~D6 01: 8 位, 转换结果数据位为 D11~D4 10: 10 位, 转换结果数据位为 D11~D2 11: 12 位, 转换结果数据位为 D11~D0
NCHWDEN	Bit 23	R/W	标准通道看门狗使能位 0: 禁止 1: 使能
ICHWDTEN	Bit 22	R/W	插入通道看门狗使能位 0: 禁止 1: 使能
Reserved	Bit 21-19	—	保留
CNTW	Bit 18-16	R/W	通道切换等待时间 000: 0 个 ADC 时钟 001: 1 个 ADC 时钟 ... 111: 7 个 ADC 时钟
ETRGN	Bit 15-13	R/W	外部触发不连续转换通道数选择位 000: 1 个通道 001: 2 个通道 111: 8 个通道
ICHDCEN	Bit 12	R/W	插入通道不连续转换使能位 0: 禁止 1: 使能
NCHDCEN	Bit 11	R/W	标准通道不连续转换使能位 0: 禁止 1: 使能
IAUTO	Bit 10	R/W	插入组自动转换使能位

			0: 禁止 1: 使能
AWDSGL	Bit 9	R/W	扫描模式单一通道模拟看门狗使能位 0: 禁止 1: 使能
SCANEN	Bit 8	R/W	扫描模式使能位 0: 禁止 1: 使能
ICHEIE	Bit 7	R/W	插入通道转换完成中断使能位 0: 禁止 1: 使能
AWDIE	Bit 6	R/W	模拟看门狗中断使能位 0: 禁止 1: 使能
NCHEIE	Bit 5	R/W	标准通道转换完成中断使能位 0: 禁止 1: 使能
AWDCH	Bit 4-0	R/W	模拟看门狗通道选择位 00000: ADC 输入通道 0 00001: ADC 输入通道 1 01001: ADC输入通道17 11011: ADC 输入通道 27 其他: 保留

27.5.2.4 ADC控制寄存器 1 (ADC_CON1)

ADC 控制寄存器 1（ADC_CON1）																															
偏移地址：0C _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	NCHTRG	NETS		Reserved					ICHTRG	IETS		Reserved								ALIGN	NCHESEL	DMA_SEL	DMA	Reserved					CM	ADCEN	

Reserved	Bit 31	—	保留
NCHTRG	Bit 30	W1	标准通道触发位 0: 无操作 1: 触发开始标准通道转换
NETS	Bit 29-28	RW	标准转换外部触发极性选择位 00: 外部触发禁止 01: 上升沿触发 10: 下降沿触发 11: 上升沿和下降沿触发
Reserved	Bit 27-23	—	保留
ICHTRG	Bit 22	W1	插入通道触发位 0: 无操作 1: 触发开始插入通道转换
IETS	Bit 21-20	RW	插入转换外部触发极性选择位 00: 外部触发禁止 01: 上升沿触发 10: 下降沿触发 11: 上升沿和下降沿触发
Reserved	Bit 19-12	—	保留
ALIGN	Bit 11	RW	数据对齐方式位 0: 右对齐 1: 左对齐
NCHESEL	Bit 10	RW	标准转换结束标志选择位 0: 标准转换序列结束时将 STAT.NCHE 位置 1 1: 单次标准转换结束时将 STAT.NCHE 位置 1
DMA_SEL	Bit 9	RW	DMA 请求选择位 0: 标准通道转换完成后产生 DMA 请求 1: 插入通道转换完成后产生DMA请求
DMA	Bit 8	RW	DMA 访问使能位 0: 禁止 1: 使能
Reserved	Bit 7-2	—	保留
CM	Bit 1	RW	转换模式选择位

			0: 单次转换 1: 连续转换
ADCEN	Bit 0	R/W	ADC 使能位 0: 禁止 1: 使能

注：因 ADC 在使能后需要一定的建立时间(小于 1us)，才能正常工作，所以在 ADCEN 使能后需延迟至少 1us 再进行第一次转换，否则转换结果可能不准确。

27.5.2.5 ADC采样时间寄存器 1 (ADC_SMPT1)

ADC 采样时间寄存器 1（ADC_SMPT1）																															
偏移地址：10 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHT7				CHT6				CHT5				CHT4				CHT3				CHT2				CHT1				CHT0			

CHTy	Bit 31-0	R/W	通道 y 采样时间选择位 (y=0..7) 0000: 2 个 Tadclk 周期 0001: 4 个 Tadclk 周期 0010: 8 个 Tadclk 周期 0011: 16 个 Tadclk 周期 其他: 预留
------	----------	-----	---

注：在采样时间内及其之后的 2 个 Tadclk 周期内，ADC 输入通道信号电压需保持稳定，否则会影响采样结果。

27.5.2.6 ADC采样时间寄存器 2 (ADC_SMPT2)

ADC 采样时间寄存器 2（ADC_SMPT2）																															
偏移地址：14 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHT15				CHT14				CHT13				CHT12				CHT11				CHT10				CHT9				CHT8			

CHTy	Bit 31-0	R/W	通道 y 采样时间选择位 (y=8..15) 0000: 2 个 Tadclk 周期 0001: 4 个 Tadclk 周期 0010: 8 个 Tadclk 周期 0011: 16 个 Tadclk 周期 其他: 预留
------	----------	-----	--

27.5.2.7 ADC采样时间寄存器 3 (ADC_SMPT3)

ADC 采样时间寄存器 3 (ADC_SMPT3)																															
偏移地址: 18 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								CHT27		CHT26		CHT25		CHT24		CHT23		CHT22		CHT21		CHT20		CHT19		CHT18		CHT17		CHT16	

Reserved	Bit 31-24	—	保留
CHTy	Bits 23-0	R/W	通道 y 采样时间选择位 (y=16..27) 00: 2 个 Tadcclk 周期 01: 4 个 Tadcclk 周期 10: 8 个 Tadcclk 周期 11: 16 个 Tadcclk 周期

27.5.2.8 ADC通用控制寄存器 2 (ADC_CCR2)

ADC 通用控制寄存器 2 (ADC_CCR2)																																	
偏移地址: 2C _H																																	
复位值: 00000000_00000000_00000000_00000000 _B																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved																				OPA_GAIN2EN	OPA_GAIN2			OPA_VPSELM			Reserved		NCHSMDLEN		Reserved		

Reserved	Bit 31-12	—	保留
OPA_GAIN2EN	Bit 11	R/W	OPA内部增益2使能位 (仅在寄存器OPA_CON的VN_SEL=100时有效) 0: 禁止 1: 使能
OPA_GAIN2	Bit 10-8	R/W	PGA 增益 2 选择位 000: 4 倍 001: 5 倍 010: 6 倍 011: 7 倍 100: 8 倍 101: 10 倍 110: 12 倍 111: 保留 注1: 当用作反相放大器时, 放大倍数为上述各增益档位的倍数减1;

			注2: 当OPA_GAIN2EN=1且OPA的当前正输入端为OPA_VPSELM所选择的通道时, OPA增益使用OPA_GAIN2所选择的倍数。
OPA_VPSELM	Bit 7-6	R/W	切换到内部增益2的OPA正输入端选择位 00: VINP0 01: VINP1 10: VINP2 11: VINP3或VDD分压器(当寄存器VDD_SCAL的TOPAEN位为0时, 选择VINP3, 反之则选择VDD分压器)
Reserved	Bit 5-4	—	保留
NCHSMDLEN	Bit 3	R/W	标准通道采样时间延长使能位(仅对标准通道有效) 0: 禁止 1: 使能 注: 该位使能时, 标准通道的采样时间延长约128~256个系统时钟周期, 例如: 标准通道0所设置的采样时间为8Tadclk, 延长后实际为8Tadclk+(128~256)Tsysclk
Reserved	Bit 2-0	—	保留

27.5.2.9 ADC标准通道序列寄存器 1 (ADC_NCHS1)

ADC 标准通道序列寄存器 1 (ADC_NCHS1)																															
偏移地址: 30 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				NS4				Reserved				NS3				Reserved				NS2				Reserved				NS1			

Reserved	Bit 31-29	—	保留
NS4	Bit 28-24	R/W	标准序列第 4 次转换通道编号 00000~11011: 通道 0~27 其他: 预留
Reserved	Bit 23-21	—	保留
NS3	Bit 20-16	R/W	标准序列第 3 次转换通道编号 00000~11011: 通道 0~27 其他: 预留
Reserved	Bit 15-13	—	保留
NS2	Bit 12-8	R/W	标准序列第 2 次转换通道编号 00000~11011: 通道 0~27 其他: 预留
Reserved	Bit 7-5	—	保留

NS1	Bit 4-0	R/W	标准序列第 1 次转换通道编号 00000~11011: 通道 0~27 其他: 预留
-----	---------	-----	---

27.5.2.10 ADC标准通道序列寄存器 2 (ADC_NCHS2)

ADC 标准通道序列寄存器 2（ADC_NCHS2）																																
偏移地址：34 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved			NS8				Reserved				NS7				Reserved				NS6				Reserved				NS5					

Reserved	Bit 31-29	—	保留
NS8	Bit 28-24	R/W	标准序列第 8 次转换通道编号 00000~11011: 通道 0~27 其他: 预留
Reserved	Bit 23-21	—	保留
NS7	Bit 20-16	R/W	标准序列第 7 次转换通道编号 00000~11011: 通道 0~27 其他: 预留
Reserved	Bit 15-13	—	保留
NS6	Bit 12-8	R/W	标准序列第 6 次转换通道编号 00000~11011: 通道 0~27 其他: 预留
Reserved	Bit 7-5	—	保留
NS5	Bit 4-0	R/W	标准序列第 5 次转换通道编号 00000~11011: 通道 0~27 其他: 预留

27.5.2.11 ADC标准通道序列寄存器3 (ADC_NCHS3)

ADC 标准通道序列寄存器 3 (ADC_NCHS3)																															
偏移地址: 38 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				NS12				Reserved				NS11				Reserved				NS10				Reserved				NS9			

Reserved	Bit 31-29	—	保留
NS12	Bit 28-24	R/W	标准序列第 12 次转换通道编号 00000~11011: 通道 0~27 其他: 预留
Reserved	Bit 23-21	—	保留
NS11	Bit 20-16	R/W	标准序列第 11 次转换通道编号 00000~11011: 通道 0~27 其他: 预留
Reserved	Bit 15-13	—	保留
NS10	Bit 12-8	R/W	标准序列第 10 次转换通道编号 00000~11011: 通道 0~27 其他: 预留
Reserved	Bit 7-5	—	保留
NS9	Bit 4-0	R/W	标准序列第 9 次转换通道编号 00000~11011: 通道 0~27 其他: 预留

27.5.2.12 ADC标准通道序列寄存器 4 (ADC_NCHS4)

ADC 标准通道序列寄存器 4 (ADC_NCHS4)																															
偏移地址: 3C _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				NS16				Reserved				NS15				Reserved				NS14				Reserved				NS3			

Reserved	Bit 31-29	—	保留
NS16	Bit 28-24	R/W	标准序列第 16 次转换通道编号 00000~11011: 通道 0~27 其他: 预留
Reserved	Bit 23-21	—	保留
NS15	Bit 20-16	R/W	标准序列第 15 次转换通道编号 00000~11011: 通道 0~27 其他: 预留
Reserved	Bit 15-13	—	保留
NS14	Bit 12-8	R/W	标准序列第 14 次转换通道编号 00000~11011: 通道 0~27 其他: 预留
Reserved	Bit 7-5	—	保留
NS13	Bit 4-0	R/W	标准序列第 13 次转换通道编号 00000~11011: 通道 0~27 其他: 预留

27.5.2.13 ADC插入通道序列寄存器 (ADC_ICHS)

ADC 插入通道序列寄存器（ADC_ICHS）																															
偏移地址：40 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			IS4					Reserved			IS3				Reserved			IS2				Reserved			IS1						

Reserved	Bit 31-29	—	保留
IS4	Bit 28-24	R/W	插入序列第 4 次转换通道编号 00000~11011: 通道 0~27 其他: 预留
Reserved	Bit 23-21	—	保留
IS3	Bit 20-16	R/W	插入序列第 3 次转换通道编号 00000~11011: 通道 0~27 其他: 预留
Reserved	Bit 15-13	—	保留
IS2	Bit 12-8	R/W	插入序列第 2 次转换通道编号 00000~11011: 通道 0~27 其他: 预留
Reserved	Bit 7-5	—	保留
IS1	Bit 4-0	R/W	插入序列第 1 次转换通道编号 00000~11011: 通道 0~27 其他: 预留

27.5.2.14 ADC通道序列长度寄存器 (ADC_CHSL)

ADC 通道序列长度寄存器（ADC_CHSL）																															
偏移地址：44 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																						ISL		Reserved				NSL			

Reserved	Bit 31-10	—	保留
ISL	Bit 9-8	R/W	插入通道序列长度 00: 1 次转换 01: 2 次转换 10: 3 次转换 11: 4 次转换
Reserved	Bit 7-4	—	保留
NSL	Bit 3-0	R/W	标准通道列长度 0000: 1 次转换 0001: 2 次转换 1111: 16 次转换

27.5.2.15 ADC看门狗高阈值寄存器 (ADC_WDTH)

ADC 看门狗高阈值寄存器（ADC_WDTH）																															
偏移地址：48 _H																															
复位值：00000000_00000000_00001111_11111111 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																				HT											

Reserved	Bit 31-12	—	保留
HT	Bit 11-0	R/W	模拟看门狗高阈值 当原始数据大于高阈值时产生看门狗事件

27.5.2.16 ADC看门狗低阈值寄存器 (ADC_WDTL)

ADC 看门狗低阈值寄存器（ADC_WDTL）																															
偏移地址：4C _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																LT															

Reserved	Bit 31-12	—	保留
LT	Bit 11-0	R/W	模拟看门狗低阈值 当原始数据小于低阈值时产生看门狗事件

27.5.2.17 ADC插入通道数据寄存器 1 (ADC_ICHDR1)

ADC 插入通道数据寄存器 1 (ADC_ICHDR1)																																		
偏移地址：50 _H																																		
复位值：00000000_00000000_00000000_00000000 _B																																		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Reserved																VAL																		

Reserved	Bit 31-16	—	保留
VAL	Bit 15-0	R	插入通道 1 转换数据 该数据为对齐之后的数据

27.5.2.18 ADC插入通道数据寄存器 2 (ADC_ICHDR2)

ADC 插入通道数据寄存器 2（ADC_ICHDR2）																															
偏移地址：54 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																VAL															

Reserved	Bit 31-16	—	保留
VAL	Bit 15-0	R	插入通道 2 转换数据 该数据为对齐之后的数据

27.5.2.19 ADC插入通道数据寄存器3 (ADC_ICHDR3)

ADC 插入通道数据寄存器 3 (ADC_ICHDR3)																															
偏移地址: 58 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																VAL															

Reserved	Bit 31-16	—	保留
VAL	Bit 15-0	R	插入通道 3 转换数据 该数据为对齐之后的数据

27.5.2.20 ADC插入通道数据寄存器4 (ADC ICHDR4)

ADC 插入通道数据寄存器 4 (ADC_ICHDR4)																															
偏移地址: 5C _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																VAL															

Reserved	Bit 31-16	—	保留
VAL	Bit 15-0	R	插入通道 4 转换数据 该数据为对齐之后的数据

27.5.2.21 ADC标准通道数据寄存器 (ADC_NCHDR)

ADC 标准通道数据寄存器 (ADC_NCHDR)																															
偏移地址: 60 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																VAL															

Reserved	Bit 31-16	—	保留
VAL	Bit 15-0	R	标准通道转换数据 该数据为对齐之后的数据

27.5.2.22 ADC通用控制寄存器（ADC_CCR）

ADC 通用控制寄存器（ADC_CCR）																																							
偏移地址：64 _H																																							
复位值：00000000_00000000_00000000_00000000 _B																																							
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
Reserved		CALZERO		TRMEN		Reserved		ADCINJSEL		Reserved				VRNSEL		VRPSEL		Reserved		PWRMODSEL		NCHPOSDIV2		Reserved		IREFEN		Reserved		OPA_GAINEN		Reserved				PREDIV		POSDIV	

Reserved	Bit 31-30	—	保留
CALZERO	Bit 29	R/W	ADC 调零使能位（仅测试用） 0：禁止（应用时需固定设置为 0） 1：使能
TRMEN	Bit 28	R/W	ADC 数据修调使能位（仅测试用） 0：禁止（应用时需固定设置为 0） 1：使能
Reserved	Bit 27-25	—	保留
ADCINJSEL	Bit 24	R/W	插入通道外部触发选择位 0：AD16C6T_TRGO2 1：PIS_CH5_OUT 注：该位用于选择插入通道模数转换的外部触发源
Reserved	Bit 23-19	—	保留，需软件固定设置为0
VRNSEL	Bit 18	R/W	负向参考电压选择位 0：AREFN 管脚电压 1：VSS
VRPSEL	Bit 17	R/W	正向参考电压选择位 0：VDD 1：AREFP 管脚电压
Reserved	Bit 16	—	保留
PWRMODSEL	Bit 15	R/W	ADC 工作模式选择位 0：高速模式（需软件固定设置为 0） 1：低速模式（仅用于测试）
NCHPOSDIV2	Bit 14-13	R/W	标准通道 ADC 时钟分频选择位 2（基于 HCLK 进行分频，仅对标准通道有效） 00：由 POSDIV 位设置 01：4 分频（PREDIV=1 时为 3 分频） 10：8 分频（PREDIV=1 时为 7 分频） 11：16 分频（PREDIV=1 时为 15 分频） 注 1：只有当该位为 00 时，标准通道的 ADC 时钟分频才由 POSDIV 位选择，否则由该位进行选择，POSDIV 位无效；

			注 2: 仅在 POSDIV=00 时才能将该位设置为非 00 (即 01、10 或 11), 否则可能会导致 ADC 时钟分频错误; 注 3: 该位仅对标准通道有效, 对插入通道无效。
Reserved	Bit 12	—	保留
IREFEN	Bit 11	R/W	偏置电流和基准电压使能位 0: 禁止 1: 使能 (倍频时钟 PLL, 内部基准电压 VREF1.2V 工作时, 以及模拟比较器 ACMP0~2 高速模式工作时, 必须将该位设置为 1)
Reserved	Bit10-9	—	保留
OPA_GAINEN	Bit 8	R/W	OPA 内部增益使能位 (仅在寄存器 OPA_CON 的 VN_SEL=100 时有效) 0: 禁止 1: 使能
Reserved	Bit7-4	—	保留
PREDIV	Bit 3	R/W	ADC 时钟分频系数减 1 使能位 0: 禁止 1: 使能 (ADC 时钟分频系数减 1)
POSDIV	Bit 2-0	R/W	ADC 时钟分频选择位 (基于 HCLK 进行分频) 000: 2 分频 (不受 PREDIV 影响) 001: 4 分频 (PREDIV=1 时为 3 分频) 010: 8 分频 (PREDIV=1 时为 7 分频) 011: 16 分频 (PREDIV=1 时为 15 分频) 100: 32 分频 (PREDIV=1 时为 31 分频) 101: 64 分频 (PREDIV=1 时为 63 分频) 110: 128 分频 (PREDIV=1 时为 127 分频) 111: 256 分频 (PREDIV=1 时为 255 分频)

注 1: 在 STOP 模式下如果不使用 PLL, 内部基准电压 VREF1.2V 和模拟比较器 ACMP0~2 的高速模式, 需设置 IREFEN=0, 否则会增大芯片功耗;

注 2: ADC 工作时, 需设置 PWRMODSEL=0, 选择为高速模式, 提高转换结果精度。

注 3: ADC 时钟分频倍数由低到高切换时无延迟, 但由高到低 (2 分频除外) 切换时 (例如由 32 分频切换到 4 分频) 可能会有最多 1024 个 ADC 原始时钟 (HCLK) 周期的延迟, 在该延迟时间内, ADC 采样和转换过程暂停; 应用中为了避免该延迟, 当分频倍数由高到低切换时, 推荐先切换至 2 分频, 然后再切换到目标分频倍数。

第28章 运算放大器OPA

28.1 概述

运算放大器 OPA 有两个输入端和一个输出端，这三个端口均可连接到芯片 IO 引脚，并能与任意类型的外部组件互连。运算放大器可以配置为跟随器，外部增益放大器，或者内部增益放大器（增益为 4~12 倍）。

28.2 特性

- ◆ 低输入偏置电流
- ◆ 低输入偏移电压
- ◆ 高频带宽增益
- ◆ 提供高速模式以实现更快的转换速率

28.3 结构框图

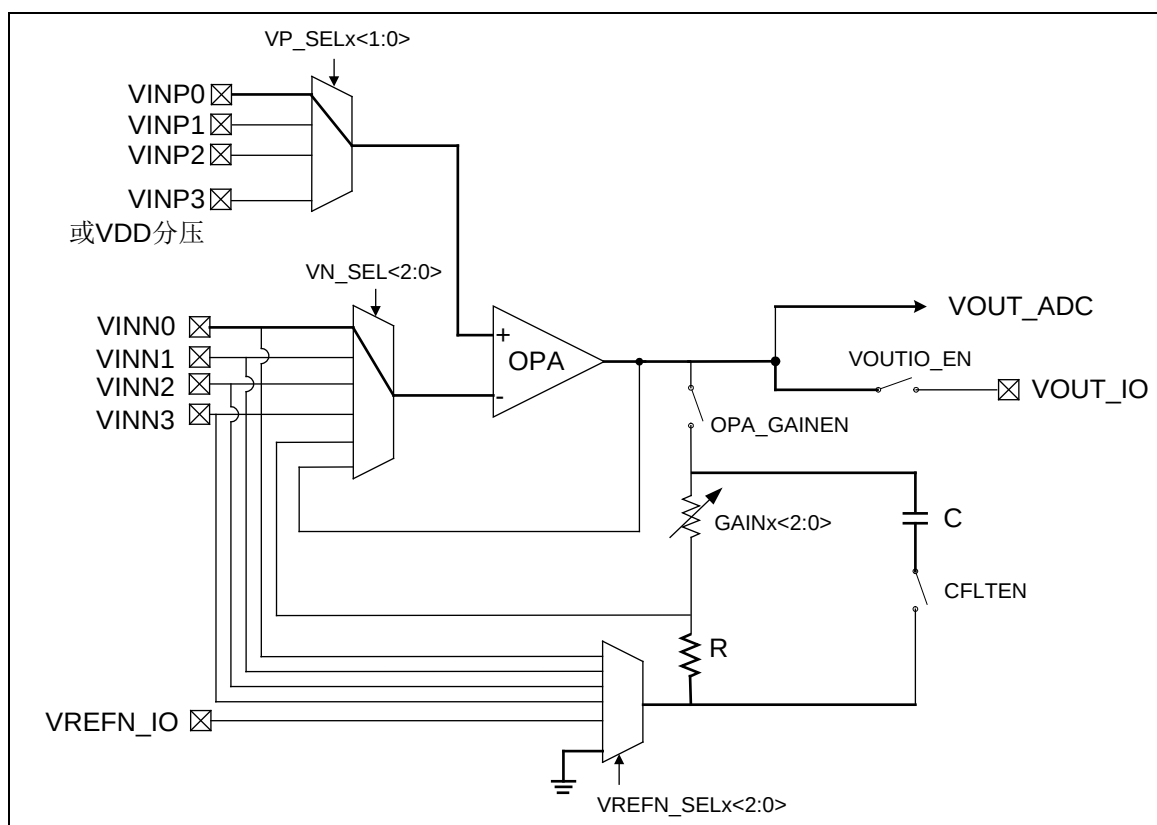


图 28-1 OPA 结构框图

28.4 功能描述

28.4.1 OPA控制

OPA 输出连接到 ADC 通道 16，可对其输出电压进行 ADC 转换，实现在芯片内部进行电压测量；还可以通过设置寄存器 OPA_CON 的 VOUTIO_EN 位将 OPA 输出连接到 IO 管脚，复用为 OPA 输入和输出功能的 IO 管脚，均需设置为模拟功能管脚，即设置寄存器 GPIO_MOD 的对应 MODE 位为 00，将其数字输入/输出功能禁止。

OPA 支持普通和高速转换速率模式，可通过寄存器 OPA_CON 的 HSM 位进行选择，普通模式提供标准性能的转换速率，高速模式提供高转换速率。

通过寄存器 OPA_CON 的 OPAEN 可开启 OPA 工作，在开启之前需先完成 OPA 设置，以免对输出结果造成影响。当不需要 OPA 输出时，可以将 OPA 关闭以节省电源，在 OPA 关闭时，原设置保持不变。

28.4.2 OPA端口信号连接

OPA 有两个输入端（正端 VINP 和负端 VINN）和一个输出端 VOUT。

OPA 正输入端支持 4 个通道可选，分别为 VINP0~3，可通过寄存器 OPA_CON 的 VP_SEL1 位进行选择（寄存器 OPA_CON 的 AUTO 位为 0），其中当 VP_SEL1=11 时，还需根据寄存器 VDD_SCAL 的 TOPAEN 位来选择是外部 VINP3 或内部 VDD 分压器电压，当 TOPAEN 位为 0 时，选择 VINP3，反之则选择 VDD 分压器电压。

OPA 负输入端支持 6 个通道可选，分别为 VINN0~3，放大器模式的负反馈信号，跟随模式的负反馈信号，可通过寄存器 OPA_CON 的 VN_SEL 位进行选择。

通过寄存器 OPA_CON 的 VOUTIO_EN 位，可设置将运放输出到 IO 端口。

OPA 模块信号名称（见上述 OPA 结构框图）与芯片引脚 OPA 复用功能名称的对应关系如下表所示：

OPA 信号名称	芯片管脚名称（OPA 功能）
VINP0	OPP0
VINP1	OPP1
VINP2	OPP2
VINP3	OPP3
VINN0	OPN0
VINN1	OPN1
VINN2	OPN2
VINN3	OPN3
VOUT_IO	OPAO
VREFN_IO	OPREFN

表 28-1 OPA 信号和芯片管脚的对应关系

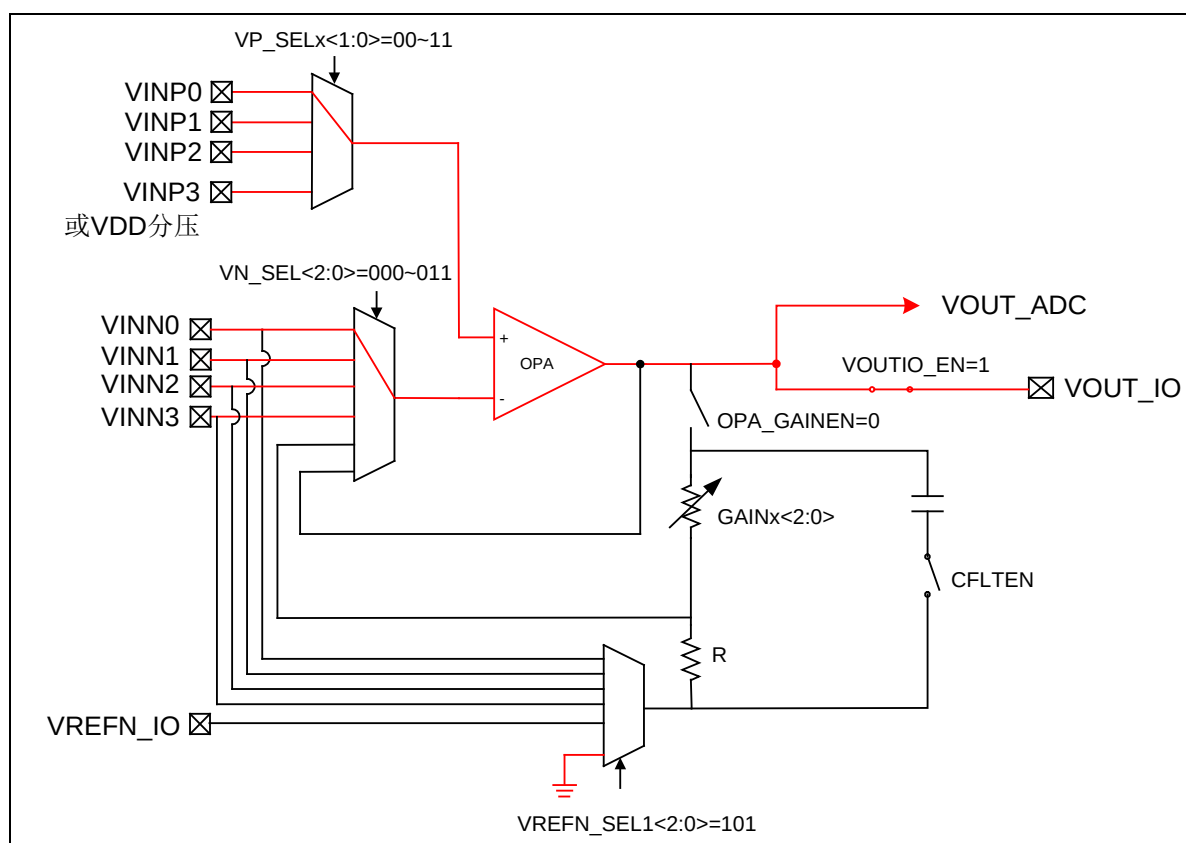
注：OPA 输出在芯片内部连接到 ADC 通道 16。

运算放大器的输入和输出都可以连接至外部引脚，可以使用在多种不同的配置情况下。

- ◆ 独立模式（外部增益模式）
- ◆ 跟随模式
- ◆ 内部增益放大模式（双端输入）
- ◆ 内部增益放大模式（单端输入）

在独立模式下,OPA 正端输入、负端输入和输出均接外部 IO 端口,可通过寄存器 OPA_CON 的 VP_SEL1 位选择正端输入 VINP0~3, 通过 VN_SEL 位选择负端输入 VINN0~3, 并设置 VOUTIO_EN=1, 使能运放输出到 IO 端口, 设置 VREFN_SEL1=101, 将内部负偏置电压选择电路连接到地 VSS。

OPA 独立模式电路示意图如下所示:



在独立模式下运放正端 V_{INP} 输入参考电压，负端 V_{INN} 连接外部电阻 R_1 和 R_f 组成负反馈，通过外部 R_1 和 R_f 做电阻匹配，达到不同倍率增益的效果。

跟随模式

在跟随模式下，OPA 正端接外部输入信号，负端与输出相连接。

可通过寄存器 OPA_CON 的 VP_SEL1 位选择正端输入 VINP0~3，设置 VN_SEL=101，将负端输入连接到运放输出端，可通过 VOUTIO_EN 位，设置是否将运放输出到 IO 端口，设置 VREFN_SEL1=101，将内部负偏置电压选择电路连接到地 VSS。

设置寄存器 OPA_CON 的 OPAEN=1 可使能 OPA 工作,运放输出跟随正端输入信号变化。

OPA 跟随模式电路示意图如下所示:

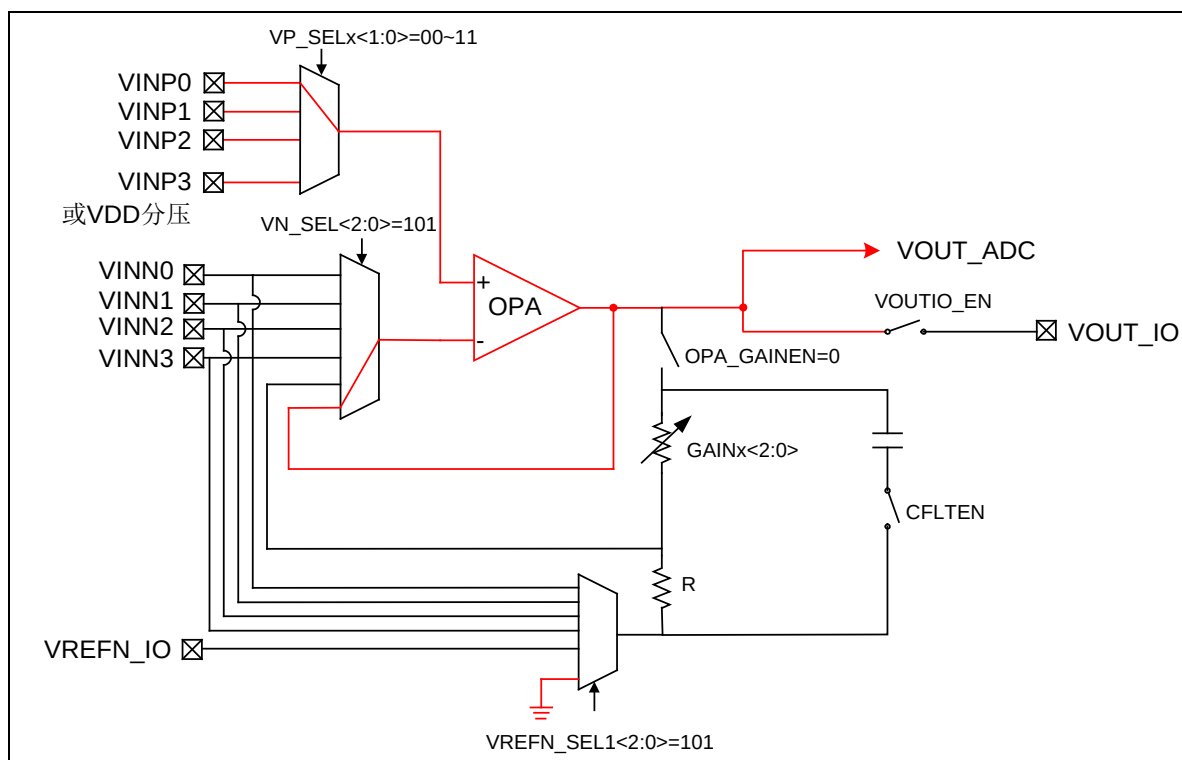


图 28-3 OPA 跟随模式

在跟随模式下，OPA 负端输入 IO 端口不再作为运放信号源，可用于其他用途。OPA 输出可作为 ADC 模块的输入通道使用，因此当输入信号频率满足运算放大器增益带宽规格要求时，配置为跟随配置模式的运算放大器，可用于将输入信号进行阻抗匹配后再传送至 ADC 输入端。

内部增益放大模式（双端输入）

在内部增益放大模式（双端输入）下，OPA 正端接外部输入信号，负端接内部增益负反馈电路，该内部负反馈电路外接偏置电压，并可通过外接电阻来对增益进行向下微调补偿，提高增益倍数的精确度。

可通过寄存器 ADC_CCR 的 OPA_GAINEN 位使能内部增益，通过寄存器 OPA_CON 的

VP_SEL1 位选择正端输入 VINP0~3, 设置 VN_SEL=100, 将负端输入连接到内部增益反馈电路, 可通过 VOUTIO_EN 位, 设置是否将运放输出到 IO 端口, 设置 VREFN_SEL1, 可选择外部偏置电压输入 VINN0~3 或 VREFN_IO, 设置 GAIN1 位, 可选择内部增益倍数, 设置 CFLTEN 位, 可使能滤波电路 (滤波电容约 1pf); 设置 AUTO 位, 可使能多通道连续转换, 当进行多通道连续转换时, 还可通过寄存器 ADC_CCR2 的 OPA_GAIN2EN 位使能内部增益 2。

设置寄存器 OPA_CON 的 OPAEN=1 可使能 OPA 工作。

OPA 内部增益放大模式 (双端输入) 电路示意图如下所示:

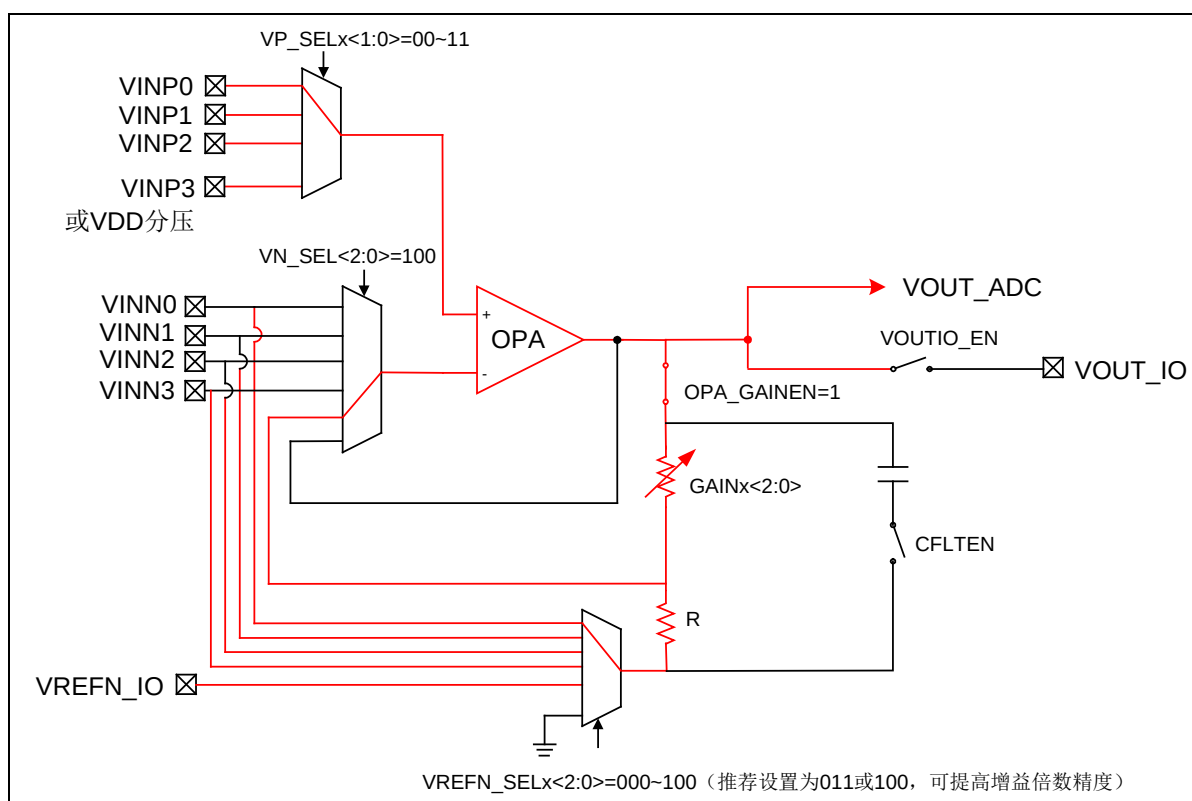


图 28-4 内部增益放大模式 (双端输入)

在内部增益放大模式 (双端输入) 下, 当正端输入电压大于负端输入偏置电压时, 该运放为同相放大器, 反之则为反相放大器。

内部增益放大模式 (单端输入)

在内部增益放大模式 (单端输入) 下, OPA 正端接外部输入信号, 负端接内部增益负反馈电路, 该内部负反馈电路偏置接地 VSS。

可通过寄存器 OPA_CON 的 VP_SEL1 位选择正端输入 VINP0~3, 设置 VN_SEL=100, 将负端输入连接到内部增益反馈电路, 可通过 VOUTIO_EN 位, 设置是否将运放输出到 IO 端口, 设置 VREFN_SEL1=101, 将负反馈偏置接地 VSS, 设置 GAIN1 位, 可选择内部增益倍数, 设置 CFLTEN 位, 可使能滤波电路 (滤波电容约 1pf)。

设置寄存器 OPA_CON 的 OPAEN=1 可使能 OPA 工作。

OPA 内部增益放大模式（单端输入）电路示意图如下所示：

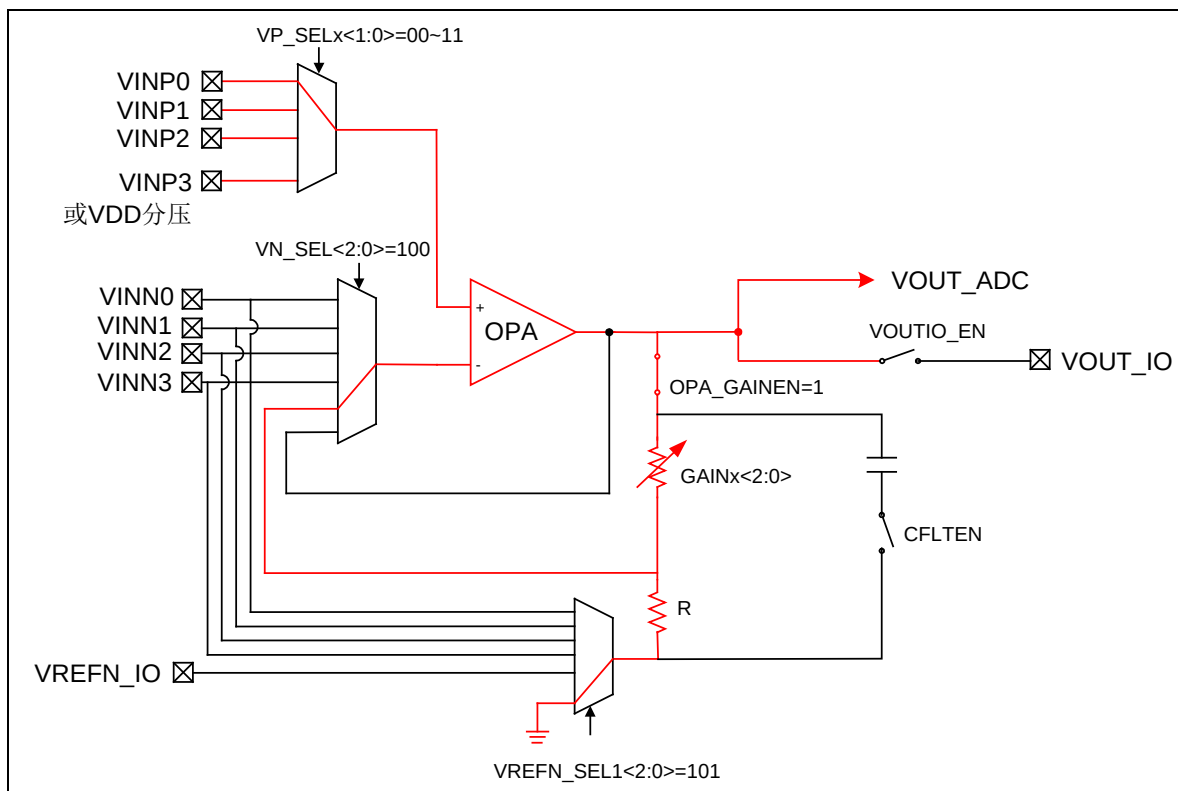


图 28-5 内部增益放大模式（单端输入）

28.4.4 OPA内部增益

当 OPA 配置为内部增益放大模式时，可以通过寄存器 OPA_CON 的 GAIN1 位选择增益倍数为 4、5、6、7、8、10、12，并需设置寄存器 ADC_CCR 的 OPA_GAINEN 位使能内部增益。

当 OPA 配置为内部增益放大模式，作为同相放大器使用时，其增益完全取决于芯片内部反馈电阻分压，并可通过外接电阻来对增益进行向下微调补偿。当作为反相放大器使用时，其增益不只取决于芯片内部反馈电阻，还包含了信号源的输出阻抗，信号源输出阻抗需与 OPA 的输入反馈电阻匹配，否则会产生增益误差。

28.4.5 OPA多通道连续转换

在内部增益放大模式下，OPA 支持多通道连续转换的工作方式，可通过寄存器 OPA_CON 的 AUTO 位使能该工作方式，并且该工作方式仅在 ADC 插入通道转换时有效，OPA 连续转换的通道数与 ADC 插入通道序列长度的次数（1~3）保持一致，并且需将 ADC 每次转换的通道均设置为与 OPA 输出相连接的通道 16（即设置寄存器 ADC_ICHS 的 IS1~IS3 为 0x10），当 ADC 插入通道序列长度为 4 次时，需设置寄存器 OPA_CON 的 AVG=1，将 ADC 的第 1 和第 3 次插入通道转换结果的平均值存储在插入通道数据寄存器 4。

在多通道连续转换工作时，需设置寄存器 OPA_CON 的 VN_SEL=100，将 OPA 负端输入连接到内部增益反馈电路，OPA 的正端输入根据 VP_SEL1, VP_SEL2, VP_SEL3 位所选择的通道进行依次循环切换，负端偏置电压根据 VREFN_SEL1, VREFN_SEL2, VREFN_SEL3 位所选择的通道进行依次循环切换，使用 GAIN1 位所选择的增益倍数，可

以通过寄存器 ADC_CCR2 的 OPA_GAIN2EN 位使能第 2 种增益，当正端输入切换到该寄存器的 OPA_VPSELM 位所选择的通道时，使用该寄存器的 OPA_GAIN2 位所选择的增益倍数。

通过寄存器 OPA_CON 的 MODF 位，可使能 OPA 正端输入通道快速切换，增加 ADC 转换前的 OPA 输出电压稳定时间，可提高 ADC 对 OPA 电压转换结果的精确度。

28.5 特殊功能寄存器

28.5.1 寄存器列表

OPA 寄存器列表			
名称	偏移地址	类型	描述
OPA_CON	068 _H	R/W	OPA 控制寄存器

注：OPA 寄存器列表与 ADC 寄存器列表的基地址相同。

28.5.2 寄存器描述

28.5.2.1 OPA控制寄存器（OPA_CON）

OPA 控制寄存器（OPA_CON）																																
偏移地址：68 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
AUTO	AVG	VREFN_SEL3			VREFN_SEL2			MODF	VREFN_SEL1			VOUTIO_EN	VN_SEL			Reserved	GAIN1			VP_SEL3			VP_SEL2		VP_SEL1			HSM	INSW	CFLTEN	HDEN	OPAEN

AUTO	Bit 31	R/W	OPA 自动切换使能位（仅在 ADC 插入通道转换时有效） 0：禁止 1：使能
AVG	Bit 30	R/W	第1和第3次ADC均值处理使能位（仅在ADC插入通道序列长度为4次时有效） 0：禁止 1：使能（将ADC的第1和第3次插入通道转换结果的平均值存储在插入通道数据寄存器4）
VREFN_SEL3	Bit 29-27	R/W	第3次负端偏置电压VREFN选择位（AUTO使能后为第3次转换选项） 000：VINN0 001：VINN1 010：VINN2 011：VINN3 100：VREFN_IO 101：VSS 其他：保留 注：在内部增益放大 PGA 双端输入模式下，推荐将负端偏置电压选择为 VINN3 或 VREFN_IO，即设置 VREFN_SEL3=011 或 100，可提高增益放大倍数精度
VREFN_SEL2	Bit 26-24	R/W	第2次负端偏置电压VREFN选择位（AUTO使能后为第2次转换选项） 000：VINN0 001：VINN1 010：VINN2 011：VINN3 100：VREFN_IO 101：VSS 其他：保留

			注：在内部增益放大PGA双端输入模式下，推荐将负端偏置电压选择为VINN3或VREFN_IO，即设置VREFN_SEL2=011或100，可提高增益放大倍数精度
MODE	Bit 23	R/W	OPA 通道及 ADC 插入通道切换快速模式使能位 0: 禁止（ADC 采样并转换完成后切换） 1: 使能（ADC采样完成并经过2个ADCCLK周期后切换，可增加ADC连续转换前的通道电压稳定时间，提高转换结果精确度）
VREFN_SEL1	Bit 22-20	R/W	负端偏置电压 VREFN 选择位（AUTO 使能后为第 1 次转换选项，AUTO 禁止时为负端偏置电压选择位） 000: VINN0 001: VINN1 010: VINN2 011: VINN3 100: VREFN_IO 101: VSS 其他: 保留 注：在内部增益放大 PGA 双端输入模式下，推荐将负端偏置电压选择为 VINN3 或 VREFN_IO, 即设置 VREFN_SEL1=011 或 100, 可提高增益放大倍数精度
VOUTIO_EN	Bit 19	R/W	输入开关使能位 0: 禁止 1: 使能
VN_SEL	Bit18-16	R/W	OPA 负输入端选择位 000: VINN0 001: VINN1 010: VINN2 011: VINN3 100: 放大器模式的负反馈信号 101: 跟随模式的负反馈信号
Reserved	Bit 15	—	保留，需软件固定设置为0
GAIN1	Bit 14-12	R/W	PGA 增益选择位 000: 4 倍 001: 5 倍 010: 6 倍 011: 7 倍 100: 8 倍 101: 10 倍 110: 12 倍 111: 保留 注：当用作反相放大器时，放大倍数为上述各增

			益档位的倍数减 1
VP_SEL3	Bit 11-10	R/W	OPA正输入端选择位3（AUTO使能后为第3次转换选项） 00: VINP0 01: VINP1 10: VINP2 11: VINP3或VDD分压器（当寄存器VDD_SCAL的TOPAEN位为0时，选择VINP3，反之则选择VDD分压器）
VP_SEL2	Bit9-8	R/W	OPA正输入端选择位2（AUTO使能后为第2次转换选项） 00: VINP0 01: VINP1 10: VINP2 11: VINP3或VDD分压器（当寄存器VDD_SCAL的TOPAEN位为0时，选择VINP3，反之则选择VDD分压器）
VP_SEL1	Bit7-6	R/W	OPA正输入端选择位1（AUTO使能后为第1次转换选项，AUTO禁止时为正输入端选择位） 00: VINP0 01: VINP1 10: VINP2 11: VINP3或VDD分压器（当寄存器VDD_SCAL的TOPAEN位为0时，选择VINP3，反之则选择VDD分压器）
HSM	Bit5-4	R/W	转换速率模式选择位 00: 普通模式 10: 高速模式 其他: 保留
INSW	Bit 3	R/W	输入开关使能位 0: 禁止 1: 使能
CFLTEN	Bit2	R/W	OPA 外部滤波使能位 0: 禁止 1: 使能
HDEN	Bit 1	R/W	OPA 高功耗模式使能位 0: 禁止 1: 使能
OPAEN	Bit 0	R/W	OPA 使能位 0: 禁止 1: 使能

第29章 模拟比较器（ACMP0~2）

29.1 概述

ACMP 模块可以将模拟电压信号进行比较，通过一个数字输出来指示哪一个模拟信号的电压更高，输入模拟信号可以从内部产生或者外部管脚输入，其工作消耗电流的大小或者响应时间可通过驱动电流的大小进行调节。

29.2 特性

- ◆ 4 个可选的外部模拟信号输入到正端
- ◆ 2 个可选的外部模拟信号输入到负端
- ◆ 2 个可选的内部模拟信号输入到负端（VREF1.2V 和 VDD 分压）
- ◆ 可支持多种工作模式选择
- ◆ 可配置的迟滞选择，0~±60mv 之间可选 8 个等级
- ◆ 可配置的响应时间
- ◆ 异步中断源可选为以下边沿触发
 - ◇ 上升沿
 - ◇ 下降沿
 - ◇ 上升下降沿
- ◆ 支持在芯片低功耗模式运行
- ◆ 还支持以下特性
 - ◇ 可调节的内部电阻
 - ◇ 可配置比较器反向输出
 - ◇ 可配置不活动时的比较器输出
 - ◇ 比较器输出直接给 PIS

29.3 结构框图

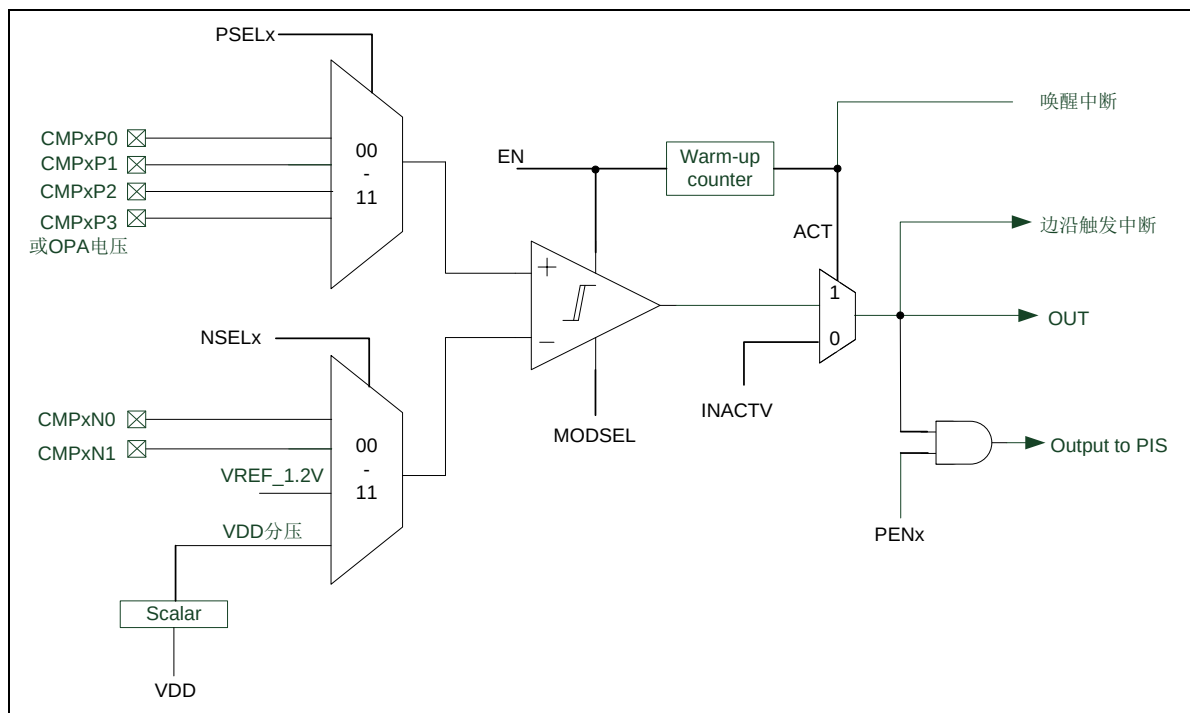


图 29-1 ACMP 结构框图

模拟比较器用来比较的是两个模拟输入量，一个正端，一个负端，通过比较器输出的数字信号来指示模拟输入量的电压高低情况，当输出为高时，表明正端输入电压高于负端输入电压，而当输出为低时，表明正端输入电压低于负端输入电压。

模拟比较器的输出数字信号保存在寄存器 OUT，该信号会随着两个模拟输入量的比较关系的变化而变化，除此之外其他对模拟比较器配置的改变，要求在其不工作的情况下进行。

注：仅模拟比较器 ACMP2 的正向输入端支持 OPA 输出电压可选。

29.4 功能描述

29.4.1 ACMP控制

29.4.1.1 稳定时间

当寄存器 $ACMPx_CON.EN = 1$ 时，模拟比较器被使能，需要等待一段建立时间之后，才能正常工作，此时输出才有效，而这段建立时间称为稳定时间，该稳定时间可在寄存器 $ACMPx_CON.WARMUPT$ 位中配置在 $1\mu s \sim 50\mu s$ 区间，以时钟计数值决定等待时间长短，当稳定时间结束后，寄存器 $ACMP_STAT.ACT$ 位将置 1，表明模拟比较器进入有效状态开始正常工作。稳定时间期间的比较器处于无效状态，其输出信号可由寄存器位 $ACMPx_CON.INACTV$ 进行配置。

若要在芯片工作模式 **STOP** 下使用模拟比较器，应该等到稳定时间之后（ $ACMP_STAT.ACT$ 为 1）才能配置进入对应模式，否则，将不能产生比较器中断；而要在芯片工作模式 **SLEEP** 下使用，稳定期间就可以配置进入。

29.4.1.2 响应

在模拟比较器正常工作时，当模拟输入量的比较极性变化时，需要等待一段时间之后，数字输出量才会对应变化，该时间称为响应时间，可以通过比较器工作模式选择位 $ACMPx_CON.MODSEL$ 来改变响应时间，在低速模式下，ACMP 工作功耗低，响应时间长，反之则功耗高，响应时间短。

当选择了高速模式时，应该选择适当的迟滞档位，以消除比较器输出信号的毛刺。

29.4.1.3 迟滞

通过配置寄存器 $ACMPx_CON.HYSTSEL$ 位，模拟比较器有 8 个可选的迟滞档位，档位 0 对应的迟滞是 0，当选为非 0 档位时，当正端和负端输入模拟信号电压的差值达到 $ACMPx_CON.HYSTSEL$ 选择的迟滞电压时，比较器输出信号才会对应变化，迟滞的作用是滤除那些在比较临界点的输出模拟信号的电压抖动变化，而只输出模拟信号压差大于迟滞范围的有效信号，所以迟滞的选取应该考虑输入量的抖动与范围。另外，迟滞的选取还会影响模拟比较器的工作功耗情况，一般是高的迟滞档位会降低工作的功耗。

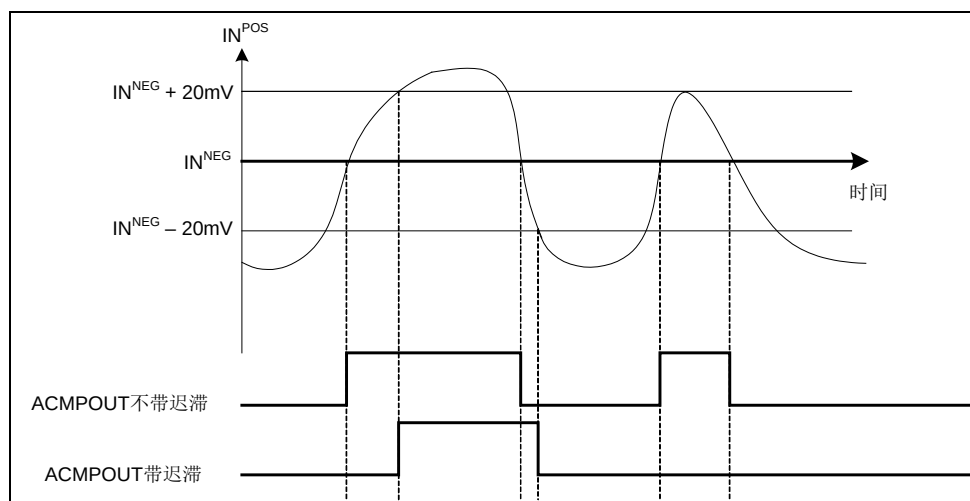


图 29-2 迟滞原理图

29.4.1.4 消隐功能

消隐功能的目的是防止电流在 PWM 周期开始处出现短暂的电流尖峰(通常为功率开关, 反向并联二极管中的恢复电流)时发生跳闸。该功能是通过配置定时器输出比较信号来定义消隐窗口的大小, 并通过软件配置 ACMPx_CON.BLANK<3:0>位进行消隐源选择。然后将消隐信号进行取反后与比较器输出执行逻辑与运算, 以提供所需的端口最终输出信号, 如下图所示:

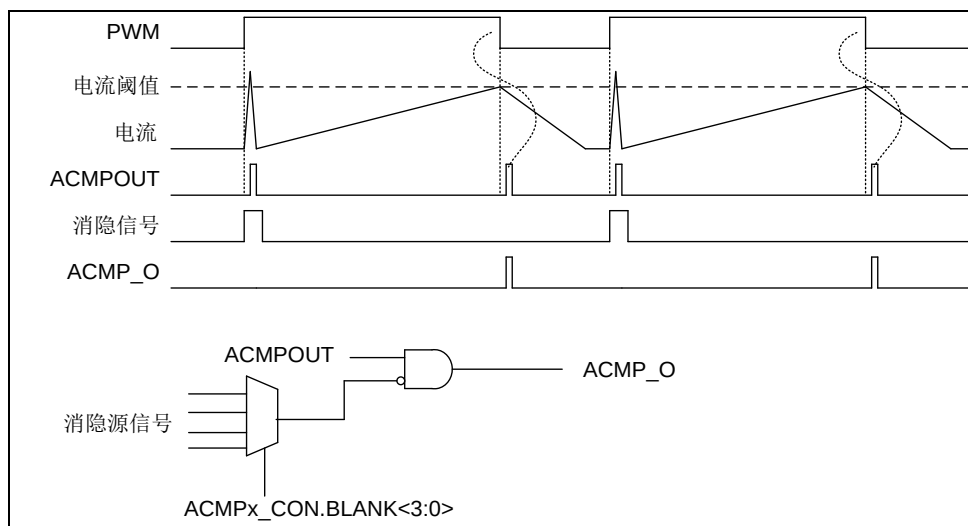


图 29-3 消隐功能示意图

29.4.2 通道选择

模拟比较器有两个模拟输入量, 正端输入可从 4 个外部输入中选择其一(模拟比较器 ACMP2 的正端输入可从 3 个外部输入和 OPA 输出电压中选择其一), 负端输入可由 2 个外部输入、以及 VDD 分压和内部参考源 VREF1.2V 中选择其一, 其中 VDD 分压有 256 级分压, 由 VDD_SCAL.CODEx 选择其电压值, 具体可参见寄存器 VDD_SCAL 的 CODE0 和 CODE1 位描述。

29.4.3 数据管理

模拟比较器的输出数字信号保存在寄存器 ACMP_STAT.OUT, 同时, 当设置 ACMP_PORT.PENx=1 时, 可通过 PIS 输出到 IO, 可以通过配置 ACMPx_CON.OUTINV 来选择输出信号的极性。

29.4.4 中断与PIS触发

模拟比较器中断可选为边沿中断, 包括上升沿或者下降沿, 或双沿中断同时打开, 寄存器 ACMP_RIF.EDGE 用于记录中断标志。当对应的 ACMP_IES.EDGE 中断使能被打开时, 若此时产生边沿中断, 则会产生中断请求, 同时 ACMP_IFM.EDGE 会置 1, 表明产生了中断请求, 在系统响应了请求后, 在对应 ACMP_IFC.EDGE 上置 1 会清掉 ACMP_IFM.EDGE 位。边沿中断可用于将系统从低功耗模式下唤醒, 进入到正常工作模式。

当模拟比较器在开始的稳定工作后, 也会产生一个稳定工作中断, 并会被记录在 ACMP_RIF.WARMUP 中, 当该中断在 ACMP_IES.WARMUP 被使能时, 同样会产生中断请求。

模拟比较器的输出信号可连接到外设互联(PIS)系统中, 作为其他外设的触发源。

29. 5 特殊功能寄存器

29. 5. 1 寄存器列表

ACMP 寄存器列表			
名称	偏移地址	类型	描述
ACMP0_CON	000 _H	R/W	ACMP0 控制寄存器
ACMP1_CON	004 _H	R/W	ACMP1 控制寄存器
ACMP2_CON	008 _H	R/W	ACMP2 控制寄存器
Reserved	00C _H	—	保留
ACMP_INPUTSEL	010 _H	R/W	ACMP 输入选择寄存器
ACMP_STAT	014 _H	R	ACMP 状态寄存器
ACMP_IES	018 _H	W	ACMP 中断使能设置寄存器
ACMP_IEC	01C _H	W	ACMP 中断使能清除寄存器
ACMP_IEV	020 _H	R	ACMP 中断使能有效寄存器
ACMP_RIF	024 _H	R	ACMP 原始中断标志寄存器
ACMP_IFM	028 _H	R/W	ACMP 中断标志屏蔽状态寄存器
ACMP_IFC	02C _H	W	ACMP 中断标志清除寄存器
ACMP_PORT	030 _H	R/W	ACMP 端口输出控制寄存器
VDD_SCAL	040 _H	R/W	VDD 分压器控制寄存器

29.5.2 寄存器描述

29.5.2.1 ACMP0 控制寄存器 (ACMP0_CON)

ACMP0 控制寄存器 (ACMP0_CON)																																	
偏移地址: 00 _H																																	
复位值: 00000000_00000000_00000000_00000000 _B																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved				BLANK				Reserved	FLTSEL				Reserved	FALLEN	RISEEN	MODSEL	Reserved				WARMUPT				Reserved	HYSTSEL				OUTINV	INACTV	SYNCOE	EN

Reserved	Bit 31-28	—	保留
BLANK<3:0>	Bit 27-24	R/W	消隐信号选择位 0000: 禁止 xxx1: AD16C6T_CH6 xx1x: AD16C6T_CH5 x1xx: GP16C4T0_CH4 1xxx: GP16C4T1_CH4 可同时接入多个消隐源信号
Reserved	Bit 23	—	保留
FLTSEL<2:0>	Bit 22-20	R/W	数字滤波时间选择位 000: 禁止滤波 001: 1 个 PCLK 时钟 010: 2 个 PCLK 时钟 011: 4 个 PCLK 时钟 100: 8 个 PCLK 时钟 101: 16 个 PCLK 时钟 110: 32 个 PCLK 时钟 111: 64 个 PCLK 时钟
Reserved	Bit 19-18	—	保留
FALLEN	Bit 17	R/W	比较器输出下降沿触发中断使能位 1: 使能, 比较器输出下降沿置起边沿中断标志 0: 禁止
RISEEN	Bit 16	R/W	比较器输出上升沿触发中断使能位 1: 使能, 比较器输出上升沿置起边沿中断标志 0: 禁止
MODSEL	Bit 15	R/W	模拟比较器运行模式选择位 0: 低速模式 1: 高速模式 (需设置寄存器 ADC_CCR 的 IREFEN=1)
Reserved	Bit 14-11	—	保留
WARMUPT	Bit 10-8	R/W	模拟比较器 Warm-up 时间设置

			000: 4 PCLK周期 001: 8 PCLK周期 010: 16 PCLK周期 011: 32 PCLK周期 100: 64 PCLK周期 101: 128 PCLK周期 110: 256 PCLK周期 111: 512 PCLK 周期
Reserved	Bit 7	—	保留
HYSTSEL	Bit 6-4	R/W	迟滞电平选择位 此处描述的迟滞电平为设计理论值，具体请参考数据手册中的模拟比较器特性参数 000: 无迟滞 001: ~25 mV迟滞 010: ~35 mV迟滞 011: ~45 mV迟滞 100: ~55 mV迟滞 101: ~65 mV迟滞 110: ~75 mV迟滞 111: ~85 mV 迟滞
OUTINV	Bit 3	R/W	模拟比较器输出信号取反选择位 0: 比较输出不取反 1: 比较输出取反
INACTV	Bit 2	R/W	比较器的无效状态值选择位 0: 无效值为0 1: 无效值为 1
SYNCOE	Bit 1	R/W	模拟比较器输出滤波使能位 0: 禁止 1: 使能 注：该位使能时，对模拟比较器输出进行滤波，可通过 FLTSEL 位选择滤波时间
EN	Bit 0	R/W	模拟比较器使能位 0: 禁止 1: 使能

注：在使用模拟比较器 ACMP0 的高速模式时，需要先设置寄存器 ADC_CCR 的 IREFEN 位为 1，然后再设置模拟比较器的运行模式选择位 MODSEL 为 1；使用 ACMP0 低速模式时，可设置 IREFEN 位为 0，以降低功耗。

29.5.2.2 ACMP1 控制寄存器 (ACMP1_CON)

ACMP1 控制寄存器 (ACMP1_CON)																															
偏移地址: 08 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				BLANK				Reserved	FLTSEL				Reserved	FALLEN	RISEEN	MODSEL	Reserved				WARMUPT			Reserved	HYSTSEL			OUTINV	INACTV	SYNCOE	EN

Reserved	Bit 31-28	—	保留
BLANK<3:0>	Bit 27-24	R/W	消隐信号选择位 0000: 禁止 xxx1: AD16C6T_CH6 xx1x: AD16C6T_CH5 x1xx: GP16C4T0_CH4 1xxx: GP16C4T1_CH4 可同时接入多个消隐源信号
Reserved	Bit 23	—	保留
FLTSEL<2:0>	Bit 22-20	R/W	数字滤波时间选择位 000: 禁止滤波 001: 1 个 PCLK 时钟 010: 2 个 PCLK 时钟 011: 4 个 PCLK 时钟 100: 8 个 PCLK 时钟 101: 16 个 PCLK 时钟 110: 32 个 PCLK 时钟 111: 64 个 PCLK 时钟
Reserved	Bit 19-18	—	保留
FALLEN	Bit 17	R/W	比较器输出下降沿触发中断使能位 1: 使能, 比较器输出下降沿置起边沿中断标志 0: 禁止
RISEEN	Bit 16	R/W	比较器输出上升沿触发中断使能位 1: 使能, 比较器输出上升沿置起边沿中断标志 0: 禁止
MODSEL	Bit 15	R/W	模拟比较器运行模式选择位 0: 低速模式 1: 高速模式 (需设置寄存器 ADC_CCR 的 IREFEN=1)
Reserved	Bit 14-11	—	保留
WARMUPT	Bit 10-8	R/W	模拟比较器 Warm-up 时间设置 000: 4 PCLK 周期 001: 8 PCLK 周期

			010: 16 PCLK周期 011: 32 PCLK周期 100: 64 PCLK周期 101: 128 PCLK周期 110: 256 PCLK周期 111: 512 PCLK 周期
Reserved	Bit 7	—	保留
HYSTSEL	Bit 6-4	R/W	迟滞电平选择位 此处描述的迟滞电平为设计理论值，具体请参考数据手册中的模拟比较器特性参数 000: 无迟滞 001: ~25 mV迟滞 010: ~35 mV迟滞 011: ~45 mV迟滞 100: ~55 mV迟滞 101: ~65 mV迟滞 110: ~75 mV迟滞 111: ~85 mV 迟滞
OUTINV	Bit 3	R/W	模拟比较器输出信号取反选择位 0: 比较输出不取反 1: 比较输出取反
INACTV	Bit 2	R/W	比较器的无效状态值选择位 0: 无效值为0 1: 无效值为1
SYNCOE	Bit 1	R/W	模拟比较器输出滤波使能位 0: 禁止 1: 使能 注：该位使能时，对模拟比较器输出进行滤波，可通过 FLTSEL 位选择滤波时间
EN	Bit 0	R/W	模拟比较器使能位 0: 禁止 1: 使能

注：在使用模拟比较器 ACMP1 的高速模式时，需要先设置寄存器 ADC_CCR 的 IREFEN 位为 1，然后再设置模拟比较器的运行模式选择位 MODSEL 为 1；使用 ACMP0 低速模式时，可设置 IREFEN 位为 0，以降低功耗。

29.5.2.3 ACMP2 控制寄存器 (ACMP2_CON)

ACMP2 控制寄存器 (ACMP2_CON)																																
偏移地址: 08 _H																																
复位值: 00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved				BLANK				Reserved	FLTSEL				Reserved	FALLEN	RISEEN	MODSEL	Reserved				WARMUPT			Reserved	HYSTSEL			OUTINV	INACTV	SYNCOE	EN	

Reserved	Bit 31-28	—	保留
BLANK<3:0>	Bit 27-24	R/W	消隐信号选择位 0000: 禁止 xxx1: AD16C6T_CH6 xx1x: AD16C6T_CH5 x1xx: GP16C4T0_CH4 1xxx: GP16C4T1_CH4 可同时接入多个消隐源信号
Reserved	Bit 23	—	保留
FLTSEL<2:0>	Bit 22-20	R/W	数字滤波时间选择位 000: 禁止滤波 001: 1 个 PCLK 时钟 010: 2 个 PCLK 时钟 011: 4 个 PCLK 时钟 100: 8 个 PCLK 时钟 101: 16 个 PCLK 时钟 110: 32 个 PCLK 时钟 111: 64 个 PCLK 时钟
Reserved	Bit 19-18	—	保留
FALLEN	Bit 17	R/W	比较器输出下降沿触发中断使能位 1: 使能, 比较器输出下降沿置起边沿中断标志 0: 禁止
RISEEN	Bit 16	R/W	比较器输出上升沿触发中断使能位 1: 使能, 比较器输出上升沿置起边沿中断标志 0: 禁止
MODSEL	Bit 15	R/W	模拟比较器 2 运行模式选择位 0: 低速模式 1: 高速模式 (需设置寄存器 ADC_CCR 的 IREFEN=1)
Reserved	Bit 14-11	—	保留
WARMUPT	Bit 10-8	R/W	模拟比较器 Warm-up 时间设置 000: 4 PCLK 周期 001: 8 PCLK 周期

			010: 16 PCLK周期 011: 32 PCLK周期 100: 64 PCLK周期 101: 128 PCLK周期 110: 256 PCLK周期 111: 512 PCLK 周期
Reserved	Bit 7	—	保留
HYSTSEL	Bit 6-4	R/W	迟滞电平选择位 此处描述的迟滞电平为设计理论值，具体请参考数据手册中的模拟比较器特性参数 000: 无迟滞 001: ~25 mV迟滞 010: ~35 mV迟滞 011: ~45 mV迟滞 100: ~55 mV迟滞 101: ~65 mV迟滞 110: ~75 mV迟滞 111: ~85 mV迟滞
OUTINV	Bit 3	R/W	模拟比较器输出信号取反选择位 0: 比较输出不取反 1: 比较输出取反
INACTV	Bit 2	R/W	比较器的无效状态值选择位 0: 无效值为0 1: 无效值为1
SYNCOE	Bit 1	R/W	模拟比较器输出滤波使能位 0: 禁止 1: 使能 注：该位使能时，对模拟比较器输出进行滤波，可通过 FLTSEL 位选择滤波时间
EN	Bit 0	R/W	模拟比较器使能位 0: 禁止 1: 使能

注：在使用模拟比较器 ACMP2 的高速模式时，需要先设置寄存器 ADC_CCR 的 IREFEN 位为 1，然后再设置模拟比较器的运行模式选择位 MODSEL 为 1；使用 ACMP0 低速模式时，可设置 IREFEN 位为 0，以降低功耗。

29. 5. 2. 4 ACMP输入选择寄存器 (ACMP_INPUTSEL)

ACMP 输入选择寄存器（ACMP_INPUTSEL）																															
偏移地址：0C _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										NSEL2		Reserved		PSEL2		Reserved		NSEL1		Reserved		PSEL1		Reserved		NSEL0		Reserved		PSEL0	

Reserved	Bit 31-22	—	保留
NSEL2	Bit21-20	R/W	ACMP2 负端输入选择位 00: 通道 0 01: 通道 1 10: VREF_1.2V 11: VDD 分压
Reserved	Bit19-18	—	保留
PSEL2	Bit17-16	R/W	ACMP2 正端输入选择位 00: 通道 0 01: 通道 1 10: 通道 2 11: OPA 输出
Reserved	Bit15-14	—	保留
NSEL1	Bit13-12	R/W	ACMP1 负端输入选择位 00: 通道 0 01: 通道 1 10: VREF_1.2V 11: VDD 分压
Reserved	Bit 11-10	—	保留
PSEL1	Bit9-8	R/W	ACMP1 正端输入选择位 00: 通道 0 01: 通道 1 10: 通道 2 11: 通道 3
Reserved	Bit 7-6	—	保留
NSEL0	Bit 5-4	R/W	ACMP0 负端输入选择位 00: 通道 0 01: 通道 1 10: VREF_1.2V 11: VDD 分压
Reserved	Bit 3-2	—	保留
PSEL0	Bit1-0	R/W	ACMP0 正端输入选择位 00: 通道 0

			01: 通道 1 10: 通道 2 11: 通道 3
--	--	--	----------------------------------

注：当模拟比较器的负端输入选择为内部基准电压 VREF_1.2V 时，需要设置寄存器 ADC_CCR 的内部偏置电流和基准电压使能位 IREFEN =1。

29.5.2.5 ACMP状态寄存器（ACMP_STAT）

ACMP 状态寄存器（ACMP_STAT）																															
偏移地址：08 _H																															
复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														OUT2	ACT2	Reserved						OUT1	ACT1	Reserved						OUT0	ACT0

Reserved	Bit31-18	—	保留
OUT2	Bit 17	R	模拟比较器2输出值
ACT2	Bit 16	R	模拟比较器2有效状态
Reserved	Bit 15-10	—	保留
OUT1	Bit 9	R	模拟比较器1输出值
ACT1	Bit 8	R	模拟比较器1有效状态
Reserved	Bit 7-2	—	保留
OUT0	Bit 1	R	模拟比较器0输出值
ACT0	Bit 0	R	模拟比较器0有效状态

29. 5. 2. 6 ACMP中断使能设置寄存器 (ACMP_IES)

ACMP 中断使能设置寄存器（ACMP_IES）																																					
偏移地址：0C _H																																					
复位值：00000000_00000000_00000000_00000000 _B																																					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
Reserved														WARMUP2		EDGE2		Reserved						WARMUP1		EDGE1		Reserved						WARMUP0		EDGE0	

Reserved	Bit31-18	—	保留
WARMUP2	Bit 17	W1	模拟比较器2 Warm-up中断使能位 0: 禁止 1: 使能
EDGE2	Bit 16	W1	模拟比较器2边沿触发中断使能位 0: 禁止 1: 使能
Reserved	Bit 15-10	—	保留
WARMUP1	Bit 9	W1	模拟比较器1 Warm-up中断使能位 0: 禁止 1: 使能
EDGE1	Bit 8	W1	模拟比较器1边沿触发中断使能位 0: 禁止 1: 使能
Reserved	Bit 7-2	—	保留
WARMUP0	Bit 1	W1	模拟比较器0 Warm-up中断使能位 0: 禁止 1: 使能
EDGE0	Bit 0	W1	模拟比较器0边沿触发中断使能位 0: 禁止 1: 使能

29. 5. 2. 7 ACMP中断使能清除寄存器 (ACMP_IEC)

ACMP 中断使能清除寄存器（ACMP_IEC）																																	
偏移地址：10 _H																																	
复位值：00000000_00000000_00000000_00000000 _B																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved														WARMUP2	EDGE2	Reserved						WARMUP1	EDGE1	Reserved						WARMUP0	EDGE0		

Reserved	Bit31-18	—	保留
WARMUP2	Bit 17	W1	模拟比较器2 Warm-up中断清除位 0: 无效 1: 写1清除
EDGE2	Bit 16	W1	模拟比较器2边沿触发中断清除位 0: 无效 1: 写1清除
Reserved	Bit 15-10	—	保留
WARMUP1	Bit 9	W1	模拟比较器1 Warm-up中断清除位 0: 无效 1: 写1清除
EDGE1	Bit 8	W1	模拟比较器1边沿触发中断清除位 0: 无效 1: 写1清除
Reserved	Bit 7-2	—	保留
WARMUP0	Bit 1	W1	模拟比较器0 Warm-up中断清除位 0: 无效 1: 写1清除
EDGE0	Bit 0	W1	模拟比较器0边沿触发中断清除位 0: 无效 1: 写1清除

29. 5. 2. 8 ACMP中断使能有效寄存器 (ACMP_IEV)

ACMP 中断使能有效寄存器（ACMP_IEV）																																
偏移地址：14 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved														WARMUP2	EDGE2	Reserved						WARMUP1	EDGE1	Reserved						WARMUP0	EDGE0	

Reserved	Bit31-18	—	保留
WARMUP2	Bit 17	R	模拟比较器2 Warm-up中断使能状态位 0: 禁止 1: 使能
EDGE2	Bit 16	R	模拟比较器2边沿触发中断使能状态位 0: 禁止 1: 使能
Reserved	Bit 15-10	—	保留
WARMUP1	Bit 9	R	模拟比较器1 Warm-up中断使能状态位 0: 禁止 1: 使能
EDGE1	Bit 8	R	模拟比较器1边沿触发中断使能状态位 0: 禁止 1: 使能
Reserved	Bit 7-2	—	保留
WARMUP0	Bit 1	R	模拟比较器0 Warm-up中断使能状态位 0: 禁止 1: 使能
EDGE0	Bit 0	R	模拟比较器0边沿触发中断使能状态位 0: 禁止 1: 使能

29. 5. 2. 9 ACMP原始中断标志寄存器 (ACMP_RIF)

ACMP 原始中断标志寄存器（ACMP_RIF）																																					
偏移地址：18 _H																																					
复位值：00000000_00000000_00000000_00000000 _B																																					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
Reserved														WARMUP2		EDGE2		Reserved						WARMUP1		EDGE1		Reserved						WARMUP0		EDGE0	

Reserved	Bit31-18	—	保留
WARMUP2	Bit 17	R	模拟比较器2 Warm-up中断标志位 0: 未发生 1: 已发生
EDGE2	Bit 16	R	模拟比较器2边沿触发中断标志位 0: 未发生 1: 已发生
Reserved	Bit 15-10	—	保留
WARMUP1	Bit 9	R	模拟比较器1 Warm-up中断标志位 0: 未发生 1: 已发生
EDGE1	Bit 8	R	模拟比较器1边沿触发中断标志位 0: 未发生 1: 已发生
Reserved	Bit 7-2	—	保留
WARMUP0	Bit 1	R	模拟比较器0 原始Warm-up中断标志位 0: 未发生 1: 已发生
EDGE0	Bit 0	R	模拟比较器0原始边沿触发中断标志位 0: 未发生 1: 已发生

注: 寄存器 ACMP_RIF 中的各中断标志位, 可通过寄存器 ACMP_IFC 的对应位写 1 来清除。

29. 5. 2. 10 ACMP中断标志屏蔽状态寄存器 (ACMP_IFM)

ACMP 中断标志屏蔽状态寄存器（ACMP_IFM）																																					
偏移地址：1C _H																																					
复位值：00000000_00000000_00000000_00000000 _B																																					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
Reserved														WARMUP2		EDGE2		Reserved						WARMUP1		EDGE1		Reserved						WARMUP0		EDGE0	

Reserved	Bit31-18	—	保留
WARMUP2	Bit 17	R/W1	模拟比较器2屏蔽Warm-up中断标志位 0: 中断未发生或未被使能 1: 中断已发生
EDGE2	Bit 16	R/W1	模拟比较器2屏蔽边沿触发中断标志位 0: 中断未发生或未被使能 1: 中断已发生
Reserved	Bit 15-10	—	保留
WARMUP1	Bit 9	R/W1	模拟比较器1屏蔽Warm-up中断标志位 0: 中断未发生或未被使能 1: 中断已发生
EDGE1	Bit 8	R/W1	模拟比较器1屏蔽边沿触发中断标志位 0: 中断未发生或未被使能 1: 中断已发生
Reserved	Bit 7-2	—	保留
WARMUP0	Bit 1	R/W1	模拟比较器0屏蔽Warm-up中断标志位 0: 中断未发生或未被使能 1: 中断已发生
EDGE0	Bit 0	R/W1	模拟比较器0屏蔽边沿触发中断标志位 0: 中断未发生或未被使能 1: 中断已发生

注 1: ACMP_IFM 寄存器是滤除已关闭中断功能的中断事件, 只关注开启中断功能的事件, 此寄存器的状态位是将 ACMP_RIF 与 ACMP_IEV 进行逻辑与运算 (ACMP_IFM = ACMP_RIF & ACMP_IEV), 即当中断已发生且该中断使能时, ACMP_IFM 寄存器的对应位才为 1。

注 2: ACMP_IFM 寄存器的各位可以写 1 置位, 但无法写 0, 应用中不推荐对该位进行写操作。

29. 5. 2. 11 ACMP中断标志清除寄存器 (ACMP_IFC)

ACMP 中断标志清除寄存器（ACMP_IFC）																																	
偏移地址：20 _H																																	
复位值：00000000_00000000_00000000_00000000 _B																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved														WARMUP2	EDGE2	Reserved						WARMUP1	EDGE1	Reserved						WARMUP0	EDGE0		

Reserved	Bit31-18	—	保留
WARMUP2	Bit 17	W1	模拟比较器2 Warm-up中断标志清除位 0: 无效 1: 写1清除
EDGE2	Bit 16	W1	模拟比较器2边沿触发中断标志清除位 0: 无效 1: 写1清除
Reserved	Bit 15-10	—	保留
WARMUP1	Bit 9	W1	模拟比较器1 Warm-up中断标志清除位 0: 无效 1: 写1清除
EDGE1	Bit 8	W1	模拟比较器1边沿触发中断标志清除位 0: 无效 1: 写1清除
Reserved	Bit 7-2	—	保留
WARMUP0	Bit 1	W1	模拟比较器0 Warm-up中断标志清除位 0: 无效 1: 写1清除
EDGE0	Bit 0	W1	模拟比较器0边沿触发中断标志清除位 0: 无效 1: 写1清除

29.5.2.12 ACMP端口输出控制寄存器 (ACMP_PORT)

ACMP 端口输出控制寄存器（ACMP_PORT）																																
偏移地址：24 _H																																
复位值：00000000_00000000_00000000_00000000 _B																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																														PEN2	PEN1	PEN0

Reserved	Bit 31-3	—	保留
PEN2	Bit 2	R/W	模拟比较器2端口输出使能位 0: 禁止 1: 使能
PEN1	Bit 1	R/W	模拟比较器1端口输出使能 0: 禁止 1: 使能
PEN0	Bit 0	R/W	模拟比较器0端口输出使能 0: 禁止 1: 使能

29.5.2.13 VDD分压器控制寄存器 (VDD_SCAL)

VDD 分压器控制寄存器 (VDD_SCAL)																															
偏移地址: 40 _H																															
复位值: 00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CODE1								CODE0								Reserved								TOPAEN	Reserved	SW01		SW10		AUTOSW	EN

CODE1	Bit 31-24	R/W	分压器输出电压选择档位1 0x00~0x3F: $VDD \times (CODE1 / 256) + 45mV$ 0x40~0x7F: $VDD \times (CODE1 / 256) + 20mV$ 0x80~0xBF: $VDD \times (CODE1 / 256) - 13mV$ 0xC0~0xFF: $VDD \times (CODE1 / 256) - 38mV$
CODE0	Bit 23-16	R/W	分压器输出电压选择档位0 0x00~0x3F: $VDD \times (CODE0 / 256) + 45mV$ 0x40~0x7F: $VDD \times (CODE0 / 256) + 20mV$ 0x80~0xBF: $VDD \times (CODE0 / 256) - 13mV$ 0xC0~0xFF: $VDD \times (CODE0 / 256) - 38mV$
Reserved	Bit15-9	—	保留
TOPAEN	Bit8	R/W	分压器输出连接到OPA正输入端通道3的使能位

			0: 禁止 1: 使能
Reserved	Bit7-6	—	保留
SW01	Bit 5-4	RW	分压器输出电压档位0切换到档位1的触发选择位 00: 不切换 01: 比较器ACMP0输出下降沿 10: 比较器ACMP1输出下降沿 11: 比较器ACMP2输出下降沿 该位读取时对应为VDD_SCAL<3:2>
SW10	Bit 3-2	RW	分压器输出电压档位1切换到档位0的触发选择位 00: 不切换 01: 比较器ACMP0输出上升沿 10: 比较器ACMP1输出上升沿 11: 比较器ACMP2输出上升沿 该位读取时对应为VDD_SCAL<5:4>
AUTOSW	Bit 1	RW	分压器输出电压档位自动切换使能位 0: 禁止（分压器输出档位固定为CODE0） 1: 使能
EN	Bit 0	RW	VDD分压器使能位 0: 禁止 1: 使能

注：VDD_SCAL 寄存器的 SW01<1:0>在写操作时为 bit 5~4，但在读操作时为 bit3~2；SW10<1:0>在写操作时为 bit 3~2，但在读操作时为 bit5~4。对该寄存器不能进行位操作，否则会导致 SW01 和 SW10 位写入错误。

第30章 调试控制（DBGC）

30.1 概述

ES32H05x4/M0504 系列 MCU 使用的内核是 ARM Cortex-M0，该内核包含用于高级调试功能的硬件。利用这些调试功能，可以在取指（指令断点）或取访问数据（数据断点）时停止内核。内核在停止时，可以查询内核的内部状态和系统的外部状态。查询完成后，可以恢复内核和系统，并恢复程序执行。

当调试器与 MCU 相连并进行调试时，将使用内核的硬件调试模块。

ES32H05x4/M0504 系列 MCU 提供 SWD（Serial Wire Debug）调试接口。

30.2 特性

- ◆ 支持 SW-DP：调试端口电路，实现 DAP 电路和外部调试主机的通讯
- ◆ 支持 MEM-AP：访问端口电路，实现 DAP 电路与被调试单元的通讯
- ◆ 支持断点（Breakpoint）：4 个断点
- ◆ 支持数据观测和追踪（DWT）：2 个数据观测点

30.3 结构框图

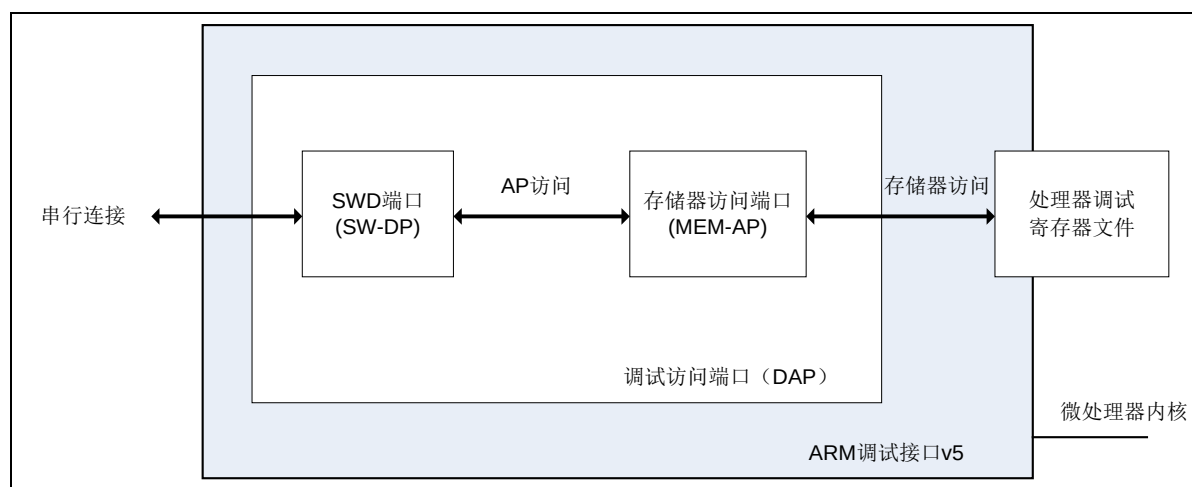


图 30-1 SWD 调试结构图

30.4 功能描述

30.4.1 调试端口

下表为 SWD 调试用端口，芯片上电后默认作为调试功能使用。

端口功能	输入/输出	说明
SWCLK	输入	调试时钟。该端口在调试模式下为调试电路提供通信时钟。
SWDIO	输入/输出	调试数据输入/输出端口。用于 SW-DP 与外部调试主机的数据交互。

表 30-1 SWD 端口描述

注：若 SWD 调试口没有复用其他功能，用户产品量产时应将对应的两个调试口配置为 GPIO 模式（FUNC1），并设置输出 0，避免应用时输入悬空。

30.4.2 调试冻结

程序开发过程中，会经历反复调试，通过调试工具对运行程序进行暂停，实际上在暂停内核的时候，仍有部分硬件外设在工作（如：定时器、看门狗等），影响调试效果；DBGC 模块可以实现内核和外设同时暂停，实现高级调试功能。

操作示例：

1. 按照需求正确初始化使用的外设，如定时器 BS16T0
2. 为保证程序在调试过程中暂停时 BS16T0 计数同时暂停，需设置 `DBG_APB1FZ.BS16T0_STOP = 1`
3. 如果未设置 `DBG_APB1FZ.BS16T0_STOP = 1`，程序在调试过程中暂停时，实际 BS16T0 仍然在计数。

30.4.3 调试复位

内核调试电路和调试控制寄存器只可被上电复位、欠压复位及软件复位中的芯片全局复位（`RMU_AHB2RSTR.CHIPRST`）所复位。

30.4.4 MEM-AP访问端口

MEM-AP 端口，用于访问被调试单元的存储器映射区域。

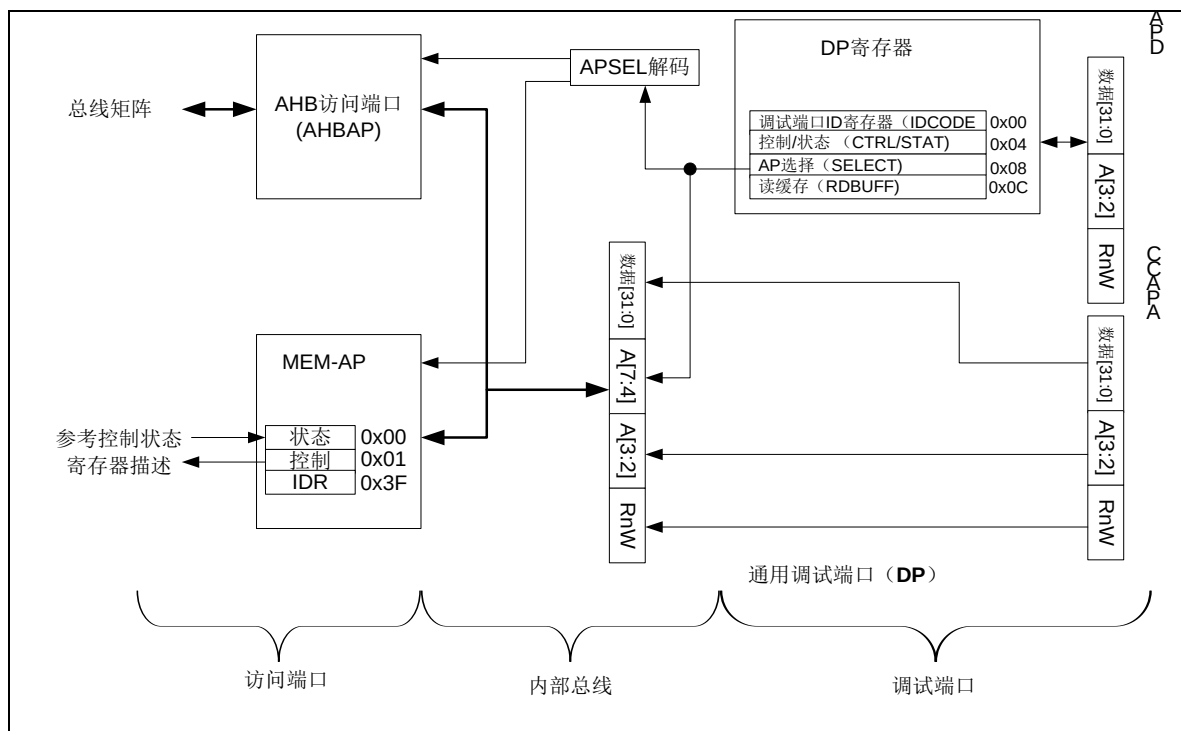


图 30-2 MEM-AP 地址映射

30.5 特殊功能寄存器

30.5.1 寄存器列表

DBGC 寄存器列表		
名称	偏移地址	描述
DBG_IDCODE	000 _H	DBG 器件识别码
Reserved	004 _H	保留
DBG_APB1FZ	008 _H	APB1 外设调试冻结寄存器
DBG_APB2FZ	00C _H	APB2 外设调试冻结寄存器

30.5.2 寄存器描述

30.5.2.1 DBG器件识别码 (DBG_IDCODE)

DBG 器件识别码寄存器 (DBG_IDCODE)																															
偏移地址：000 _H																															
上电复位值：xxxxxxxx_xxxxxxxxx_xxxxxxxxx_xxxxxxxxx _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REV_ID																CORE_ID				DEV_ID											

REV_ID	Bit 31-16	R	版本识别码 0x1000: 版本 A 0x1001: 版本 B
CORE_ID	Bit 15-12	R	内核识别码 0x0: Cortex-M0
DEV_ID	Bit 11-0	R	器件识别码 0x032: MCU 识别码

30.5.2.2 APB1 外设调试冻结寄存器 (DBG_APB1FZ)

APB1 外设调试冻结寄存器（DBG_APB1FZ）																															
偏移地址：008 _H																															
上电复位值：00000000_00000000_00000000_00000000 _B																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																					GP16C4T2_STOP	GP16C4T1_STOP	GP16C4T0_STOP	Reserved				LP16T0_STOP	BS16T1_STOP	BS16T0_STOP	AD16C6T0_STOP

Reserved	Bit 31-11	—	保留
GP16C4T2_STOP	Bit 10	R/W	GP16C4T2 调试暂停选择位 0: 内核停止时, 仍正常计数 1: 内核停止时, 暂停计数
GP16C4T1_STOP	Bit 9	R/W	GP16C4T1 调试暂停选择位 0: 内核停止时, 仍正常计数 1: 内核停止时, 暂停计数
GP16C4T0_STOP	Bit 8	R/W	GP16C4T0 调试暂停选择位 0: 内核停止时, 仍正常计数 1: 内核停止时, 暂停计数
Reserved	Bit 7-4	—	保留
LP16T0_STOP	Bit 3	R/W	LP16T0 调试暂停选择位 0: 内核停止时, 仍正常计数 1: 内核停止时, 暂停计数
BS16T1_STOP	Bit 2	R/W	BS16T1 调试暂停选择位 0: 内核停止时, 仍正常计数 1: 内核停止时, 暂停计数
BS16T0_STOP	Bit 1	R/W	BS16T0 调试暂停选择位 0: 内核停止时, 仍正常计数 1: 内核停止时, 暂停计数
AD16C6T0_STOP	Bit 0	R/W	AD16C6T0 调试暂停选择位 0: 内核停止时, 仍正常计数 1: 内核停止时, 暂停计数

注: 该寄存器仅支持按字写入。

30.5.2.3 APB2 外设调试冻结寄存器 (DBG_APB2FZ)

APB2 外设调试冻结寄存器 (DBG_APB2FZ)																																	
偏移地址：00C _H																																	
上电复位值：00000000_00000000_00000000_00000000 _B																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved																				WWDT_OFF	IWDT_OFF	WWDT_STOP	IDWT_STOP	Reserved							I2C1_STOP	I2C0_STOP	

第31章 FLASH信息区

31.1 概述

FLASH 信息区用来存储芯片的只读信息和配置信息。

用户在程序中只能对只读信息和配置信息进行读操作。可以使用芯片烧录工具对配置信息进行修改，但无法改变只读信息。

31.2 特性

◆ FLASH 信息区存储的只读信息包括：

- ◇ 产品识别码
- ◇ 芯片唯一码

◆ FLASH 信息区存储的配置信息包括：

- ◇ 芯片配置字
- ◇ 写保护区域配置字
- ◇ 数据区配置字
- ◇ 全局读保护配置字
- ◇ 用户程序校验码

31.3 功能描述

31.3.1 FLASH信息区只读信息

FLASH 信息区的基地址为 0x0004_0000，可以字读取。

31.3.1.1 芯片唯一码UID

芯片唯一码 UID 为 96 位，共 12 个字节，其中会有部分字节数据为 0xFF，是为后续编码扩充预留，用户在读取使用时，对 12 个字节数据均需进行判断。每一颗芯片都是唯一的编码，可以用做：

- ◇ 终端产品序列号
- ◇ 通过特定的加密算法生成安全密钥

寄存器名称	芯片唯一码 0 (UID0)	
地址偏移	09E0 _H	
UID0	Bit 31-0	芯片唯一码 0

寄存器名称	芯片唯一码 1 (UID1)	
地址偏移	09E8 _H	
UID1	Bit 31-0	芯片唯一码 1

寄存器名称	芯片唯一码 2 (UID2)	
地址偏移	09F0 _H	
UID2	Bit 31-0	芯片唯一码 2

31.3.1.2 芯片产品识别码CHIPID

CHIPID 用来区分芯片产品型号，为 32 位编码。

寄存器名称	芯片产品识别码 (CHIPID)	
地址偏移	0BF8 _H	
CHIPID	Bit 31-0	CHIPID

31.3.2 FLASH信息区配置信息

FLASH 信息区的配置信息在芯片程序运行前生效。

FLASH 信息区可以字读取。只能使用芯片烧录工具对配置信息进行修改。

芯片各个配置字的默认值仅表示为烧录器界面的缺省设置，配置字地址单元在出厂时可能为非空，在 FLASH 编程之前必须先擦除，才能正确写入所设置的配置字。

31.3.2.1 芯片配置字CFG_WORD

芯片的部分特性需要通过芯片配置字配置实现，这些配置在程序运行前生效。

寄存器名称	芯片配置字 (CFG_WORD)	
地址偏移	0000 _H	
低 16Bits 默认值	烧录器界面默认值为 1001_1011_1000_0000 _B (9B80 _H)	
—	Bits 63-32	保留未用
—	Bits 31-16	Bits 15-0 取反值 (不满足取反时 Bit15-0 强制为 9F80 _H)
—	Bit 15	保留，固定为 1
IWDTEN	Bit 14	IWDT 使能位 0: 由软件使能 (默认) 1: 硬件强制使能 注: 硬件强制使能后，软件无法关闭；中断强制使能，软件无法关闭；复位强制使能，软件无法关闭；时钟源固定为 LRC，软件无法切换。
WWDTEN	Bit 13	WWDT 使能位 0: 软件使能后可关闭 (默认) 1: 软件使能后无法关闭
BORVS	Bits 12-10	BOR 电压点选择位 000: 4.6V 001: 4.0V 010: 3.6V 011: 3.1V 100: 2.8V 101: 2.5V 110: 2.1V (默认) 111: 保留
MRST_DLY	Bits 9-6	MRST 管脚和上电复位延时选择位 0100: MRST 管脚复用为 GPIO 功能，上电复位延时为 30ms 0101: MRST 管脚复用为 GPIO 功能，上电复位延时为 15ms 1100: MRST 管脚复用为 GPIO 功能，上电复位延时为 120ms 0110: MRST 管脚复用为 MRST 功能，上电复位延时禁止 1110: MRST 管脚复用为 MRST 功能，上电复位延时为 120ms (默认)

		其他：保留未用
SRAMECC	Bit 5	SRAM ECC 功能使能位 0：禁止（默认） 1：使能
CFG_FLSECC	Bit 4	FLASH ECC 功能使能位 0：禁止（默认） 1：使能
XTAL	Bits 3-2	晶振模式选择位 00：高速 HS 模式（4~20MHz，默认） 01：保留 1x：低速 LP 模式（32KHz）
—	Bit 1	保留，固定为 0
CFG_START	Bit 0	程序起始区域选择位 0：AppFlash（默认） 1：BootFlash（位于 Flash 主程序区最后 8K Bytes 地址空间，地址范围为 0x3E000~0x3FFFF）

注 1：默认值是指芯片烧录器界面的配置字缺省设置，芯片出厂时的配置字 CFG_WORD 可能与该默认值不同，在使用前必须通过编程器设置并写入正确的配置字。

注 2：用户系统必须按照某种方式配置芯片配置字 CFG_WORD，不能使之为空（即 0xFFFF）。

31.3.2.2 写保护区域配置字CFG_WRP

芯片支持 2 个保护区域，分别通过 CFG_WRP0 和 CFG_WRP1 来配置。设置为写保护的区域，用户程序将不能通过 IAP 对其进行擦写。

寄存器名称	写保护区域 x 配置字（CFG_WRPx）（x=0..1）	
地址偏移	0020 _H , 0030 _H	
低 16 位默认值	0000_0010_0000_0001 _B （0201 _H ）	
—	Bits 63-32	保留未用
—	Bits 31-16	Bits 15-0 取反值
END	Bits 15-10	保护结束页配置位（4KB 对齐） 0x0：Flash Page 7（默认） 0x1：Flash Page 15 0x2：Flash Page 23 0x3F：Flash Page 511 注：保护结束页数必须配置为大于或等于起始页数，否则保护配置失效
—	Bits 9-8	保留（必须固定为 10）
START	Bits 7-2	保护起始页配置位（4KB 对齐） 0x0：Flash Page 0（默认） 0x1：Flash Page 8

		0x2: Flash Page 16 0x3F: Flash Page 504
—	Bits 1	保留（必须固定为 0）
ENB	Bit 0	保护使能位 0: 使能 1: 禁止（默认）

31.3.2.3 数据区配置字CFG_DAFLS

芯片支持 1 个数据区域，通过 CFG_DAFLS 来配置。通过其配置可以将 FLASH 空间分为程序区和数据区。程序区和数据区的 IAP 擦写命令不同。

寄存器名称	数据 Flash 配置字（CFG_DAFLS）	
地址偏移	0240 _H	
低 16 位默认值	0000_0010_0000_0001 _B （0201 _H ）	
—	Bits 63-32	保留未用
—	Bits 31-16	Bits 15-0 取反值
END	Bits 15-10	数据 Flash 结束页配置位（4KB 对齐） 0x0: Flash Page 7（默认） 0x1: Flash Page 15 0x2: Flash Page 23 0x3F: Flash Page 511 注：数据 Flash 结束页数必须配置为大于或等于起始页数，否则数据 Flash 配置失效
—	Bits 9-8	保留未用（必须固定为 10）
START	Bits 7-2	数据 Flash 起始页配置位（4KB 对齐） 0x0: Flash Page 0（默认） 0x1: Flash Page 8 0x2: Flash Page 16 0x3F: Flash Page 504
—	Bits 1	保留（必须固定为 0）
ENB	Bit 0	数据 Flash 使能位 0: 使能 1: 禁止（默认）

31.3.2.4 用户程序校验码CHKSUM

烧录工具将用户程序校验码写入此区域。

寄存器名称	用户程序校验码 (CHKSUM)	
地址偏移	01C0 _H	
—	Bits 63-32	保留未用
CHKSUM	Bits 31-0	用户程序校验码 校验码计算方法包括 CRC 校验、字节累加校验，用户可以通过编程界面进行选择；校验码计算范围包括程序空间 and 用户配置字（CFG_WORD、CFG_WRP0、CFG_WRP1、CFG_PCROP0、CFG_PCROP1、CFG_DAFSL）

寄存器名称	用户程序校验码反码 (CHKSUMN)	
地址偏移	01C8 _H	
—	Bits 63-32	保留未用
CHKSUMN	Bits 31-0	用户程序校验码反码

31.3.2.5 全局读保护配置字CFG_GBRDP

全局读保护分为 Level0~2 三个等级，Level0 为不保护，Level2 的详细说明请参考“存储器系统控制 (MSC)”中“FLASH 保护”章节的描述。

寄存器名称	全局读保护配置字 (CFG_GBRDP)	
地址偏移	0050 _H	
默认值	1111_1111_1111_1111_1111_1111_1111_1111 _B (FFFF_FFFF _H)	
—	Bits 63-32	保留未用
GBRDP	Bits 31-0	全部读保护配置位 0xFFFF_FFFF: 读保护等级 Level 0 (默认) 0xFFFF_XXXX: 读保护等级 Level 1 (XXXX 不为 FFFF) 0xYYYY_XXXX: 读保护等级为 Level 2 (Y、X 不为 F)

31.3.2.6 私有读保护配置字CFG_PCROP

寄存器名称	私有代码读出保护区域 x 配置字 (CFG_PCROP _x) (x=0、1)	
地址偏移	0200 _H , 0210 _H	
低 16 位默认值	0000_0010_0000_0001 _B (0201 _H)	
—	Bits 63-32	保留未用
—	Bits 31-16	Bits 15-0 取反值
END	Bits 15-10	保护结束页配置位 (4KB 对齐) 0x0: Flash Page 7 (默认) 0x1: Flash Page 15 0x2: Flash Page 23 0x3F: Flash Page 511

		注：保护结束页数必须配置为大于或等于起始页数，否则整个Flash 程序区域都将处于非保护状态
—	Bit 9-8	保留未用（必须固定为 10）
START	Bits 7-2	保护起始页配置位 0x0: Flash Page 0（默认） 0x1: Flash Page 8 0x2: Flash Page 16 0x3F: Flash Page 504
—	Bits 1	保留（必须固定为 0）
ENB	Bit 0	保护使能位 0: 使能 1: 禁止（默认）

第32章 修订历史

版本	修订日期	修订内容
V1.0	2025-11-20	初版发布
V1.1	2026-08-15	完善中断向量重映射功能描述, 增加备注“仅支持 SRAM 运行时开启中断向量重映射”。